

STI의 Top Profile 개선 및 Gap-Fill HLD 두께 평가

강성준* · 정양희**

STI Top Profile Improvement and Gap-Fill HLD Thickness Evaluation

Seong-Jun Kang* · Yang-Hee Joung**

요약

STI는 반도체 소자의 소형화 및 고집적화에 따른 광역 평탄화를 위한 공정 기술로써 많은 연구가 이루어져 왔다. 본 연구에서는 STI의 profile 개선을 위한 방법으로 STI 건식각 후 HF 용액에 의한 pad oxide 습식각과 O_2+CF_4 건식각을 제안하였다. 이 공정 기술은 기존의 방법보다 소자의 밀집도에 따른 패턴간의 프로파일 불균형과 누설전류의 개선을 나타내었다. 또한 동일한 STI 깊이와 HLD 증착을 갖는 디바이스에 대하여 CMP 후 HLD 두께를 측정된 결과 디바이스 밀도에 따라 측정값이 다르게 나타났고 이는 CMP 후 디바이스 밀도에 따른 질화막의 두께 차이 및 슬러리의 선택비에 기인됨을 확인하였다.

ABSTRACT

STI has been studied a lot as a process technology for wide area planarization according to miniaturization and high integration of semiconductor devices. In this study, as methods for improving the STI profile, wet etching of pad oxide using hydrofluorine solution and dry etching of O_2+CF_4 after STI dry etching were proposed. This process technology showed improvement in profile imbalance and leakage current between patterns according to device density compared to the conventional method. In addition, as a result of measuring the HLD thickness after CMP for a device having the same STI depth and HLD deposition, the measured value was different depending on the device density. It was confirmed that this was due to the difference in the thickness of the nitride film according to the device density after CMP and the selectivity of the slurry.

키워드

CMP, Device density, Planarization, Selectivity, STI
화학 기계적 연마, 소자 밀집도, 평탄화, 선택비, 얇은 트렌치 고립

1. 서론

최근 반도체 소자의 고집적화, 초미세화의 경향에 따라 서브마이크론 배선 공정등이 중요한 과제로 부각되고 있으며 photo-lithography를 비롯한 단위공정

에서 미세 패턴의 공정 여유를 확보하기 위하여 소자의 평탄화 기술이 요구되어지고 있다[1-2]. 기존의 셀 격리 방법으로 사용되었던 LOCOS 공정은 질화막(Si_3N_4)을 마스크로하여 실리콘 기판을 열화시키기 때문에 공정이 간결하고 산화막의 응력에 대한 문제가

* 전남대학교 전기 및 반도체공학과
(jyanghee@jnu.ac.kr)

** 교신저자 : 전남대학교 전기 및 반도체공학과
• 접수일 : 2022. 09. 21
• 수정완료일 : 2022. 11. 01
• 게재확정일 : 2022. 12. 17

• Received : Sep. 21, 2022, Revised : Nov. 01, 2022, Accepted : Dec. 17, 2022
• Corresponding Author : Seong-Jun Kang
Dept. of Electrical and Semiconductor Engineering, Chonnam National University.
Email : @jnu.ac.kr

적으며, 열산화막의 질이 우수하다는 장점은 있으나 버즈빅(Bird's beak)으로 인한 셀내의 액티브 영역 축소 및 낮은 평탄도의 문제를 가지고 있으므로 서브마이크론 이하의 고집적 미세 패턴의 경향에 한계가 있어 이를 대체할 새로운 소자 분리에 대한 공정기술의 개발이 필요하게 되었다[3-7]. 이와 같은 LOCOS의 구조적 문제를 해결하기 위한 방법으로 개별 소자 분리가 용이하고 평탄성이 우수한 STI(Shallow trench isolation)는 차세대 소자에 적용할 수 있는 이상적인 공정으로 평가 받고 있으며 이에 대한 활발한 연구가 진행되어 지고 있다[1-2]. 그러나 STI는 기존의 LOCOS 대비 CMP 등 다소 복잡한 공정들이 수반되므로 안정된 공정 조건을 찾아 적용함으로써 반도체 소자 제조 공정의 안정성을 확보할 필요가 있다[8-9]. 이들 가운데 STI 형성에서 top 부분 형상 조절이 중요한 이슈 중에 하나로 STI top 모양에 따른 미세 게이트 선폴을 갖는 MOSFET에서 누설전류등의 문제가 보고되어지고 있고 top 프로파일 개선을 위한 많은 시도들이 이루어지고 있다[10-13].

STI top 형상 조절을 위한 방법으로 기존의 패드 질화막 식각 시 발생하는 측면 폴리머를 활용하는 방법은 프로파일 모서리를 쉽게 경사지게 할 수 있으나 미세 패턴에서의 마이크로 로딩 효과가 나타나고 또한 CMP 후 900°C O₂ 분위기에서 어닐링은 모서리 부분을 경사지게 하는데 효과적이지만 누설전류의 원인이 되는 실리콘의 전위(dislocation)를 유발시킬 수 있다[11]. 따라서 본 논문에서는 어닐링에 의한 실리콘 전위 및 마이크로 로딩 효과를 극복할 수 있는 STI 식각 프로파일을 개선하기 위한 공정 기술을 제안하고자 한다. 더불어 동일한 STI 깊이를 갖는 셀 밀집도가 다른 디바이스에서 CMP 후 Gap-Fill HLD의 두께 변화를 평가하였다.

본 논문의 2장에서는 STI 프로파일 개선 및 셀 밀집도에 따른 Gap-Fill HLD 두께 평가를 위한 실험방법을 기술하였고 3장은 제안된 방법에 의한 프로파일 검증과 디바이스 밀집도에 따른 질화막 두께 차이의 결과와 해석을 다루었다. 마지막 5장은 결론으로 본 연구의 결과를 요약하였다.

II. 실험방법

STI 프로파일 개선을 위하여 비저항이 9-12 Ω·cm 인 (100) p-type 웨이퍼에 패드 산화막과 질화막을 각각 100Å, 1300Å을 증착하였다. 포토리소그래피 공정 후 질화막을 식각하고 포토리소그스트 스트립과 세정이 진행되었고 실리콘 트랜치 식각은 TEL사의 T-5000 장비를 사용하여 3500Å의 깊이로 진행되었다. 실리콘 기판의 트랜치 식각 후 모서리의 경사를 위하여 1:99 HF를 사용하여 250Å을 타겟으로 패드 산화막을 습식 식각을 진행하였으며, 평판형 플라즈마 식각 장치에서 O₂ + CF₄ 가스를 사용하여 50Å 타겟의 실리콘 소프트 식각을 수행하였다. 이때 사용된 평판형 식각은 식각 재료의 저손상을 위하여 등방성 식각을 가지도록 바이어스 파워없이 진행되었으며 실리콘 소프트 식각의 공정 조건은 1000T, 200W, O₂ 500sccm, CF₄ 150sccm으로 45초간 진행하였다.

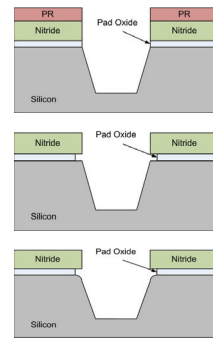


그림 1. STI profile 개선을 위한 공정 순서도
Fig. 1 Process flow chart for improving STI profile

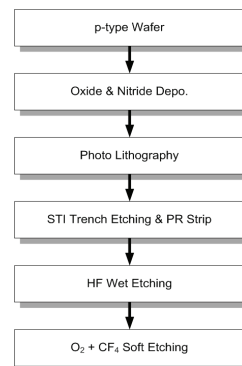


그림 2. STI profile 개선을 위한 공정 개략도
Fig. 2 Process schematic for improving STI profile

제안된 STI 개선을 위한 공정 순서 및 개략도는 그림 1, 2에 나타내었다. STI 형성 후 1000°C에서 O₂ 어닐링, LPCVD(K.E model : DJ-835V)에서 gap filling을 위한 6000Å의 HLD(: High Temperature Low Pressure Deposition)를 증착과 CMP(: Chemical Mechanical Polishing)과 패드 질화막 제거 후 I/I(Ion Implantation) 및 게이트 폴리실리콘 공정이 진행되었다. CMP에 사용된 슬러리는 Cabot사의 fumed silica 계열 HSS(high selectivity slurry)를 사용하였다.

STI 트렌치 형성 후 트렌치 프로파일을 확인하기 위하여 SEM과 TEM을 사용하였고 제안된 공정을 사용하여 제작된 MOSFET의 누설전류에 대한 전기적 특성은 HP4156 파라미터 분석기를 사용하여 2V에서 측정되었다. 또한 STI 트렌치 식각 깊이는 3500Å으로 동일하나 셀 밀집도를 달리하는 웨이퍼내의 오픈 면적에 따른 gap-fill HLD 두께 평가를 위하여 128RD 및 7% 축소(shrink)되고 셀 사이즈가 0.482μm²인 128SD 디바이스에서 CMP 및 패드 질화막 제거 후 HLD 두께를 Nanometrics사의 Nano-8000인 Ellipsometer를 사용하여 측정하였다.

III. 결과 및 논의

제안된 방법에 의한 STI의 모서리 프로파일은 기존의 방법으로 진행된 모양과 비교할 때 좁은 영역과 넓은 영역에서 불균형이 개선된 것으로 나타났다. 조밀도가 낮은 넓은 영역에서는 기존의 방식과 새로운 방식에서 큰 유의차를 나타내지 않고 비교적 완만한 경사의 모양을 나타내었으나 그림3에서 보는바와 같이 좁은 영역에서는 기존의 방식에 의한 STI 모서리 모양과 제안된 방법에 의한 모양의 차이를 나타냄을 확인할 수 있다. 그림 4는 조밀도에 따른 STI의 TEM 영상을 나타낸 것으로서 제안된 방법에 의한 모서리 부분의 모양이 기존 방법에 비해 좁은 영역과 넓은 영역에서 모두 완만한 균일성을 유지하고 있는 것을 볼 수 있다. 이와 같은 프로파일의 개선은 HF 습식각에 의한 패드 산화막의 이동이 각이진 STI 모서리가 O₂ + CF₄ 플라즈마에 노출되고 이는 sharp한 모서리가 O₂+CF₄ 플라즈마에 의해 실리콘이 부드럽게 식각되는 매커니즘으로 설명되어 진다. 또한 패드

질화막과 실리콘 기판에 높은 선택비를 갖는 패드 산화막의 HF 습식각은 질화막과 실리콘 표면에 손상없이 패드 산화막의 shift를 만들 수 있고 더불어 O₂ + CF₄ 플라즈마는 트렌치 벽면의 손상된 실리콘을 등방성 식각을 함으로써 실리콘 손상을 감소시킨다.

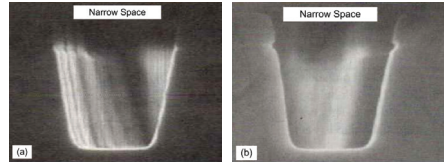


그림 3. 좁은 영역에서의 STI SEM 영상
(a) 기존방법 (b) 제안 방법

Fig. 3 SEM images of STI in a narrow area
(a) Conventional method (b) Suggestion method

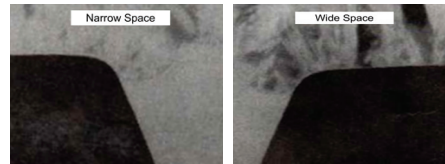


그림 4. 조밀도에 따른 STI profile의 TEM 영상

Fig. 4 TEM images of STI profile according to density

이와 같은 실리콘의 손상은 STI 실리콘 트렌치 식각동안에 플라즈마의 높은 포텐셜에 의해 야기될 수 있다. 결과적으로 제안된 공정은 STI 프로파일뿐 아니라 실리콘의 손상을 조절할 수 있다[13].

제안된 방법에 의한 n+/p-well에 대한 누설전류의 누적확률을 그림 5에 나타내었다. 그림 5에서 보는바와 같이 기존의 방식보다 누설전류의 특성이 좋게 나타남을 확인할 수 있다.

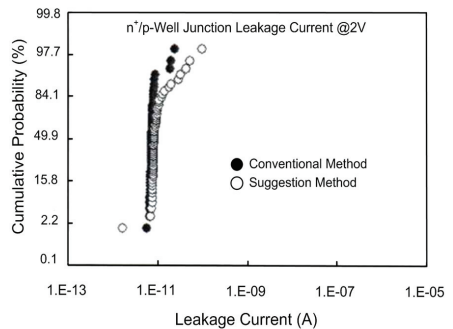


그림 5. n+/p-well에 대한 누설전류의 누적 확률
Fig. 5 Cumulative probability of leakage current for n+/p-well

이는 새로운 STI 공정기술은 기존 공정의 열적 스트레스에 의한 sharp한 STI 모서리에서 발생할 수 있는 실리콘의 전위(dislocation)를 감소시키는 것으로 해석할 수 있고, 이와 같은 실리콘의 전위는 누설전류의 원인중에 하나로 잘 알려져 있다[9-10].

셀 밀집도가 다른 소자에서 STI HLD의 두께 변화를 평가하기 위한 peripheral부의 Teg. 단면도를 그림 6에 나타내었고 트랜치 깊이는 같고 밀집도가 다른 128RD와 128SD에 대한 패드 질화막 제거후의 Gap-fill HLD 및 패드 산화막의 두께 측정값을 표 1에 나타내었다.

표 1. 질화막 제거후 Gap-fill HLD 두께 및 규정치
Table 1. Gap-fill HLD thickness and specification values after removing the nitride film

Device & Thick.		128RD	128SD
Gap fill HLD (Å)	AVG.	3341	3604
	STD.	123	118
HLD Spec.(Å)		3250±400	3250±400
Spec. out rate(%)		6.4	30.6

표 1에서와 같이 STI가 깊이가 같은 두 디바이스에 대하여 HLD는 3250±400Å으로 동일하게 관리되고 있으나 질화막 제거후 HLD 두께가 약 160Å 높게 나타나고 두께 관리치를 벗어나는 경우가 30.6%로 나타났다. 이는 STI CMP후 셀부의 질화막 두께가 250Å으로 설계되고 이 두께를 위한 시험 패턴이 있는 주변회로에서 CMP후 질화막의 두께는 128RD와 shrink된 128SD에서 550±65Å, 600±65Å으로 각각 spec으로 관리되어지고 있어 약 50Å의 질화막 두께 차이를 가지게 된다. 이에 대한 단면도를 그림 6에 나타내었다.

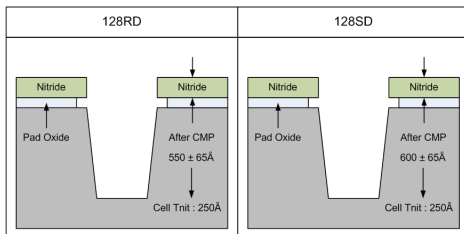


그림 6. 디바이스별 CMP 후 질화막 두께 차이
Fig. 6 Difference in nitride film thickness after CMP by device

여기서 CMP에 사용된 슬러리의 질화막과 HLD의 선택비는 대략 1:3으로 디바이스의 차이에 따른 질화막 두께 50Å을 기준으로 CMP후 HLD 두께차는 128SD에서 약 150Å 더 두껍게 측정되어 질 수 있다. 따라서 STI 깊이가 같고 증착된 HLD 두께가 동일하더라도 웨이퍼내의 소자 밀집도에 따라 CMP후 질화막의 두께 차이 및 슬러리의 선택비에 의한 HLD 두께 차이가 발생하는 것으로 예측할 수 있고 이를 그림 7과 같은 질화막 제거 후 정상 두께인 128RD와 spec out 처리된 128SD에 대한 SEM 측정치와 계측치를 비교하여 표 2에 나타내었다.

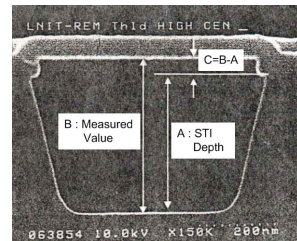


그림 7. 질화막 제거 후 HLD 두께 측정을 위한 SEM 단면

Fig. 7 SEM cross section for measuring HLD thickness after remove nitride film

표 2. 디바이스별 SEM 측정치 비교(Å)
Table 2. Comparison of SEM measurements by device(Å)

Instrumentation	128RD	128SD
	SEM	3521
B	3604	3736
A	3441	3401
C	163	335

표 2에서 보는바와 같이 실제 측정치와 SEM 측정치 차이가 각각 159Å, 172Å으로 질화막 두께 50Å에 기인한 것으로 계산된 150Å과 유사하게 나타남을 확인할 수 있다. 따라서 shrink 버전의 경우 질화막 제거 후 관리치를 현행보다 150Å 상향한 3400±400Å으로 하는 것이 타당하며 이는 동일 STI 깊이와 HLD 두께를 적용하더라도 밀집도에 따른 디바이스 특성을 감안하여 랩(FAB)내 두께 측정 관리치를 다르게 운영할 필요가 있음을 제시한다.

IV. 결론

반도체 소자의 고집적도 및 미세화 경향과 함께 소자간 절연 방식으로 STI가 필수적이다. 본 논문에서는 HF 용액을 이용한 패드 산화막의 측면 이동과 함께 O_2+CF_4 플라즈마에 의한 실리콘의 소프트 식각을 통하여 STI 형상의 모서리를 곡면화하는 방법을 제안하였다. 이는 기존의 식각에서 측면부 폴리머를 이용하는 방법보다 모서리 부분의 형상을 곡면화하고 패턴에 따른 마이크로 로딩 영향을 최소화 할 수 있었으며 누설전류 특성을 개선할 수 있었다. 또한 동일 깊이의 STI를 갖는 밀집도가 다른 디바이스에 대한 질화막 제거 후 Gap-fill HLD 두께가 측정 패턴의 질화막 두께 차이 및 CMP 슬러리의 선택비에 따라 차이가 발생함을 확인하였다. 본 연구는 서브 마이크론 소자의 STI 형성 개선에 효과적인 방법이며 대량생산 현장에서의 규정치 관리에 유효할 것으로 판단된다.

References

- [1] C. Chang and S. Shive, "Enabling shallow trench isolation for 0.1/spl mu/m technologies and beyond," *Symposium on VLSI Technology*, Kyoto, Japan, Jun. 1999, pp. 161-162.
- [2] P. Sallagoity, F. Gaillard, M. Rivoire, M. Paoli and M. Haond, "STI process steps for sub-quarter micron CMOS," *Microelectronics Reliability*, vol. 38, no. 2, Feb. 1998, pp. 271-276.
- [3] K. Doong, S. Lin, S. Hsieh, B. Shen, J. Cheng, Y. Yang, and C. Hsu, "Mechanism and Annihilation of Shallow Trench Isolation Enhanced Poly-Mask Edge N+/P Well Leakage," *SPIE Proceedings* vol. 4406, May 2001, pp. 49-56.
- [4] R. Bez, E. Camerlenghi, and A. Modelli, "Introduction to Flash Memory," *Proceedings of The IEEE.*, vol. 91, no. 4, Apr. 2003, pp. 489-502.
- [5] Y. Joung, S. Kang, and S. Moon, "A Study on the DC parameter matching according to the shrink of 0.13um technology," *J. of the Korea Institute of Electronic Communication Sciences*, vol. 9, no. 11, 2014, pp. 1227-1232.
- [6] D. Choi, S. Han, N. Kim, and S. Kim, "Stabilization of sheet resistance for metal lines by formation of etch stop layer trench structure," *Microelectron Engineering*, vol. 87, no. 3, Mar. 2010, pp. 343-347.
- [7] J. McGrath and C. Davis, "The effect of thin film stress levels on CMP polish rates for PETEOS wafers," *Journal of Materials Processing Technology*, vol. 132, no. 1, Jan. 2003, pp. 16-20.
- [8] C. Huynh, M. Rutten, R. Cheek, and H. Linde, "A study of post Chemical Mechanical polish cleaning strategies," *IEEE/SEMI Advanced Semiconductor Manufacturing Conference and workshop*, Boston, USA, Sept. 1998, pp. 372-376.
- [9] H. Nojo, M. Kodera, and R. Nakata, "Slurry engineering for self-stopping, dishing free SiO-CMP," *IEDM 96*, San Francisco, USA 1996, pp. 349-352.
- [10] C. Yeon and H. You, "Deep-submicron trench profile control using a magnetron enhanced reactive ion etching system for shallow trench isolation," *J. of vacuum Science & Technology : Part A-Vacuums, Surfaces & Films*, vol. 16, no. 3, Oct. 1998, pp. 1502-1508.
- [11] M. Nandakumar, A. Chatterjee, S. Sridhar, K. Joyner, M. Rodder, and I. C. Chen, "Shallow Trench Isolation for advanced ULSI CMOS Technologies," *IEDM 98*. San Francisco, USA 1998, pp. 133-136.
- [12] Y. Joung and Y. Chung, "A Study on the Evaluation of Oxidation Resistance of Nitride film in DRAM Capacitor," *J. of the Korea Institute of Electronic Communication Sciences*, vol. 16, no. 3, 2021, pp. 451-456.
- [13] S. Mun, K. Shin, K. Yoon, J. Kwak, H. Ryu, and Y. Jeong, "Shallow Trench Isolation Top Corner Rounding Using Soft Etching Following," *J. of Applied Physics*, vol. 43, no. 11A, 2004, pp. 7701-7704.

저자 소개



강성준 (Seong-Jun Kang)

1989년 인하대학교 응용물리학과
졸업(공학사)

1994년 인하대학교 대학원 전자
재료공학과 졸업(공학석사)

1999년 인하대학교 대학원 전자재료공학과 졸업
(공학박사)

현재 전남대학교 전기 및 반도체공학과 교수

※ 관심분야 : 기능성 박막, 반도체 공정 및 재료



정양희 (Yang-Hee Joung)

1983년 단국대학교 응용물리학과
졸업(공학사)

1985년 인하대학교 대학원 응용
물리학과 졸업(공학석사)

1993년 인하대학교 대학원 전자재료공학과 졸업
(공학박사)

현재 전남대학교 전기 및 반도체공학과 교수

※ 관심분야 : 반도체 공정 및 물성