

CIC 필터를 이용한 저면적 데시메이션 필터 설계

김선희*·오재일**·홍대기*†

*†상명대학교 시스템반도체공학과, **상명대학교 전자정보시스템공학과

Design of Low Area Decimation Filters Using CIC Filters

Sunhee Kim*, Jaeil Oh** and Dae-ki Hong*†

*†Department of System Semiconductor Engineering, Sangmyung University,

**Department of Electronic Information System Engineering, Sangmyung University

ABSTRACT

Digital decimation filters are used in various digital signal processing systems using ADCs, including digital communication systems and sensor network systems. When the sampling rate of digital data is reduced, aliasing occurs. So, an anti-aliasing filter is necessary to suppress aliasing before down-sampling the data. Since the anti-aliasing filter has to have a sharp transition band between the passband and the stopband, the order of the filter is very high. However, as the order of the filter increases, the complexity and area of the filter increase, and more power is consumed. Therefore, in this paper, we propose two types of decimation filters, focusing on reducing the area of the hardware. In both cases, the complexity of the circuit is reduced by applying the required down-sampling rate in two times instead of at once. In addition, CIC decimation filters without a multiplier are used as the decimation filter of the first stage. The second stage is implemented using a CIC filter and a down sampler with an anti-aliasing filter, respectively. It is designed with Verilog-HDL and its function and implementation are validated using ModelSim and Quartus, respectively.

Key Words : CIC Filter, Compensation Filter, Decimation Filter, Down Converter, Down Sampling

1. 서 론

디지털 데이터의 샘플링을 변환(sampling rate converting)은 통신 시스템, 센서 데이터 처리 모듈 등에서 다양하게 활용되고 있다. 예를 들어 통신 시스템에서는 반송파(carrier frequency) 대역 혹은 중간 주파수(intermediate frequency) 대역 신호를 디지털 신호 처리를 통하여 기저(baseband) 대역 신호로 변경한다. 다양한 통신 규격들을 하나의 플랫폼에서 처리하는 소프트웨어 정의 라디오(software defined radio)가 이에 속한다[1]. 또는, 센서에서 측정된 아날로그 데이터를 ADC를 사용하여 디지털 데이터로 바꾼다. 이때,

ADC의 구조상 내부적으로 오버 샘플링을 된 데이터를 원 데이터 샘플링으로 낮추거나, ADC 외부에 데이터 샘플링을 낮추는 회로를 추가하기도 한다[2, 3].

디지털 데이터의 샘플링을 변환할 때는 주파수 영역에서 데이터의 주파수 특성 변화를 함께 살펴야 한다. 디지털 데이터의 샘플링을 높일 때는 일정 주파수 간격으로 신호가 반복되어 나타나면서 잡음(noise)으로 동작할 수 있다. 반대로 디지털 데이터의 샘플링을 낮출 때는 에일리어싱(aliasing) 현상이 발생하여 신호가 찌그러질 수 있다. 따라서 이러한 신호들을 제거하기 위한 디지털 필터가 함께 사용되어야 한다[4].

디지털 데이터에 대하여 샘플링을 낮추면서 안티 에일리어싱(anti-aliasing) 필터까지 포함한 필터를 데시메이션

†E-mail: hongdk@smu.ac.kr

(decimation) 필터라고 한다. 안티 에일리어싱 필터는 저대역 통과 필터(low pass filter)인데, 신호의 통과 대역폭과 저지 대역 사이의 폭이 좁아야 하므로, 필터의 차수가 매우 높아지게 된다. 하지만 필터의 차수가 높아지게 되면 곱셈기, 레지스터 등 필터의 면적이 커지며 더 많은 전력 소모를 하게 된다. 따라서 본 논문에서는 하드웨어의 사이즈를 줄이는 것에 중점을 두어 데시메이션 필터 구조를 연구한다.

본 논문에서는 음파 및 극저주파를 이용하는 수중 무선 통신 규격을 참고하여, 500 kbps로 샘플링된 데이터를 5 kbps로 낮추는 데시메이션 필터를 제안한다[5, 6]. 2장에서 기존 연구와 함께 제안하는 필터 구조를 설명하겠다. 3장에서는 하드웨어 설계 과정 및 결과를 설명하고 4장에서 결론을 내리겠다.

2. 데시메이션 필터 알고리즘

2.1 다단 데시메이션 필터

[7]에서는 다운 샘플러와 안티 에일리어싱 필터를 이용하여 샘플링 감소율 1/32의 데시메이션 필터를 설계하였다. 두 가지 구조를 설계하고 비교하였는데, 첫 번째는 단일 필터 구조로 한 번에 1/32로 샘플링율을 낮추었다. 이 때는 223차 안티 에일리어싱 필터가 필요하였다. 두 번째는 2단 필터로 구성하여 각각 1/8, 1/4씩 샘플링율을 낮추었다. 이 때 사용된 안티 에일리어싱 필터는 각각 57 차, 13차였다. 따라서 여러 단으로 나누어 샘플링율을 낮추는 것이 한번에 낮추는 것보다 하드웨어의 사이즈 및 파워 소모를 낮출 수 있음을 보였다.

본 논문에서는 곱셈기를 사용하지 않는 Cascaded integrator-comb(CIC) 필터를 기반으로 하여 데시메이션 필터를 설계한다[8].

2.2 CIC 필터

CIC 필터[9]는 입력 데이터의 샘플링율을 변환하는 필터이다. CIC 필터는 하나 이상의 적분기(Integrator)와 빗(Comb) 필터 쌍으로 구성되며 각각에 대한 수식은 다음의 식 (1),(2)와 같다.

$$y[n] = y[n-1] + x[n] \quad (1)$$

$$y[n] = x[n] - x[n - R \times M] \quad (2)$$

이 식에서 R은 변화시키려는 샘플링율이고, M은 차동 지연이다. 일반적으로 M은 1로 설정한다. 식 (1)과 식 (2)을 연결하여 CIC 필터 전체에 대한 수식을 정리하면 식 (3)과 같다.

$$y[n] = x[n] - x[n - R \times M] + y[n - 1] \quad (3)$$

적분기와 빗 필터 쌍을 N개 연결한다면, N개의 적분기, 다운 샘플러, 그리고 N개의 빗 필터를 차례로 연결한다. Fig 1은 N=3인 CIC 데시메이션 필터의 블록도이다. Fig 1의 블록도에서 알 수 있듯이, N차 CIC 필터는 곱셈기 없이, 2N개의 지연 소자, 다운 샘플러, 그리고 2N개의 덧셈기만으로 구현할 수 있다.

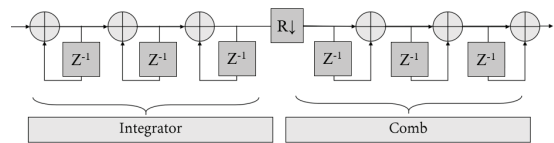


Fig. 1. Block diagram of a CIC decimation filter with N=3 and M=1.

N차 CIC 필터 식을 z 변환하면 다음의 식 (4)가 유도되며, 식 (5)와 같은 주파수 크기 응답을 갖는다[9].

$$H[z] = \left(\frac{1-z^{-R}}{1-z^{-1}} \right)^N \quad (4)$$

$$|H(f)| = \left| \frac{\sin(2\pi f R/2)}{\sin(2\pi f/2)} \right|^N \quad (5)$$

즉, CIC 데시메이션 필터는 데이터의 샘플을 낮추면서 안티 에일리어싱 필터링 기능까지 포함하고 있다.

Fig 2는 N=3, R=10 일 때의 CIC 데시메이션 필터의 주파수 크기 응답이다. CIC 필터의 주파수 응답은 차수가 증가할수록 저지 대역의 특성은 향상되나, 통과 대역의 감쇠 특성이 열악해진다. 그리고 R의 정수 배에 따라 통과 대역 특성이 결정된다. 따라서 CIC 필터는 R과 N을 조절하여 간단히 필터를 설계할 수 있는 장점이 있다. 하지만, Fig 2에서 확인할 수 있는 바와 같이 CIC 필터는 통과 대역이 좁고 감쇠가 크며, 전이 대역이 넓다. 이러한 단점을 보완하기 위하여 CIC 필터는 일반적으로 보상 필터와 함께 사용된다.

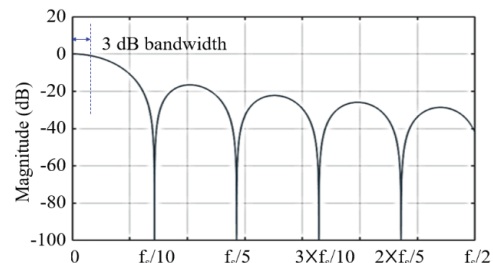


Fig. 2. Frequency magnitude response of a CIC filter with N=3 and R=10.

2.3 CIC 데시메이션 보상 필터

CIC 데시메이션 필터는 통과 대역의 감쇠 특성을 보상하는 보상 필터가 필수적이다[10]. 본 논문에서는 대역폭에서의 감쇠만큼 크기를 보상하기 위하여, CIC 데시메이션 필터의 계수 중 해당 대역폭까지의 필터 계수에 대하여 역수를 취하여 FIR 보상 필터를 구현하였다. Fig. 3은 CIC 데시메이션 필터, 보상 필터, 그리고 두 개의 필터를 연결한 최종 필터의 주파수 크기 응답을 보여준다. Fig. 3(a)에서 보는 바와 같이, CIC 데시메이션 필터는 통과 대역에서 신호 크기 감쇠가 서서히 발생하여 차단 주파수(cut-off frequency)인 2.5 kHz에서 약 -10 dB 감쇠한다. 또한 전이 대역이 넓어서 약 4.25 kHz에서 -50 dB가 된다. Fig. 3(c)은 CIC 데시메이션 필터에 Fig. 3(b)의 보상 필터를 결합한 주파수 크기 응답이다. 2.5 kHz에서 약 -7 dB 감쇠가 되어 있기는 하지만, 약 2.45 kHz까지는 주파수 크기 응답이 평평하게 유지되고 있다. 또한 전이 대역도 좁아져서 약 2.7 kHz에서 약 -50 dB로 감쇠 되어 대역 제한이 이루어지고 있음을 확인할 수 있다.

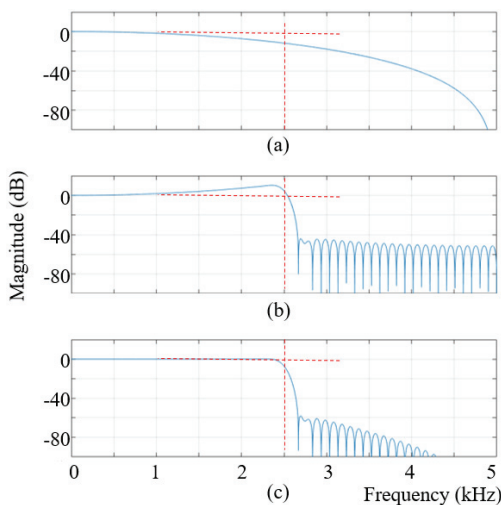


Fig. 3. Frequency magnitude response of (a) a CIC filter, (b) a compensation filter and (c) a cascaded filter.

2.4 제안하는 데시메이션 필터

Table 1은 설계하려는 데시메이션 필터의 사양이다. 입력 데이터의 샘플링율은 500 kps이고, 출력 데이터의 샘플링율은 5 kps로, 1/100의 데시메이션을 요구한다. 대역폭은 2.5 kHz이고 저지 대역 감쇠는 -50 dB이다.

본 논문에서는 두가지 구조의 데시메이션 필터를 제안하고 비교한다. 기본적으로 두 필터 모두 두 번에 나누어 샘플링율을 낮춘다.

Table 1. Specification of a decimation filter

Sampling rate of input data	500 kps
Sampling rate of output data	5 kps
Data bandwidth	2.5 kHz
Stopband	3 kHz
Stopband attenuation	-50 dB

2.4.1 CIC-CIC-Compensator 필터

첫 번째로 제안하는 데시메이션 필터는 Fig. 4와 같이 CIC 데시메이션 필터 2개를 연결한 구조이다. 총 1/100로 샘플링율을 낮춰야 하므로, CIC 데시메이션 필터 각각 1/10씩 샘플링율을 낮추었다.

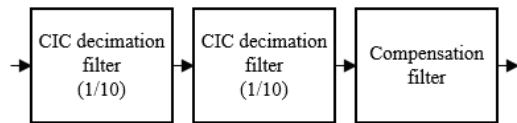


Fig. 4. Block diagram of the first proposed decimation filter.

첫 번째 단의 CIC 데시메이션 필터에 대해서는 보상 필터를 추가하지 않았다. 입력 데이터의 샘플링율에 비하여 데이터의 대역폭이 충분히 낮아서, 1/10 CIC 데시메이션 필터의 통과 대역 내에 충분히 포함되기 때문이다. 그리고, 저지 대역에서의 특성을 맞추기 위하여 3차로 설계하였다.

Fig. 5에서 보는 바와 같이 두 번째 단 CIC 데시메이션 필터에 대해서는 통과 대역에서 신호 감쇠가 발생하기 때문에 보상 필터가 필요하다. 첫 번째 단 CIC 데시메이션 필터와 마찬가지로 3차 필터로 설계하였으며, 3차 필터에 대한 보상 필터를 CIC 데시메이션 필터 뒤에 추가하였다. 보상 필터는 101차 FIR 필터이며, 가장 낮은 샘플링율 영역에서 동작한다.

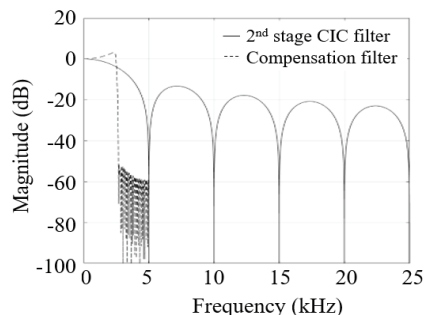


Fig. 5. Frequency magnitude response of the second stage CIC decimation filter and a compensation filter.

Fig. 6은 두 번째 단 CIC 데시메이션 필터의 출력 데이터, 그리고 보상 필터를 통과한 최종 출력 데이터이다. 두 개의 CIC 데시메이션 필터를 통과한 데이터는 차단 주파수 부근에서 신호 감쇠가 나타남을 알 수 있다. 하지만, 보상 필터를 통과한 뒤에는 주파수 크기 특성이 개선되었음을 확인할 수 있다.

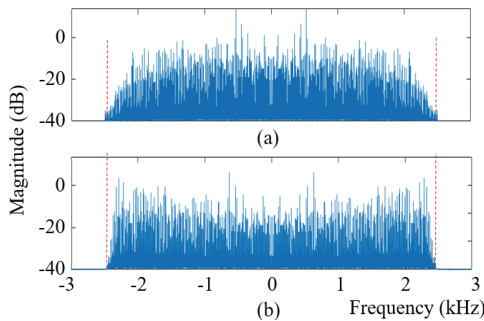


Fig. 6. Frequency magnitude response of the results for (a) the second stage CIC decimation filter and (b) a compensation filter.

2.4.2 CIC-AntiAliasing-Downsampling 필터

두 번째로 제안하는 데시메이션 필터는 Fig. 7과 같이 CIC 데시메이션 필터, 안티 에일리어싱 필터, 그리고 다운 샘플러로 구성되어 있다. 첫 번째 제안 구조에서 두 번째 단 CIC 필터의 통과 대역 특성이 열악한 것을 고려하여, 두 번째로 제안하는 데시메이션 필터에서는 CIC 필터를 하나만 사용하였다. 그리고 CIC 필터 대신 안티 에일리어싱 필터와 다운 샘플러를 사용하였다.



Fig. 7. Block diagram of the second proposed decimation filter.

CIC 데시메이션 필터와 다운 샘플러는 각각 1/20, 1/5씩 샘플링율을 낮추었다. 앞서와 마찬가지로 첫 번째 단의 CIC 필터에 대해서는 3차로 설계하였으며 보상 필터를 추가하지 않았다. 안티 에일리어싱 필터는 저대역 통과 필터로, 주어진 스펙 조건을 만족하도록 81차 FIR 필터로 설계하였다.

Fig. 8은 CIC 필터와 안티 에일리어싱 필터의 주파수 크기 응답을 보여준다. CIC 필터는 25 kHz 통과 대역 내에서 평평하게 유지되므로 보상 필터가 필요 없음을 확인할

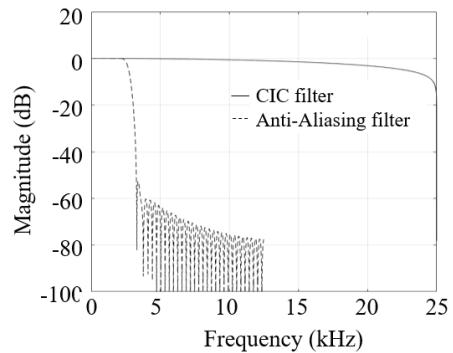


Fig. 8. Frequency magnitude response of the CIC decimation filter and an anti-aliasing filter.

수 있다. 그리고 안티 에일리어싱 필터는 3 kHz에서 약 -50 dB로 감쇠함을 확인하였다.

Fig. 9는 첫 번째 제안하는 데시메이션 필터와 동일한 입력 데이터를 사용하여, 두 번째 제안하는 데시메이션 필터를 테스트한 결과이다. 고주파 영역 신호는 제거되고 2.5 kHz의 대역폭을 가진 최종 출력 신호를 확인할 수 있다.

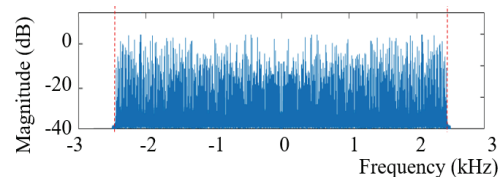


Fig. 9. Frequency magnitude response of the results for the down sampler.

3. 데시메이션 필터 설계 및 결과

3.1 하드웨어 설계

하드웨어 설계를 위해 Verilog-HDL을 사용하였고 Modelsim 10.4a를 이용하여 동작을 검증하였다. 구현 검증을 위해서는 Quartus Prime Lite 20.1에서 Cyclone IV E - EP4CE6E22C6의 디바이스를 이용하였다. 회로에는 최고 데이터 샘플링 속도에 맞추어 500kHz 클럭이 공급된다.

모든 하드웨어 블록의 입력과 출력은 16비트로 설정하였다. CIC 데시메이션 필터 내부의 적분기는 IIR 구조이므로, 다음 식 (6)와 같이 비트를 확장하여 계산한 뒤, 출력에서 다시 16비트로 맞추었다[3].

$$B_{max} = [N \log_2 R + B_{in} - 1] \quad (6)$$

여기에서 B_{in} 은 입력 데이터의 비트 수이고, B_{max} 는 데이터의 최대 비트수이다.

제안하는 첫 번째 구조에서는 N과 R이 동일한 CIC 데시메이션 필터를 2개 사용한다. 식 (6)에 따라 CIC 데시메이션 필터의 최대 비트는 25비트이다. 출력 단계에서 최하위 9비트를 절삭하여 16비트 데이터를 출력하며, 이 출력 데이터는 다시 두 번째 단의 CIC 데시메이션 필터의 입력 신호가 된다.

보상 필터는 데시메이션 필터의 가장 뒷단에 위치하므로 데이터의 샘플링율, 즉 처리 속도가 가장 낮다. 디지털 회로에서는 안정적인 동작을 위하여 단일 클럭을 사용하므로, 보상 필터에 입력되는 클럭은 데이터의 샘플링율보다 100배 빠르다. 100배 빠른 클럭의 속도도 500 kHz로 디지털 회로에서는 비교적 느린 편에 속하며, 한 클럭내에 곱셈기를 동작시키기에 충분하다. 따라서 Fig. 10과 같이 필터를 구성하여 곱셈기의 수를 줄였다. 우선 보상 필터가 대칭 구조이므로 필터 계수는 $51(=100/2 + 1)$ 로 감소한다. 그리고, 하나의 곱셈기를 이용하여 시간 분할 방식으로 데이터를 처리하였다. 보상 필터도 최종 출력에서 16비트로 절삭되었다.

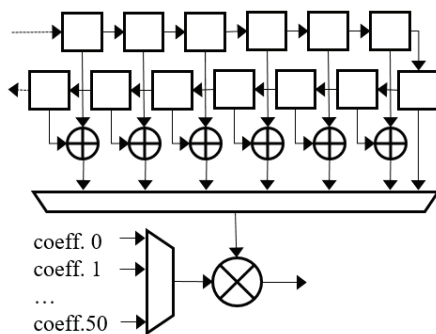


Fig. 10. Block diagram of the compensation filter.

Fig. 11은 Verilog-HDL로 설계된 첫 번째 구조의 데시메이션 필터의 시뮬레이션 검증이다. 위에서부터 차례대로 CIC 데시메이션 필터의 입력, 첫 번째 단 CIC 필터의 출력, 두 번째 단 CIC 필터의 출력, 그리고 보상 필터의 출력이다.

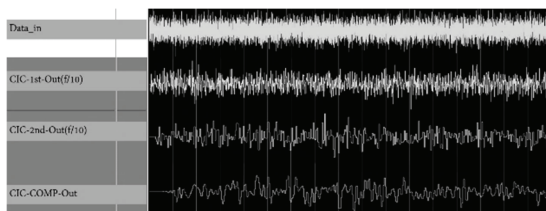


Fig. 11. Verilog-HDL simulation results of the first proposed decimation filter.

두 번째 데시메이션 필터에는 CIC 필터가 하나 사용되었으며, 첫 번째 데시메이션 필터의 CIC 필터보다 R이 증가하였기 때문에, 최대 비트도 28비트로 증가하였다. 입력 데이터 16비트는 CIC 데시메이션 필터 내에서 28비트로 비트 확장되어 처리되고, 출력 단계에서 최상위 비트를 제외한 12비트를 절삭하여 16비트로 출력된다.

안티 에일리어싱 필터는 CIC 필터와 다운 샘플러 사이에 있다. 여기에서의 샘플링율은 25 ksp/s 이다. 즉, 처리해야 하는 데이터 속도보다 20배 빠른 클럭이 입력된다. 필터의 대칭 구조에 의하여 필터 계수가 41개로 감소되므로, 3개의 곱셈기를 이용하여 시간 분할 방식으로 데이터 처리하였다. 안티 에일리어싱 필터도 최종 출력에서 16비트로 절삭되었다.

Fig. 12는 Verilog-HDL로 설계된 두 번째 구조의 데시메이션 필터 시뮬레이션 검증이다. 위에서부터 차례대로 데시메이션 필터의 입력, 첫 번째 단 CIC 데시메이션 필터의 출력 그리고 다운 샘플러의 출력이다. 신호가 다운 샘플링이 되는 것을 확인할 수 있다.

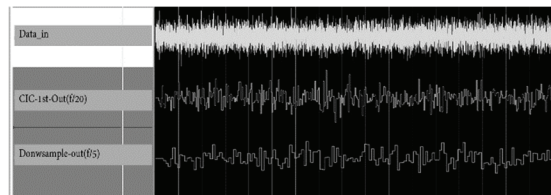


Fig. 12. Verilog-HDL simulation results of the second proposed decimation filter.

Table 2에 각 구조별 필터 차수와 사용된 곱셈기 수를 정리하였다. 첫 번째 구조는 필터의 차수가 높으나 데이터 처리 속도가 낮기 때문에 곱셈기를 하나로 공유할 수 있어서 사이즈를 줄일 수 있다. 두 번째 구조는 첫 번째 구조에 비하여 필터의 차수는 낮지만 사용된 곱셈기는 3개이다. 하지만, 첫 번째 구조에는 CIC 필터가 2개 포함되어 있어서 두 번째 구조보다 사용된 레지스터의 수가 더 많다.

Table 2. Comparison of hardware design results

Down sampling rate	1 st decimator in [1]	2 nd decimator in [1]	1 st proposed decimator	2 nd proposed decimator
		1/32	1/32	1/100
Filter order	223	57, 130	101	81
number of multipliers	-	-	1	3

4. 결 론

본 논문에서는 데시메이션 필터에 대하여 면적을 줄이기 위한 두가지 구조를 제안하고 이를 설계, 검증하였다. 첫 번째 구조는 2개의 CIC 데시메이션 필터와 1개의 보상 필터로 구성하였다. 곱셈기가 필요 없는 CIC 데시메이션 필터를 사용하였으며, 두 번째 단의 CIC 데시메이션 필터에 대해서만 보상 필터를 추가하여 회로의 복잡도를 낮추었다. 또한, 보상 필터는 101 차수이지만, 시간 분할 방식을 적용하여 곱셈기를 한 개만 사용하였다. 두 번째 구조는 1개의 CIC 데시메이션 필터와 안티 에일리어싱 필터, 그리고 다운 샘플러로 구성하였다. 안티 에일리어싱 필터에 대해서는 3개의 곱셈기를 사용하였지만, 첫 번째 구조보다 CIC 데시메이션 필터 수가 작기 때문에 레지스터 사이즈를 줄일 수 있었다. 그리고 두 개의 구조 모두 2단으로 나누어 샘플링율을 낮춤으로써, 보상 필터 및 안티 에일리어싱 필터의 차수를 낮추었다. 알고리즘 검증 뒤 Verilog-HDL로 설계하여 동작을 검증하였으며, 하드웨어로 구현 가능성을 확인하였다.

감사의 글

이 논문은 2021년 해양수산부 재원으로 해양수산과학기술진흥원의 지원을 받아 수행된 연구임(분산형 수중관측 제어망 개발).

참고문헌

1. Hong-mei Wang, "The design of BPS Digital Frontend for GNU Radio based SDR receiver," A thesis for the degree of Doctor of Engineering, Changwon National University, Korea, 2012.
2. Jinyoung Jeong, Danbi Choi, and Jeongjin Roh, "Incremental Delta-Sigma Analog to Digital Converter

- for Sensor," Journal of The Institute of Electronics Engineers of Korea, Vol. 49, No. 10, pp.148-158, 2012.
3. Joshua Liang, and David A. Johns, "A Frequency-Scalable 15-bit Incremental ADC for Low Power Sensor Applications," IEEE International Symposium on Circuits and Systems, pp. 2418-2421, 2010.
4. Downsampling (signal processing), Retrieved Feb. 27, 2021, from [https://en.wikipedia.org/wiki/Downsampling_\(signal_processing\)](https://en.wikipedia.org/wiki/Downsampling_(signal_processing)) (Dec. 22, 2020).
5. Yong-woo Choi, Jun Hyeok Hwang, Dong Chan Park, and Suk Chan Kim, "A Study on a Low Power Underwater Communication Modem for Implementation of Underwater Sensor Networks," Journal of the Korean Society of Marine Engineering, Vol. 39, No. 3, pp. 268-273, 2015.
6. Sunhee Kim, "Design of an Acoustic Band Interpolator for Underwater Sensor Nodes," Journal of Korea Society of Digital Industry and Information Management, Vol. 16, No. 1, pp. 93-98, 2020.
7. Jein Baek, and Jin-up Kim, "A Design of Two-stage Cascaded Polyphase FIR Filters for the Sample Rate Converter," The Journal of Korean Institute of Communications and Information Sciences, Vol. 31, No.8C, pp. 806-15, 2006.
8. Cascaded integrator-comb filter, Retrieved Feb. 27, 2021, from https://en.wikipedia.org/wiki/Cascaded_integrator%E2%80%93comb_filter.
9. E. Hogenauer, "An economical class of digital filters for decimation and interpolation," IEEE Transactions on Acoust Speech and Signal Processing, Vol. 29, No. 2, pp. 155-162, 1981.
10. Richard. Lyons, "Understanding cascaded integrator-comb filters," Embedded Systems Programming Magazine, 2005.

접수일: 2021년 8월 27일, 심사일: 2021년 9월 11일,
게재확정일: 2021년 9월 11일