

## 텔레메트리 시스템을 위한 가변 컷 오프 주파수 및 가변 샘플 레이트 저면적 다채널 디지털 필터 설계

# Variable Cut-off Frequency and Variable Sample Rate Small-Area Multi-Channel Digital Filter for Telemetry System

김 호근 · 김 종국 · 김 복기\* · 이 남식  
단암시스템즈 통신기술연구소

Ho-keun Kim · Jong-guk Kim · Bok-ki Kim\* · Nam-sik Lee  
Communication R&D Center, DANAM Systems, Gyeonggin-do, 13930, Korea

### [요 약]

본 논문에서는 텔레메트리 시스템을 위한 가변 컷 오프 주파수 및 가변 샘플레이트 특성을 지니는 저면적 다채널 디지털 필터 구조를 제안한다. 제안하는 디지털 필터는 임의의 컷 비율에 대해 필터 뱅크의 추가적인 설계 없이 컷 오프 주파수와 샘플레이트를 가변적으로 사용할 수 있는 필터 뱅크를 구현함으로써 하드웨어 면적을 줄일 수 있었다. 또한, 멀티플렉서 (MUX; Multiplexer) 컨트롤을 통해 통과하는 필터의 개수에 따라 샘플레이트를 가변적으로 선택할 수 있는 구조를 제안한다. 제안하는 디지털 필터는 Quartus의 FIR (finite impulse response) IP (intellectual property)의 TDM (time division multiplexing)을 이용함으로써, TDM을 사용하지 않았을 때보다 면적이 큰 DSP (digital signal processing) 블록을 80개에서 1개로 줄일 수 있었다. Kaiser 창 함수를 이용하여 Matlab을 통해 필터의 차수와 계수를 계산하였으며, VHDL (very high speed integrated circuits hardware description language)을 통해 하드웨어로 구현하였다. 텔레메트리 시스템에 적용 후, 실험 결과를 통해 제안하는 디지털 필터가 정상적으로 동작하고 있음을 확인하였다.

### [Abstract]

In this paper, We propose variable cut-off frequency and variable sample rate small-area multi-channel digital filter for telemetry system. Proposed digital filter reduced hardware area by implementing filter banks that can variably use cut-off frequency and sample rate without additional filter banks for an arbitrary cut ratio. In addition, We propose the architecture in which sample rate can variably be selected according to the number of filters that pass through the multiplexer control. By using time division multiplexing (TDM) supported by the finite impulse response (FIR) intellectual property (IP) of Quartus, the proposed digital filter can greatly reduce digital signal processing (DSP) blocks from 80 to 1 compared without TDM. Proposed digital filter calculated order and coefficients using Kaiser window function in Matlab, and implemented using very high speed integrated circuits hardware description language (VHDL). After applying to the telemetry system, we confirmed that the proposed digital filter was operating through the experimental results in the test environment.

**Key word** : Digital filter, Small area, Telemetry system, Variable cut-off frequency, Variable sample rate.

<https://doi.org/10.12673/jant.2021.25.5.363>



This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Received 8 September 2021; Revised 27 September 2021  
Accepted (Publication) 21 October 2021 (30 October 2021)

\*Corresponding Author: Bok-ki Kim

Tel: +82-31-538-6008

E-mail: bokki@danam.co.kr

## I. 서론

텔레메트리 시스템은 비행체에서 다양한 센서의 계측 및 상태 정보 등을 획득하여 지상으로 송신하는 역할을 한다 [1]. 텔레메트리 시스템의 구조는 그림 1과 같이 나타낼 수 있으며, 계측 정보는 전기, 기계, 열과 같은 저용량의 정보부터 음향 및 영상과 같은 고용량의 데이터까지 다양한 형태가 될 수 있다 [2].

텔레메트리 시스템은 비행체에서 발생하는 계측 정보 및 상태 정보를 이용하여 비행체의 상태를 실시간으로 확인하고 정확하게 분석하기 위해 신호원으로부터 잡음을 제거하여 신뢰도 높은 정보를 획득하는 것이 매우 중요하다. 따라서, 시스템 설계 시, 아날로그 필터를 설계하는 것뿐만 아니라, 디지털 필터를 설계함으로써 계측된 신호원에서 잡음을 최대한 제거하는 것이 중요하다.

디지털 필터는 잡음 특성, 성능, 시스템 구성의 용이성 등으로 인해 아날로그 필터에 비해 널리 사용되고 있다. 디지털 필터는 FIR (finite impulse response) 필터와 IIR (infinite impulse response) 필터로 구분된다. FIR 필터는 동일한 주파수 특성을 얻기 위해 IIR 필터보다 높은 차수가 요구되는 단점이 있으나 선형위상 특성을 얻을 수 있고, 곱셈기와 가산기, 그리고 지연소자만을 이용하여 쉽게 구현할 수 있어 널리 사용된다 [3], [4].

그러나, FIR 필터를 구현할 때, 특정 시스템의 요구 조건을 만족하기 위해서는 많은 차수의 필터 연산이 필요하며, 이는 많은 수의 곱셈기, 덧셈기 및 지연소자를 요구한다. 이러한 이유 때문에 일반적으로 FIR 필터를 FPGA (field programmable gate array)에 구현할 때에는 큰 면적을 요구한다. 특히, 텔레메트리 시스템은 다수의 센서 채널을 계측하기 때문에 요구되는 샘플레이트 (sample rate) 및 컷 오프 (cut-off) 주파수를 만족시키기 위해 각 채널 별로 FIR 필터를 설계한다면, 한정된 FPGA의 리소스로 인해 FIR 필터뿐만 아니라 텔레메트리 시스템의 구현이 불가능하게 된다. 이러한 면적의 문제를 해결하기 위하여, [5] 같이 필터를 FPGA에 구현하면서 P&R (place and routing) 과정에서 FIR 필터 모듈을 재구성 하여 사용되는 면적을 줄이는 방법도 제안되기도 하였다. 또한, [6], [7] 같이 필터 계수를 줄여 그에 따른 연산 블록을 줄이기 위한 연구도 진행되었으며, [8], [9] 같이 최근에도 필터의 리소스와 하드웨어 면적을 줄이기 위한 연구가 활발히 진행되고 있다. 한편, [10] 같이 가변 샘플레이트를 가지는 필터 설계 연구도 진행되었지만 up-sampling을 위한 interpolation 구조를 채택함으로써 가변 샘플레이트 전송에 목적을 두었기 때문에 FPGA의 리소스나 면적을 줄이기 위한 연구는 진행되지 않았다.

한정된 FPGA의 리소스와 면적을 가능한 적게 사용하기 위해 본 논문에서는 텔레메트리 시스템을 위한 가변 컷 오프 주파수 및 가변 샘플레이트 특성을 지니는 저면적 다채널 디지털 필터 구조를 제안한다. 제안하는 디지털 필터는 임의의 컷 비율에 대해 1개의 필터 뱅크가 컷 오프 주파수와 샘플레이트를 가변적으로 사용할 수 있는 특성을 가진다. 이러한 특성 활용하여, 필요한 컷 비율에 따라 필터 뱅크를 가변적으로 구성할 수 있는 하드웨어 구조를 제안한다. FPGA 내에서 사용되는 하드웨어의 면적을 줄이기 위해서 Intel quartus prime 18.1 standard edition 내에서 제공되는 FIR IP (intellectual property)의 TDM (time division multiplexing)을 활용하였으며 [11], 필터 계수는 Matlab 시뮬레이션을 통해 계산하였다. 마지막으로 제안하는 디지털 필터는 VHDL (very high speed integrated circuits hardware description language)로 로직을 구현하여 FPGA를 통해 성능을 확인하였다.

본 논문은 다음과 같이 구성된다. II절에서 제안하는 디지털 필터 구조에 대하여 기술하고, III장에서 실험 및 결과에 대해 기술한다. 끝으로, IV절에서는 연구 성과 및 기대효과에 대한 결론을 기술한다.

본 논문은 다음과 같이 구성된다. II절에서 제안하는 디지털 필터 구조에 대하여 기술하고, III장에서 실험 및 결과에 대해 기술한다. 끝으로, IV절에서는 연구 성과 및 기대효과에 대한 결론을 기술한다.

## II. 디지털 필터

FIR 필터는 IIR 필터와 달리 feedback 구조가 없어, 식 (1)과 같은 간단한 컨볼루션 연산으로 표현된다 [3].

$$y[n] = \sum_{k=1}^{N-1} h[k]x[n-k] \tag{1}$$

여기서  $x[n]$ 과  $y[n]$ 은 입력 데이터 및 출력 데이터를 나타내며,  $h[k]$ 은 필터의 FIR 특성이며  $N$ 은 필터의 차수를 의미한다.

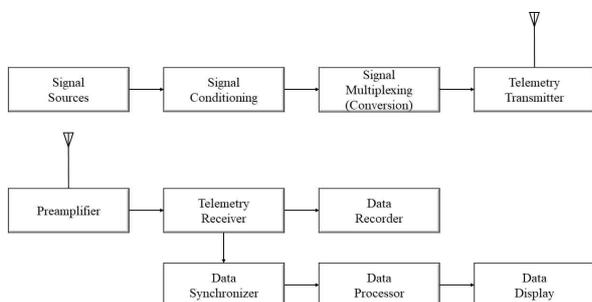


그림 1. 텔레메트리 시스템의 구조  
Fig. 1. Telemetry System Structure

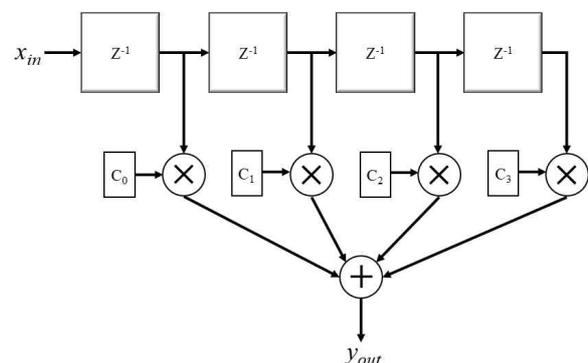


그림 2. FIR 필터의 구조  
Fig. 2. FIR Filter Structure

FIR 필터의 일반적인 구조는 그림 2와 같으며 본 논문에서는 임의의 계측 채널에서 얻어진 계측 정보를 down-sampling하기 위해 FIR 필터에 decimation을 적용한 디지털 필터 구조를 채택하였다.

**2-1 제안하는 디지털 필터 구조**

텔레메트리 시스템에서 모든 계측 채널의 요구조건을 만족하는 디지털 필터를 각각의 채널마다 설계하게 된다면, 한정된 FPGA의 면적으로 인해 디지털 필터뿐만 아니라 텔레메트리 시스템의 구현이 불가능하게 된다. 따라서, 본 논문에서는 한정된 FPGA의 면적을 최소한으로 활용한 위한 디지털 필터 구조를 제안한다. 제안하는 디지털 필터는 그림 3과 같으며 decimation 필터뱅크, 2개의 멀티플렉서 (MUX; Multiplexer)로 구성되어 있다.

계측 채널의 샘플레이트가  $f_s$  일 때, 필터를 사용하지 않을 경우에 계측 데이터는  $flt\_sel$  신호에 따라 멀티플렉서를 통해 bypass되어 출력된다. 반대로, 필터를 사용하는 경우에는  $rate\_sel$  신호를 이용하여 멀티플렉서 컨트롤을 통해, 계측 채널 별로 요구되는 주파수 특성에 맞게 decimation 필터뱅크를 통과시킴으로써 원하는 출력 데이터를 얻을 수 있다. 이를 통해, 가변 샘플레이트 특성을 가지는 디지털 필터 구조를 도출할 수 있다. 한편, FIR 필터의 계수는 그림 3에서와 같이  $bank\_sel$  신호에 따라 하나를 FIR 필터 계수뱅크를 선택할 수 있다. 이러한 제어 신호들은 텔레메트리 시스템 부팅 시, 특정 메모리 영역의 configuration 블록과 연동되어 제어된다.

**2-2 제안하는 디지털 필터 구현**

가변 컷 오프 주파수 및 가변 샘플레이트 특성을 가지는 디

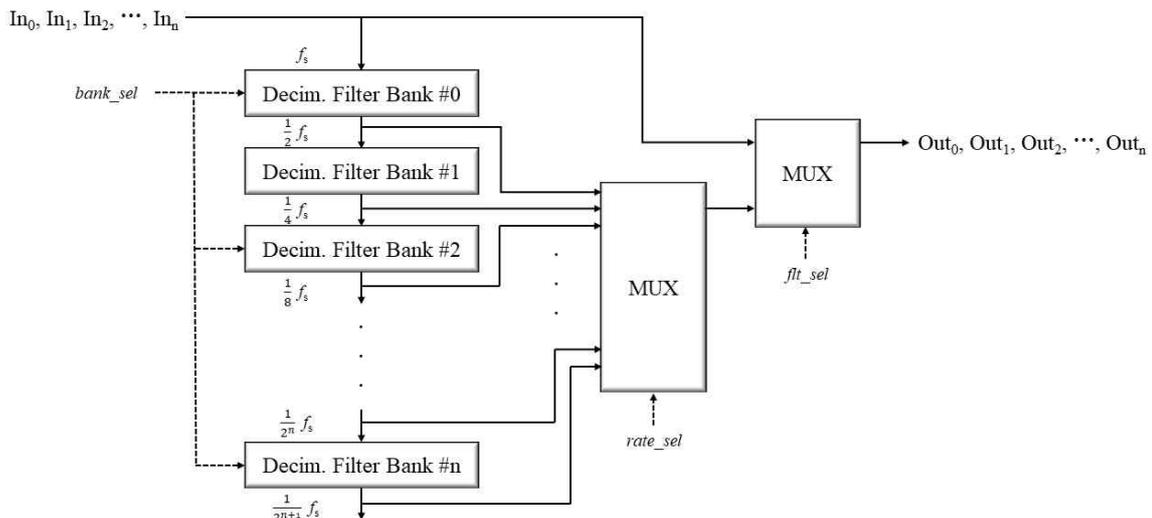


그림 3. 제안하는 디지털 필터 구조  
Fig. 3. Proposed Digital Filter Architecture

지털 필터를 구현하기 위해 본 논문에서는 식 (2)의 알고리즘을 이용하였다. 표 1의 예시와 같이 제안하는 디지털 필터는 임의의 컷 비율에 대해 FIR 필터 계수뱅크가 샘플레이트와 컷 오프 주파수를 가변적으로 사용할 수 있는 특성을 가진다. 이러한 특성 덕분에 디지털 필터를 구현할 때, 필요한 컷 비율에 따라 FIR 필터 계수뱅크를 가변적으로 구성할 수 있으며 그림 3과 같이 다채널 입력을 받는 가변 컷 오프 주파수와 가변 샘플레이트 디지털 필터의 하드웨어 구조를 도출할 수 있다. 추가적으로, 제안하는 디지털 필터를 구현함으로써, 컷 오프 주파수나 샘플레이트에 따른 중복되는 FIR 필터 계수뱅크를 추가로 구현하지 않아도 되기 때문에 FPGA의 면적을 더욱 줄일 수 있었다.

$$Cut\ Rate = \frac{Cut-off\ Freq.}{Sample\ Rate} \tag{2}$$

표 1. 특정 컷 비율에 따른 가변 샘플 레이트 및 가변 컷 오프 주파수 특성의 예시

Table 1. Example of Variable Cut-off Frequency and Variable Sample Rate According to Cut Rate

Cut-off Freq./Sample Rate	Sample Rate	Cut-off Freq.
0.1	100 Hz	10 Hz
	200 Hz	20 Hz
0.3125	1,600 Hz	500 Hz
	3,200 Hz	1,000 Hz

본 논문에서는 디지털 필터의 탭 길이와 FIR 필터 계수를 구하기 위해 창 함수 설계 기법을 사용하였다. Matlab 시뮬레이션을 통해 Kaiser 창 함수를 이용하여 필터의 차수는 35로 정하였으며, 이를 이용하여 필터 계수를 계산하였다 [12], [13]. 식 (3)는 Matlab에서 이용된 Kaiser 창 함수의 알고리즘을 나타내며, 이 때, 차단 주파수의 감쇄 특성은 80 dBc로 정하였다. 식 (3)에

서  $\alpha = -20 \log_{10} \delta$  는 저지 대역 감쇄 특성이다.

$$\beta = \begin{cases} 0.1102(\alpha - 8.7), & \alpha > 50 \\ 0.5842(\alpha - 21)^{0.4} + 0.7886(\alpha - 21), & 21 \leq \alpha \leq 50 \\ 0, & \alpha < 21 \end{cases} \quad (3)$$

또한, 제안하는 디지털 필터는 각 계측 채널이 통과하는 decimation 필터뱅크의 수에 따라 멀티플렉서 컨트롤을 통해 가변적으로 샘플레이트를 선택할 수 있다. 이 때, 표 1의 예시와 같은 주파수 특성에 따라 컷 비율, 패스 (pass) 비율, 스탑 (stop) 비율을 정해지고, 그에 따라 컷 오프 주파수, 패스밴드 (passband) 주파수, 스탑 밴드 (stopband) 주파수가 선정된다. 식 (3)를 통해 얻어진  $\beta$  값을 이용하여 최종적으로 FIR 필터의 각 탭에 맞는 필터 계수를 도출한다. 표 2는 컷 비율 0.32, 패스 비율 0.2, 스탑 비율이 0.5 일 때의 필터 계수를 나열한 표이며, 그림 4는 이때의 Matlab 시뮬레이션 결과이다. 표 2와 같은 FIR 필터 계수를 하드웨어로 구현하면 정수로 표현하는 것이 필요하며, 각 계수의 소수점 값은 버리고 정수 부분만 취하여, 이를 18-bit의 signed binary로 변환하여 사용하였다.

표 2. 설계된 FIR 필터의 계수 (컷 비율 : 0.32, 패스 비율 0.2, 스탑 비율 : 0.5)

Table 2. Coefficient Values of Implemented FIR Filter (Cut rate : 0.32, Pass rate : 0.2, Stop rate : 0.5)

n	Coefficient	n	Coefficient	n	Coefficient
1	-0.513021	13	-213351	25	1538.47
2	-12.2909	14	-4037.13	26	649.012
3	-22.918	15	-969.472	27	-348.221
4	20.7172	16	8018.89	28	-518.263
5	122.073	17	18351.7	29	-153.394
6	123.709	18	22936.8	30	123.709
7	-153.394	19	18351.7	31	122.073
8	-518.263	20	8018.89	32	20.7172
9	-348.221	21	-969.472	33	-22.918
10	649.012	22	-4037.13	34	-12.2909
11	1538.47	23	-2133.51	35	-0.513021
12	670.727	24	670.727		

필터의 차수가 35이며, 다양한 FIR 필터 계수뱅크를 가지는 디지털 필터를 FPGA에 구현하면 요구되는 곱셈기, 덧셈기, 그리고 지연소자의 수와 면적이 매우 커지게 된다. 따라서, FPGA의 한정된 공간을 최소한으로 활용하기 위해 Quartus의 FIR 필터 IP에서 지원하는 TDM 기능을 이용하여, 다수의 채널 데이터 입력이 들어오더라도 FPGA 내의 곱셈기와 덧셈기 같은 블록들을 재사용할 수 있도록 구현하였다. 그림 5(a)에서와 같이 TDM을 적용하지 않는다면 면적이 큰 DSP (digital signal processing) 블록을 입력되는 채널의 개수만큼 사용하게 되지만 그림 5(b)에서와 같이 TDM을 활용한다면 면적이 큰 DSP 블록을 최소 수량만 사용하여 연산에 재사용하기 때문에 FPGA의

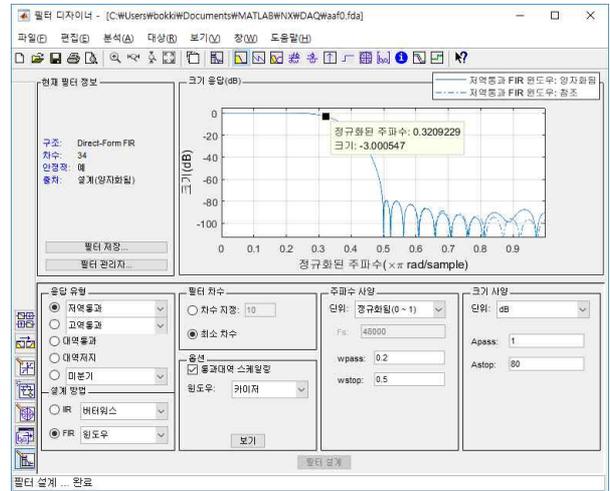


그림 4. 설계된 FIR 필터의 MATLAB 시뮬레이션 결과  
Fig. 4. Implementation Result of FIR Filter using MATLAB Simulation

면적을 크게 줄일 수 있다 [11]. TDM을 이용하여 FPGA의 리소스를 최소한으로 활용하기 위해서는 충분한 시간마진이 요구된다. 이러한 시간 마진을 확보하기 위해 [11]에서 표현된 Decimation Factor와 Sample Rate의 관계에서 텔레메트리 시스템의 계측 채널 수와 FIR 필터의 탭 수를 곱하여 디지털 필터를 동작하기 위한 최소 주파수의 조건인 식 (4)를 도출할 수 있다.

$$Oper. Freq. \geq \frac{Ch. \times Tap \times Sample Rate}{Decimation Factor} \quad (4)$$

예를 들어, 8개의 계측 채널과 17개의 필터 탭이 필요로 할 때, 계측 정보의 샘플레이트와 decimation factor가 각각 100 kHz, 2라고 가정하면, 디지털 필터의 동작 주파수는 6.8 MHz 이상만 만족하면 FPGA에서 단일 DSP 블록으로 디지털 필터를 동작하는데 충분한 시간 마진이 확보된다. 실제로 적용되는 텔레메트리 시스템은 100 MHz 이상의 동작 주파수를 사용하고 있으며 위에서 언급한 예시에 따르면 샘플레이트를 14 MHz까지 사용하여도 충분한 시간 마진이 확보된다. DSP 블록을 최소

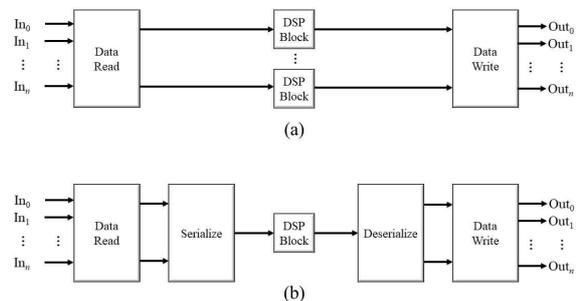


그림 5. (a) TDM을 사용하지 않는 경우 (b) TDM을 사용하는 경우  
Fig. 5. (a) When the FIR IP uses TDM (b) When the FIR IP do not use TDM

한으로 사용함으로써 기존에는 사용되지 않는 memory의 크기와 필터링 된 계측 데이터를 얻는 시간은 증가하였지만 TDM을 사용하기 전에 사용된 면적이 큰 DSP 블록을 80개에서 1개로 줄이면서 FPGA의 리소스를 크게 줄일 수 있었다. 또한, 앞서 언급한 멀티플렉서 컨트롤을 통한 가변 컷 오프 주파수 및 가변 샘플레이트 특성을 가지는 디지털 필터 구조를 통해 곱셈기, 덧셈기 및 지연소자의 양이 줄어들기 때문에 FPGA에서 사용되는 하드웨어 면적을 더욱 줄일 수 있었다.

### III. 실험 및 결과

#### 3-1 실험 방법

제안하는 디지털 필터의 성능을 실험하기 위해서 디지털 필터가 적용된 채널의 컷 오프 주파수, 패스 밴드 주파수, 스탑 밴드 주파수를 입력하면서 출력되는 전압 값을 분석 소프트웨어를 통해서 확인하였다. 제안하는 디지털 필터의 성능 실험 구성도는 그림 6과 같다. 실험에서 사용되는 장비는 인증된 기관에서 주기적으로 검교정을 진행하고, 분석 및 점검 소프트웨어는 실제 환경을 기반으로 제작하였기 때문에 실험 환경은 실제 상황과 매우 유사하다. 디지털 필터의 성능을 시험하기 위해, 시험하고자 하는 아날로그 입력 신호부에 평선 제너레이터를 연결시키고 출력 전압을 +3 V의 정현파로 유지시킨다. 필터의 샘플링 주파수를 설정하고, 컷 오프 주파수, 패스 밴드 주파수, 스탑 밴드 주파수를 입력하여 출력되는 데이터를 측정하여 제안하는 디지털 필터 구현 결과의 타당성을 검증한다.

#### 3-2 실험 및 구현 결과

+3 V의 정현파를 입력하여 임의의 필터 बैं크에 대해 컷 오프 주파수, 패스 밴드 주파수, 스탑 밴드 주파수에서의 피크 (peak) 값의 예상 결과는 각각 2.1213 V, 3 V, 0 V 이다. 그림 6과 같이 실험을 구성하여 실제 실험을 통해 얻은 결과는 표 3과 같다. 표 3에서의 결과를 통해 제안하는 디지털 필터가 실제 텔레메트리

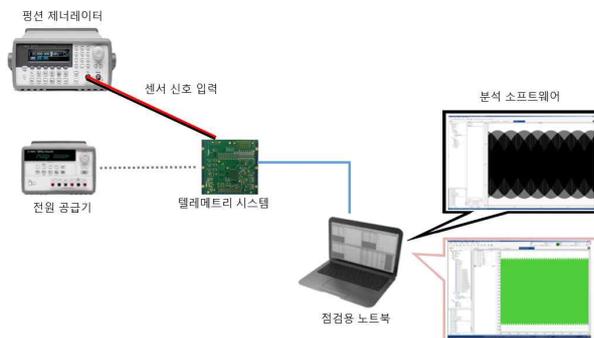


그림 6. 제안하는 디지털 필터의 성능 시험 구성도  
Fig. 6. Performance Test Block Diagram of Proposed Digital Filter

시스템에서 정상적으로 동작하고 있음을 확인하였다.

본 논문에서 제안하는 디지털 필터는 Intel의 Cyclone V FPGA를 이용하여 설계 및 검증을 하였다. FIR 필터는 intel quartus prime 18.1 standard edition 내에서 제공되는 IP 활용하였으며, 디지털 필터 계수는 앞서 언급했던 것처럼 Kaiser 창 함수를 이용하여 Matlab 시뮬레이션을 통해 계산하였다. 표 4은 TDM의 유무에 따라 제안하는 한 개의 FIR 필터가 FPGA에서 차지하는 면적을 보여주고 있다. TDM을 최대로 사용하여 디지털 필터가 사용하는 리소스를 최소한으로 이용했을 때에는 표 4에서 알 수 있듯이 TDM을 전혀 하지 않았을 때보다 메모리의 사용량은 증가하지만 크기가 큰 DSP 블록의 사용을 80개에서 큰 폭으로 1개로 줄일 수 있으며, 추가적으로 로직을 구성하기 위한 LUTs (look-up tables)의 사용량을 크게 줄일 수 있다.

일반적으로 TDM을 사용함으로써 면적을 줄이는 대신에 앞서 언급한 바와 같이 충분한 시간 마진을 확보를 위해 동작 주파수가 증가시키게 되면 식 (5)에 따라 소모 전력이 증가하게 된다.

$$P = CV^2f \tag{5}$$

하지만, 제안하는 디지털 필터의 경우 시스템의 동작 주파수가 충분한 시간 마진을 확보하고 있기 때문에 필터 동작을 위해서 별도로 높은 주파수의 클럭을 사용할 필요가 없다. 결과적으로 TDM의 사용 유무에 따른 필터의 소모 전력은 표 5와 같으며, 제안하는 디지털 필터는 면적도 줄일 수 있었고, 소모 전력 또한 줄일 수 있었다.

표 3. 제안하는 디지털 필터를 적용한 텔레메트리 시스템의 성능 시험 결과

Table 3. Performance Results of Telemetry System Applying The Proposed Digital Filter

Cut-off Freq. ( $f_{cut}$ )	Cut-off Freq. Test			
	80 Hz	500 Hz	3,000 Hz	10,000 Hz
Output Volt.	2.1906 V	2.1349 V	2.0981 V	2.0956 V
Passband Freq. ( $f_{pass}$ )	Passband Freq. Test			
	32 Hz	304 Hz	2,228 Hz	7,270 Hz
Output Volt.	3 V	3 V	3 V	3 V
Stopband Freq. ( $f_{stop}$ )	Stopband Freq. Test			
	152 Hz	784 Hz	4,148 Hz	14,950 Hz
Output Volt.	0 V	0 V	0 V	0 V

표 4. TDM 유무에 따른, Cyclone V FPGA에서 1개의 FIR 필터가 사용하는 면적

Table 4. The Area used by One FIR Filter in Cyclone V FPGA with and without TDM

Ref.	Without TDM			With Max. TDM		
	LUTs	DSPs	Memory Bits	LUTs	DSPs	Memory Bits
FIR Filter	4,720	80	0	487	1	8,192

**표 5.** TDM 유무에 따른, Cyclone V FPGA에서 1개의 FIR 필터가 사용하는 소모 전력

**Table 5.** The Power Consumption used by One FIR Filter in Cyclone V FPGA with and without TDM

Ref.	Power Consumption	
	Without TDM	With Max. TDM
FIR Filter	8.38 mW	0.96 mW

#### IV. 결 론

텔레메트리 시스템은 비행체에서 발생하는 계측 정보 및 상태 정보를 이용하여 비행체의 상태를 실시간으로 확인하고 정확하게 분석하기 위해 신호원으로부터 잡음을 제거하여 신뢰도 높은 정보를 획득하는 것이 매우 중요하다. 따라서, 본 논문에서는 디지털 필터가 FPGA 내에서 차지하는 면적을 최대한 줄이기 위해 멀티플렉서 컨트롤을 통한 가변 컷 오프 주파수 및 가변 샘플레이트 구조를 제안하였다. 또한, 임의의 컷 비율에 대해 1개의 필터 뱅크가 컷 오프 주파수와 샘플레이트를 가변적으로 사용할 수 있는 특성을 가진다. 이러한 특성 덕분에 필요한 컷 비율에 따라 필터 뱅크를 가변적으로 구성할 수 있게 된다. 따라서, 컷 오프 주파수나 샘플 레이트에 따른 중복되는 필터 뱅크를 추가적으로 구현하지 않아도 되기 때문에 FPGA의 면적을 더욱 줄일 수 있었다.

또한, Intel quartus의 FIR 필터에서 지원하는 TDM을 활용하여 차지하는 공간이 큰 DSP 블록을 기존 80개에서 최소 개수인 1개만을 사용함으로써 FPGA 면적을 크게 줄일 수 있었다.

본 논문에서 제안하는 디지털 필터의 적용 가능성과 타당성을 검증하기 위해서 성능 시험 환경을 그림 6와 같이 구성하였으며, 원격 측정 장치와 평선 제너레이터 및 텔레메트리 시스템 분석 소프트웨어를 이용하여 이론적인 컷 오프 주파수, 패스 밴드 주파수, 스탑 밴드 주파수에서 정상적으로 동작하고 있음을 검증하였다.

본 논문에서 제안하는 디지털 필터를 활용하여 다양한 환경이나 규격의 텔레메트리 시스템에 적용할 수 있으며, 향후 높은 신뢰성을 요구하는 모든 계측 시스템에 적용 가능할 것으로 기대된다.

#### References

[1] Garden, F., Jedlicka R., and Henry R., *Telemetry Systems Engineering*, Artech House, Massachusetts, 2002.  
 [2] *Telemetry Applications Handbook*, Secyariat Range Commanders Council(RCC), U.S. Army White Sands

Missile Range, doc. 119-06, ch1. pp. 3-7, May 2006.  
 [3] Sanjit K. Mitra and James F. Kaiser, *Handbook Digital Signal Processing*, WILEY-INTERSCIENCE, 1993.  
 [4] John G. Proakis and Dimitris G. Manolakis, *Digital Signal Processing : Principles, Algorithms, & Applications*, 1996.  
 [5] C. S. Choi and H. H. Lee, "Reconfigurable FIR Filter Design using Partial Reconfiguration," *The Institute of Electronics and Information Engineers of Korea*, Vol. 44, No. 4, pp. 97-102, Apr. 2007.  
 [6] A. Klemd, M. Eckert, B. Klauer, J. Hanselka, and J. Sachau, "A Parameterizable Feedback FxLMS Architecture for FPGA Platforms," in *Proceeding of the 2018 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (ElConRus)*, Moscow and St. Petersburg, Russia, pp. 1-4, 2018.  
 [7] W. Chen, M. Huang, and X. Lou, "Design of Sparse FIR Filters With Reduced Effective Length," *IEEE Transactions on Circuits and Systems-I: Regular Papers*, Vol. 66, No. 4, pp. 1496-1506, Apr. 2019.  
 [8] J. Chen, C. H. Chang, J. Ding, R. Qiao, and M. Faust, "Tap Delay-and-Accumulate Cost Aware Coefficient Synthesis Algorithm for the Design of Area-Power Efficient FIR Filters," *IEEE Transactions on Circuits and Systems-I: Regular Papers*, Vol. 65, No. 2, pp. 712-722, Feb. 2018.  
 [9] T. Bindima and E. Elias, "Low-Complexity 2-D Digital FIR Filters Using Polyphase Decomposition and Farrow Structure," *IEEE Transactions on Circuits and Systems-I: Regular Papers*, Vol. 66, No. 6, pp. 2298-2308, Jun. 2019.  
 [10] J. H. Kim, S. H. Hong, B. K. Park. B. K. Kim and H. J. Kim, "Telemetry Transmitter with Variable Data Rate Transmission," *Journal of Advanced Navigation Technology*, Vol. 24, No. 1, pp. 53-60, Feb. 2020.  
 [11] Intel Corp. FIR II IP Core – User Guide, UG-01072, Jun. 2020. [Available] : <https://www.intel.com/content/www/us/en/programmable/documentation/hco1421694595728.html>  
 [12] V. K. Ingle and J. G. Proakis, *Essentials of Digital Signal Processing using MATLAB*, 3rd ed. Boston, MA: Cengage Learning, pp. 344-352, 2014.  
 [13] Kaiser, James F., "Nonrecursive Digital Filter Design Using the I<sub>0</sub>-Sinh Window Function," in *Proceeding of the 1974 IEEE International Symposium on Circuits and Systems*, San Francisco, California, USA, pp. 20-23, 1974.



**김 호 근 (Ho-Keun Kim)**

2016년 2월 : 아주대학교 정보통신대학 전자공학과 (공학사)  
2016년 3월 ~ 2019년 2월 : 아주대학교 일반대학원 전자공학과 (석·박사통학과정 수료)  
2019년 3월 ~ 현재 : 단암시스템즈(주) 통신기술연구소 재직 중 (전문연구요원)  
※관심분야 : 암호화, 채널코딩, 디지털 통신 시스템, SoC, VLSI, Digital Signal Processing, Telemetry System



**김 종 국 (Jong-Guk Kim)**

2002년 2월 : 동신대학교 전자공학과 (공학사)  
2010년 11월 ~ 현재 : 단암시스템즈(주) 통신기술연구소 재직 중  
※관심분야 : 항공통신, 아날로그 회로 해석 및 설계



**김 복 기 (Bok-Ki Kim)**

1995년 2월 : 서울대학교 수학과 (이학사)  
1997년 2월 : 서울대학교 수학과(정수론) (이학석사)  
1997년 1월 ~ 2002년 4월 : 단암전자통신(주) 연구소  
2002년 5월 ~ 현재 : 단암시스템즈(주) 통신기술연구소 재직 중  
※관심분야 : 무선통신, 채널코딩, 디지털 신호처리 구조



**이 남 식 (Nam-Sik Lee)**

2001년 2월 : 경희대학교 전자공학과 (공학사)  
2001년 2월 ~ 현재 : 단암시스템즈(주) 통신기술연구소 재직 중  
※관심분야 : 무선통신 시스템, 암호화, 원격측정장치