

# 어닐링 조건에 의한 SiC 소자에서 콘택저항의 변화

## Dependence of contact resistance in SiC device by annealing conditions

김 성 진\*★

Seong-Jeen Kim\*★

### Abstract

Stable operation of semiconductor devices is needed even at high temperatures. Among the structures of semiconductor devices, the area that can cause unstable electrical responses at high temperatures is the contact layer between the metal and the semiconductor. In this study, the effect of annealing conditions included in the process of forming a contact layer of nickel silicide(NiSi<sub>x</sub>) on a p-type SiC layer on the specific contact resistance of the contact layer and the total resistance between the metal and the semiconductor was investigated. To this end, a series of electrodes for TLM (transfer length method) measurements were patterned on the 4 inch p-type SiC layer under conditions of changing annealing temperature of 1700 and 1800 °C and annealing time of 30 and 60 minutes. As a result, it was confirmed that the annealing conditions affect the resistance of the contact layer and the electrical stability of the device.

### 요 약

고온에서도 반도체 소자의 안정적인 동작이 필요하다. 반도체 소자의 구조중에서 고온에서 불안정한 전기적 응답을 야기할 수 있는 영역은 금속과 반도체가 접합하는 콘택층이다. 본 연구에서는 p형 SiC 층위에 니켈-실리사이드(NiSi<sub>x</sub>)의 콘택층을 형성하는 공정과정에 포함되는 어닐링 공정 조건이 콘택 저항의 비저항과 전체 저항에 미치는 효과를 고찰하였다. 이를 위해, 4인치 p형 SiC층 위에 전송길이 이론(transfer length method: TLM) 측정을 위한 알련의 전극 패턴들을 형성하였고, 어닐링 온도(1700와 1800°C)와 어닐링 시간(30와 60분)을 달리하여 4종의 시료를 제조하였으며, TLM을 이용한 저항을 측정하였다. 그 결과, 어닐링 조건이 콘택층의 저항과 소자의 전기적 안정성에 영향을 미치는 사실을 확인하였다.

*Key words : TLM, high temperature, SiC, specific contact resistance, annealing*

### 1. 서론

최근 SiC 기판을 이용한 반도체 소자에 대한 연구가 전력용 반도체 소자[1]를 비롯하여, 청색 발광 다이오드[2] 및 다양한 고온용 센서[3] 분야에 활발하게 진행되고 있다.

반도체는 주변 온도에 매우 민감하다. 그래서 고온에서 반도체소자의 오동작은 응용분야를 크게 제한하는 요인이 된다. 반도체 소자의 전기적 특성은 임계 온도 이상의 온도에서 열방출(thermal emission) 현상의 급격한 증가로 인해 정상 동작을 할 수 없다. 밴드갭에너지가 약 1.1 eV인 기존의 실리콘(Si)

\* Dept. of Electronics Engineering, Kyungnam University

★ Corresponding author

E-mail : sjk1216@kyungnam.ac.kr, Tel : +82-55-249-2646

※ Acknowledgment

Manuscript received Aug. 27, 2021; revised Sep. 21, 2021; accepted Sep. 24, 2021.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

반도체 소자의 경우, 사용가능 온도가 최대 250 °C로 제한된다[4]. 반면에 3.26 eV의 밴드갭에너지를 갖는 SiC는 원칙적으로 약 650 °C내외까지 고온에서 동작이 가능한 것으로 알려져 왔다[5]. 그러나 SiC 반도체, 산화막과 고용점의 금속 전극로 구성된 SiC기반 소자라 하더라도, 금속전극과 주변 요소들의 고온 취약성 때문에 300°C 이상의 고온에서 장기 신뢰성이 여전히 실현되지 않고 있다[6].

반도체 소자의 구조에서 고온에서 불안정한 전기적 응답을 야기할 수 있는 대표적인 영역은 콘택 전극층이며, 보통 실리사이드형태로 존재한다. 콘택 전극은 아주 낮은 오믹 저항 특성을 갖추어야 하며, 보통 콘택 전극용으로는 SiC 기판상에는 니켈(Ni)을 이용한다[7-9]. 하지만, Ni소재는 n형 SiC 기판에서는 문제가 없지만, p형 SiC 기판상에서는 불안정한 오믹 특성을 나타내고 있다. 이러한 다른 특성이 SiC 기판을 이용한 CMOS 소자를 제조할 경우에 큰 결함 요인이 된다. 이에 따라 티타늄(Ti)와 같은 다른 금속을 추가해서 이 문제를 보완하고 있지만, 추가 공정이 요구되는 문제점이 거론될 수 있다[10].

본 연구에서는 고온 분위기에서도 안정되게 동작할 수 있는 SiC기반 소자의 개발과 관련하여, 콘택 금속으로 추가적인 금속 공정없이 단지 Ni를 사용하는 조건하에서, p형 SiC기판상의 콘택 저항의 특성이 어닐링 공정조건(온도와 시간)에 의해 받는 영향에 대해 연구하였다.

## II. 시료 제작 및 측정

시료 제작을 위해 약 330  $\mu\text{m}$  두께의 4 인치  $n^+$  4H-SiC 웨이퍼 위에, 11.5  $\mu\text{m}$  두께의 에피층을 형성한 기판을 이용하였다. 그 위에  $1 \times 10^{15} \text{ cm}^{-2}$ 의 주입 용량으로 220 keV의 가속 에너지와 함께 Al 이온을 주입하여 p 형 층을 형성하였다. 그 후에 1700 °C의 Ar 분위기에서 30 분 동안 어닐링을 수행하였다. 그리고나서, 콘택층을 형성하기 위해, 플라즈마 화학증착법(PECVD) 장비를 이용하여 두께 2  $\mu\text{m}$ 의 산화막( $\text{SiO}_2$ )을 증착하고 포토리소 공정(photo-lithography)을 거친 후에 건식 식각하여 콘택홀(contact hole)을 형성한 다음, Ni를 스퍼터링 공정으로 증착하여 니켈 실리사이드( $\text{NiSi}_x$ )층을 형성하였다. 그리고 나서, 1700와 1800 °C의 온도에서

30과 60 분으로 시간을 조정하여 어닐링 공정을 수행 하였다. 마지막으로, 스퍼터링으로 알루미늄(Al) 전극층을 형성하였다. 그림 1은 시료의 단면도를 나타낸 것이다.

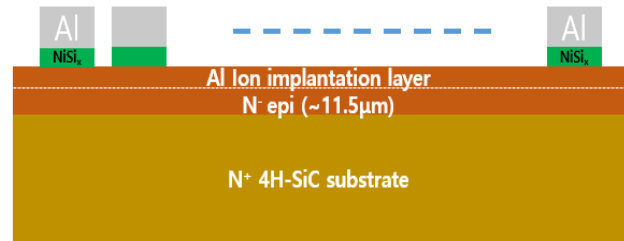


Fig. 1. a cross-section of a sample.

그림 1. 시료의 단면도

금속 전극과 반도체사이에 콘택 저항을 측정하기 위해, 전송길이 이론(transfer length method: TLM)을 이용하였다[11]. TLM을 위한 패턴은 그림 2와 같이 콘택홀의 면적을 150  $\mu\text{m} \times 200 \mu\text{m}$ 로 하고, 전극간의 간격을 5, 10, 25, 50, 100 및 150  $\mu\text{m}$ 로 배치하였다.

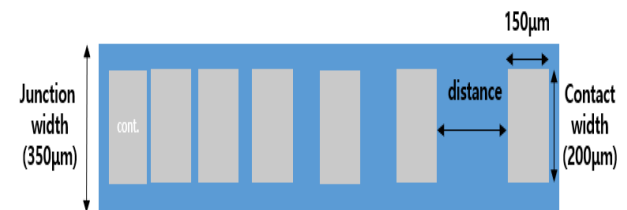


Fig. 2. Layout of a series of electrodes designed for TLM measurements.

그림 2. TLM 측정을 위한 일련의 전극 패턴

그림 3은 전체 공정을 마친 후에 시료를 찍은 사진이다. 전극사이에 간격은 최소 5에서 최대 150  $\mu\text{m}$ 으로 배치하였다.

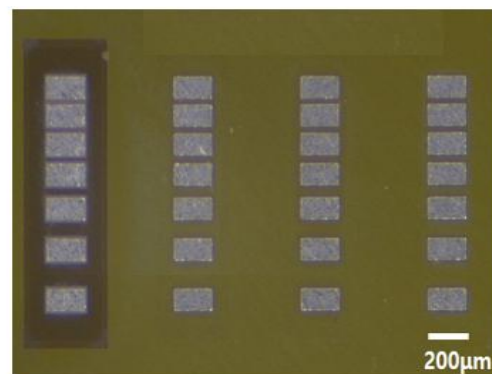


Fig. 3. A photo of samples after finishing the process.

그림 3. 전체 공정을 마친 후에 시료의 사진

### III 결과 및 논의

고온용 소자에 활용하기 위해서는 고온에서도 소자의 콘택 저항이 상대적으로 낮고, 전기적 안정성을 유지해야 한다. 이들은 소자의 장기 신뢰성에 영향을 주기 때문에, 가능한 적정 수준을 유지해야 한다. 고온 분위기에서는 소자의 전기적 특성이 불안정하다. 첫 번째 원인은 1~3 eV의 밴드갭 에너지를 갖는 반도체에서 열방출(thermal emission) 전도 효과가 온도에 영향을 받기 때문이다. 따라서 일차적으로 반도체 소자의 적정 온도는 밴드갭 에너지의 크기에 따라 결정된다. 두 번째 원인은 금속 전극이다. 반도체 소자는 반도체를 비롯하여, 절연막과 금속으로 구성되어 있으며, 이 중에서 금속의 내열성이 가장 취약하다. 비록 고용용 온도를 가진 니켈(용융온도: 1455 °C) 및 크롬(용융온도: 1890 °C) 등의 금속을 적용할 지라도, 고온에서 반도체와 금속 전극사이의 접합에서 열적 불안정이 발생한다. 이로 인해 SiC 기판을 이용한 반도체소자의 경우에도 소자의 사용 온도가 300 °C 이하로 제한되고 있는 실정이다.

일반적으로 반도체와 금속 전극사이에는 옴믹특성을 개선하기위해 콘택층을 추가적으로 형성한다. SiC 경우에는 금속전극의 소재에 따라 달라질 수 있지만, 보통 나노 두께의 니켈(Ni)을 이용하여 콘택층을 형성한다. 하지만 고온분위기에서 Ni 콘택층은 물리화학적으로 쉽게 열화되어, 궁극적으로 소자의 오동작을 야기할 수 있다.

전송길이 이론(TLM: transfer length method)은 금속과 반도체 사이의 콘택 저항을 측정할 때 사용되는 기술이다. 이 방법은 반도체 사이에 다양한 거리로 분리된 일련의 금속 전극을 형성하여 저항을 측정한다. 그림 4와 같이 두 금속 전극사이에서 반도체로 구성된 소재의 전체 저항( $R_T$ )은 식(1)과 같이 나타낼 수 있다.

$$R_T = 2R_m + R_{semi} + 2R_c \quad (1)$$

여기서  $R_m$ 은 금속 전극의 저항,  $R_c$ 는 금속과 반도체 사이의 계면에서 발생하는 콘택 저항,  $R_{semi}$ 는 반도체의 저항을 나타낸다. 일반적으로 금속의 저항은 매우 낮다. 즉,  $R_c \gg R_m$ 이 되므로  $R_m$ 은 무시할 수 있다. 반도체의 저항( $R_{semi}$ )은 면저항(sheet

resistance:  $R_{sheet}$ )과 함께 길이(L)와 폭(W)의 함수로 식(2)으로 나타낼 수 있으며, 면저항의 단위는  $\Omega/\square$ 이다.

$$R_{semi} = R_{sheet} \frac{L}{W} \quad (2)$$

따라서 전체 저항( $R_T$ )은

$$R_T = R_{sheet} \frac{L}{W} + 2R_c \quad (3)$$

으로 대신할 수 있다. 따라서 식(3)에 의해, 전극사이의 간격(L)을 조절하게 되면 전체 저항( $R_T$ )을 측정하여 콘택 저항( $R_c$ )을 구할 수 있게 된다. 즉, 전극간의 거리(L)가 0인 저항체에서 전체 저항( $R_T$ )은 콘택 저항( $R_c$ )의 두배가 될 것이다. 한편 콘택 저항( $R_c$ )은 콘택의 면적( $A_c$ )에 따라 달라지므로, 비교를 위해 표준화된 콘택 비저항(specific contact resistance:  $\rho_c$ )을 사용한다. 식(4)는 콘택 비저항( $\rho_c$ )과 콘택 저항( $R_c$ )의 관계를 나타낸 식이다.

$$\rho_c = A_c R_c \quad [\Omega \cdot cm^2] \quad (4)$$

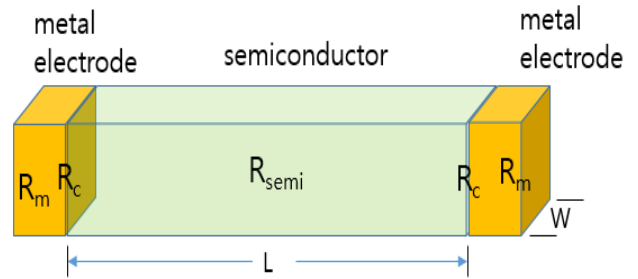


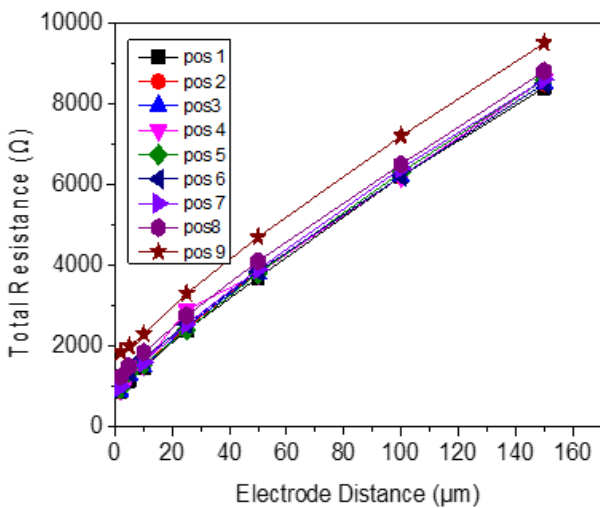
Fig. 4. Configuration of the total resistance between the two electrodes.

그림 4. 두 전극사이에서 전체 저항의 구성

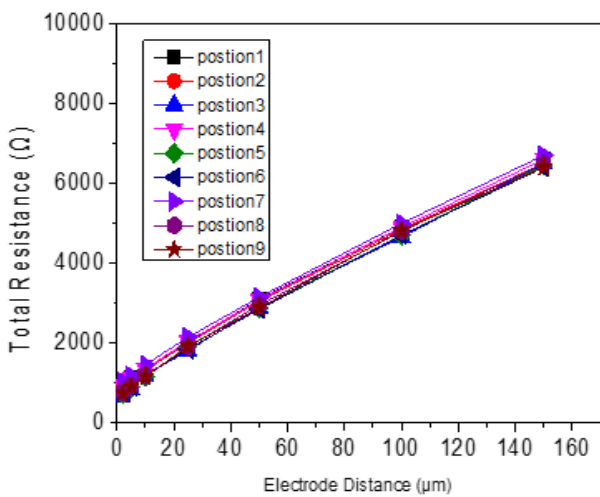
어닐링(annealing) 조건에 따른 콘택층의 저항 변화를 살펴보기 위해, 4 종류의 시료를 제작하였다. TLM 측정을 위해 전극 간의 간격은 최소 5부터 최대 150  $\mu m$ 으로 배열하였다. 그림 5(a)는 1700 °C의 온도에서 30 분간 어닐링하였을 때, 전체 저항( $R_T$ )을 나타낸 것이다. 9 개 지점의 위치를 변경하여 측정하였으며, 전극간의 거리에 따라 저항은 선형적으로 증가했으며, 최대 약 9,300  $\Omega$ 까지 나타났다. 다른 시료에 비해 큰 저항값을 보였으며, 측정 지점에 따라 오차도 증가하였다. 그림 5(b)는 1700 °C의 온도에서 60 분간 어닐링하였을 때, 전체 저항

항( $R_T$ )을 나타낸 것이다. 앞서 30분간 어닐링한 시료에 비해, 저항의 크기가 낮아졌으며, 시료로부터 측정 위치에 상관없이 균일한 결과를 나타내었다. 그림 5(c)는 1800 °C의 온도에서 30 분간 어닐링하였을 때, 전체 저항( $R_T$ )을 나타낸 것이다. 어닐링 온도를 높였을 때, 전체 저항은 1700 °C에 비해 낮아졌지만, 특정 측정 지점에서 오차가 발생하는 등, 불안정한 특성을 보였다. 그림 5(d)는 1800 °C의 온도에서 60 분간 어닐링하였을 때, 전체 저항( $R_T$ )을 나타낸 것이다. 전반적으로 전체 저항은 감소했지만, 1700 °C에 비해 측정결과의 편차(deviation)가 증가하는 것으로 나타났다.

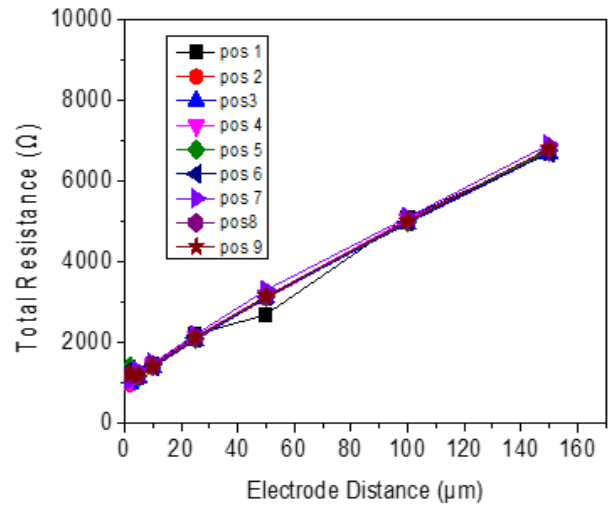
그림 6은 TLM 측정을 통해, 4가지 다른 시료에 대한 콘택 비저항(specific contact resistance)을 구한 결과이다. 콘택 저항(contact resistance)은 크기가 작고, 오믹 특성을 나타내어야 한다. 1700 °C에



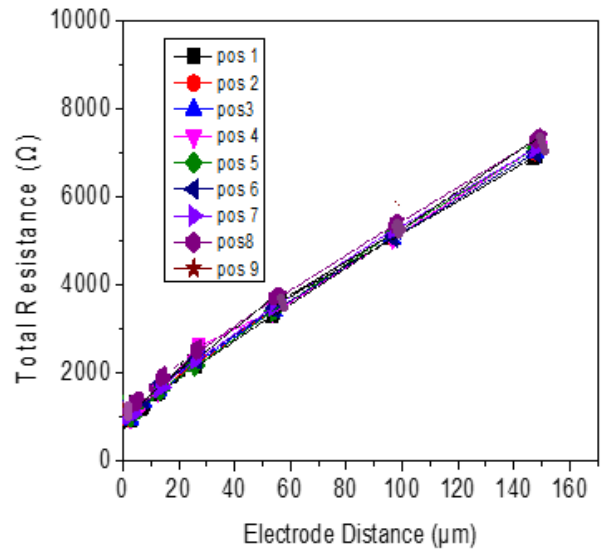
(a)



(b)



(c)



(d)

Fig. 5. Variation of total resistance after annealing (a) 1700 °C and 30 min, (b) 1700 °C and 60 min, (c) 1800 °C and 30 min, and (d) 1800 °C and 60 min

그림 5. 어닐링 조건에 따른 전체 저항의 변화 (a) 1700 °C와 30 분, (b) 1700 °C와 60 분, (c) 1800 °C와 30 분, (d) 1800 °C와 60 분

서 30 분간 진행한 시료의 경우, 콘택 비저항( $\rho_c$ )이 가장 크게 나타났다. 시료의 평균 콘택 비저항은 약  $0.022 \text{ } \Omega \cdot \text{cm}^2$ 이며, 최소  $0.013$ 부터 최대 약  $0.03 \text{ } \Omega \cdot \text{cm}^2$ 까지 큰 편차를 보인 반면에, 어닐링을 1700 °C에서 60 분간 진행한 시료의 경우, 콘택 비저항이 가장 낮게 나타났다. 시료의 평균 콘택 비저항은 약  $0.016 \text{ } \Omega \cdot \text{cm}^2$ 이며, 최소  $0.01$ 부터 최대 약  $0.025 \text{ } \Omega \cdot \text{cm}^2$ 까지 상대적으로 작은 편차를 보였다. 한편 어닐링 온도를 1800 °C로 높였을 때, 편차는 감소했지만, 오히려 콘택 비저항은 증가한 것

으로 나타났다. 1800 °C에서 30 분간 진행한 시료의 경우, 평균 콘택 비저항은 약  $0.02 \Omega \cdot \text{cm}^2$ 이었으며, 1800 °C에서 60 분간 진행한 시료의 경우, 평균 콘택 비저항은 약  $0.018 \Omega \cdot \text{cm}^2$ 이었다. 결과적으로 콘택 저항의 관점에서 본다면, 어닐링을 1700 °C에서 60 분간 진행한 시료에서 가장 양호한 결과를 얻을 수 있었다.

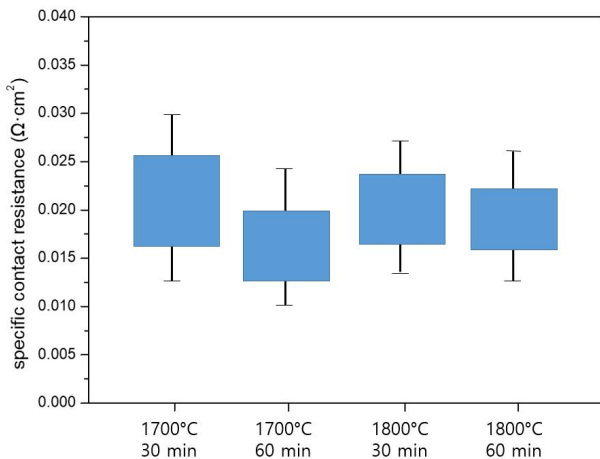


Fig. 6. Deviation of specific contact resistance after annealing.  
그림 6. 어닐링 후에 콘택 비저항의 편차

#### IV. 결론

고온 분위기에서 안정적으로 동작할 수 있는 반도체 소자의 개발은 매우 필요하다. 고온용 소자의 개발은 소자의 적용 분야를 확대할 뿐만 아니라, 다양한 소재 연구에 영향을 끼칠 수 있다.

반도체 소자의 구조에서 고온에 불안정한 부분은 콘택 영역이다. SiC 반도체와 금속 전극이 접합하는 콘택영역은 실리사이드(silicide)를 형성하여 안정된 옴 저항 특성을 실현해야 한다. 이를 위해 SiC 소자 공정에서 전극 패드용 소재와 별도로 콘택층으로 Ni를 널리 사용하고 있다. 본 연구에서는 p형 SiC층 위에 콘택층을 형성하기 위한 니켈 실리사이드(NiSi<sub>x</sub>) 공정 과정에서 어닐링 조건이 콘택 저항에 끼치는 효과를 고찰하였다. 비교를 위해, 1700와 1800 °C의 어닐링 온도와 어닐링 시간으로 30과 60 분으로 4가지 다른 조건으로 시료를 제작하였다. 그리고 콘택 저항의 변화를 고찰하기 위해 TLM(transfer length method) 측정을 위한 일련의 간격으로 분리된 금속 전극들을 제작하였다.

그 결과, 1700 °C의 온도에서 60 분간 어닐링한 시

료로부터 가장 낮은 콘택 비저항과 함께, 측정치의 편차가 작은 안정된 옴 저항 특성을 확인하였다.

#### References

- [1] C. Weitzel, J. Palmour, C. Carter, K. Moore, K. Nordquist, S. Allen, C. Thero, M. Bhatnagar, "Silicon carbide high-power devices," *IEEE-ED*, vol.43, pp.1732-1740, 1996. DOI: 10.1109/16.536819
- [2] H. Matsunami, M. Ikeda, A. Suzuki, and T. Tanka, "Sic blue LED's by liquid-phase epitaxy," *IEEE ED*, vol.24 pp.958-961, 1977. DOI: 10.1109/T-ED.1977.18859
- [3] S. Kim, "Capacitance Response Characteristics of Hydrogen Sensor with Tantalum Oxide Dielectric Layer," *Int. J Hydrogen Energy*, vol.43, pp.19810-19815, 2018. DOI: 10.1016/j.ijhydene.2018.08.187
- [4] G. W. Hunter, et. al, "An over view of high-temperature electronics and sensor development at NASA Glenn Research Center," *J. of Turbomachinery*, vol.125 pp.658-664, 2003. DOI: 10.1115/1.1579508
- [5] M. Werner and W. Fahrner, "Review on materials, microsensors, systems, and devices for high-temperature and harsh-environment applications," *IEEE Trans. on Industrial Electronics*, vol.48, pp.249-257, 2001. DOI: 10.1109/41.915402
- [6] F. Triendl, G. Fleckl, M. Schneider, G. Pfusterschmied, and U. Schmid, "Evaluation of interface trap characterization methods in 4H-SiC metal oxide semiconductor structures over a wide temperature range," *J. Vac. Sci. Technol. B*, vol.37, pp.032903, 2019. DOI: 10.1116/1.5094137
- [7] A. V. Kuchuk, et. al., "Ni-Based Ohmic Contacts to n-Type 4H-SiC: The Formation Mechanism and Thermal Stability" *Advances in Condensed Matter Physics*, vol.2016, pp.1-26, 2016. DOI: 10.1155/2016/9273702
- [8] F. A. Mohammad, Y. Cao, and L. M. Porter, "Ohmic contacts to silicon carbide determined by changes in the surface," *Appl.Phys.Lett.*, vol.87, pp.1-3, 2005. DOI: 10.1063/1.2106005

[9] T. Marinova, et al., "Nickel based ohmic contacts on SiC," *Materials Science and Engineering: B*, vol.46, pp.223-226, 1997.

DOI: 10.1016/S0921-5107(96)01981-2

[10] A. Frazzetto, F. Giannazzo, R. Lo Nigro, V. Raineri and F. Roccaforte, "Structural and transport properties in alloyed Ti/Al Ohmic contacts formed on p-type Al-implanted 4H-SiC annealed at high temperature," *J. Phys. D: Appl. Phys.* vol.44, pp.255302 2011.

DOI: 10.1088/0022-3727/44/25/255302

[11] G. Reeves and H. Harrison, "Obtaining the specific contact resistance from transmission line model measurements," *IEEE-ED Lett*, vol.3, pp.111-113, 1982. DOI: 10.1109/EDL.1982.25502

---

## BIOGRAPHY

---

**Seong-Jeen Kim** (Member)



1983 : BS degree in Electrical Engineering, Korea University.  
1985 : MS degree in Electrical Engineering, Korea University.  
1993 : PhD degree in Electrical Engineering, Korea University.

1994~2021 : Professor, Dept. of Electronic Engineering, Kyungnam University.