

스택 구조를 이용한 향상된 스냅백 특성을 갖는 ESD 보호회로 설계

Design of ESD Protection Circuit with improved Snapback characteristics Using Stack Structure

송 보 배*, 이 재 학*, 김 병 수*, 김 동 순*, 황 태 호*

Bo-Bae Song*, Jea-Hack Lee*, Byung-Soo Kim*, Dong-Sun Kim*, Tae-Ho Hwang*

Abstract

In this paper, a new ESD protection circuit is proposed to improve the snapback characteristics. The proposed a new structure ESD protection circuit applying the conventional SCR structural change and stack structure. The electrical characteristics of the structure using penta-well and double trigger were analyzed, and the trigger voltage and holding voltage were improved by applying the stack structure. The electron current and total current flow were analyzed through the TCAD simulation. The characteristics of the latch-up immunity and excellent snapback characteristics were confirmed. The electrical characteristics of the proposed ESD protection circuit were analyzed through HBM modeling after forming a structure through TCAD simulator.

요 약

본 논문에서는 스냅백 특성을 개선시키기 위해 일반적인 SCR의 구조적 변경 및 Stack 기술을 적용한 새로운 구조의 ESD 보호회로를 제안한다. 펜타-웰과 더블 트리거를 이용한 구조에 대한 전기적 특성을 분석하고 Stack 구조를 적용해 트리거 전압과 홀딩 전압을 개선하였다. 시뮬레이션을 통한 전자 전류와 총 전류 흐름을 분석 하였다. 이를 통해 레치-업 면역 특성과 우수한 홀딩전압 특성을 확인 하였다. 제안된 ESD 보호회로의 전기적 특성은 TCAD 시뮬레이터를 통해 구조를 형성하고 HBM 모델링을 통해 분석 하였다.

Key words : Stack, penta-well, Double-Trigger, Holding voltage, Latch-up

* Korea Electronics Technology Institute

★ Corresponding author

E-mail : 3232semi@keti.re.kr, Tel : +82-31-789-7329

※ Acknowledgment

This research was supported by Korea Evaluation Institute of Industrial Technology (KEIT) grant funded by the Ministry of Trade, Industry & Energy ('20009972', The development of High efficient low power circuit element and SoC for the light weight edge device)

Manuscript received May. 18, 2021; revised May. 23, 2021; accepted May. 26, 2021.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

공정 기술의 발전으로 인한 집적 회로의 성능 고도화에 의해 ESD 성능 및 신뢰성에 관한 요구 사항이 증가 하고 있다. 그러나 집적도가 증가할수록 트랜지스터의 접합 깊이, 산화물의 두께, 금속 선 두께의 감소로 인해 집적회로 신뢰성 측면에서 ESD 특성이 저하되고 있다[1].

특히 SCR 기반 ESD 보호 소자의 경우 높은 감내 특성으로 인해 주목받고 있지만 높은 트리거 전압과 낮은 홀딩 전압으로 인해 overshoot로 인한 latch-up에 매우 취약한 단점이 있다[2].

SCR 구조의 높은 감내 특성을 유지하면서 latch-

up 문제를 해결하기 위해 다양한 연구들이 진행 되고 있다[3].

본 논문에서는 SCR의 구조적 변경을 통해 우수한 전류 방전 특성 및 높은 홀딩 전압 특성의 ESD 보호회로를 제안한다. 구조적 특징으로는 일반적인 SCR의 N/P-well 외에 추가적인 well 및 N+-drift 영역을 이용해 홀딩 전압 특성을 개선하였다. 또한 ggNMOS의 패스와 SCR의 전류 패스를 이용해 더블 트리거 구조와의 stack을 통해 스냅백 특성을 개선하였다[4].

제안된 ESD 보호회로는 TCAD 시뮬레이터를 이용해 구조 시뮬레이션 및 전기적 특성을 검증 하였다[5].

II. 본론

1. Penta-well을 이용한 ESD 보호회로

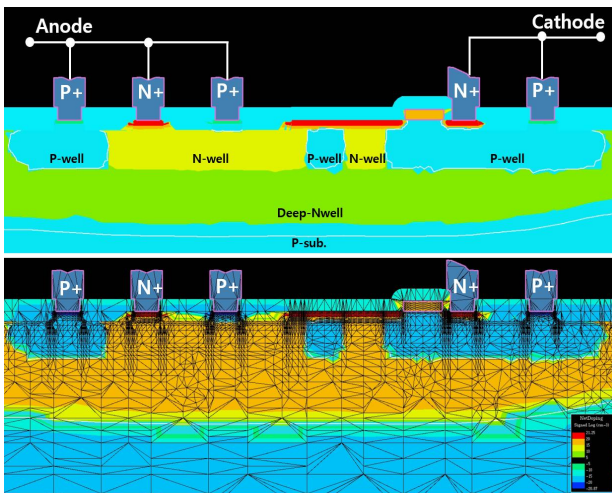


Fig. 1. Structure and net doping concentration of a ESD protection circuit using a penta-well.

그림 1. penta-well을 이용한 ESD 보호회로 구조 및 net 도핑 농도

SCR 구조를 기반으로 penta-well 및 N+ 고농도 영역을 통한 구조적인 변경을 통해 높은 홀딩 전압 특성을 갖는 ESD 보호회로의 시뮬레이션을 통한 구조 형성, net doping concentration 및 mesh를 그림 1에 나타낸다.

그림 1의 구조적 특징은 다음과 같다. 첫째, 내부적으로 형성되는 positive feedback 루프에 추가적인 N-well/P-well을 통한 상대적으로 긴 전류path를 통해 positive feedback 루프의 전체적인 전류

이득을 낮게 유도하여 홀딩전압 특성을 개선하였다. 둘째, 추가적인 애노드 P-well/P+고농도 확산 영역을 통한 병렬 기생 PNP BJT를 형성하여 전체적인 저항 증가를 보상하였다.

ESD 보호회로의 동작은 다음과 같다. 애노드 단에 유입된 ESD 전류에 의해 N+drift 영역/P-well의 역방향 접합의 애벌런치 항복에 의해 전자-정공 쌍이 생성된다. 캐소드 P-well의 전위가 P-well/N+ 접합의 내부 전계보다 커지게 되면 순방향 바이어스 되고 기생 NPN BJT가 턴-온 된다. NPN BJT의 콜렉터 전류가 N-well의 기생 저항에서의 전압 강하를 통해 기생 PNP BJT 2개의 베이스 전류를 공급하게 되고 총 3개의 기생 바이폴라가 턴-온 된다.

P+cathode/P-well/N-well/N+/N-well/P+anode로의 상대적으로 긴 전자전류 path를 형성하게 된다. 이를 통해 일반적인 SCR ESD 보호회로에 비해 낮은 positive feedback 전류 이득으로 인한 높은 홀딩 전압 특성을 지니게 된다[5].

2. Double-trigger를 이용한 ESD 보호회로

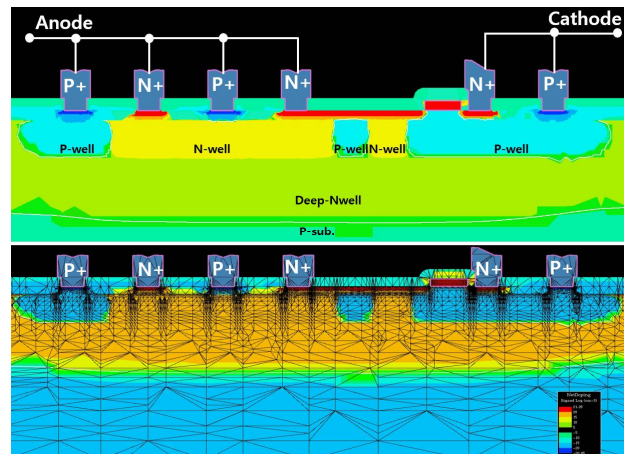


Fig. 2. Structure and net doping concentration of a ESD protection circuit using a double-trigger.

그림 2. Double-trigger을 이용한 ESD 보호회로의 단면도 및 net 도핑 농도

그림 2는 double-trigger를 이용한 향상된 트리거 전압과 홀딩 전압 특성을 갖는 ESD 보호회로의 시뮬레이션을 통한 구조 형성, net doping concentration과 mesh를 나타낸다.

그림 2의 구조적 특징은 다음과 같다. 첫째, 구조 내에 삽입된 ggNMOS의 저전압 1차 트리거링을 위한 전류 path와 SCR 전류 path를 형성하여 더블 트리거링을 하게 된다.

둘째, 그림 1의 penta-well/N+ drift 영역을 삽입해 그림 1의 ESD 보호회로의 향상된 홀딩전압 특성을 적용하였다.

동작방식은 그림 1에서 설명한 동작방식과 동일하며 SCR 에서의 기생 바이폴라들이 턴-온 되기 전에 추가 적으로 삽입된 ggNMOS 트리거로 인해 SCR과의 fully 턴-온에 기여하는 전류는 상대적으로 커지게 되어 홀딩전압의 상승 하게 된다. 따라서 형성된 전류로 인해 N-well의 기생 저항을 통한 전압강하가 일어나게 되며 이는 SCR 구조의 2차 트리거를 돕게 된다.

3. Stack구조를 적용한 ESD 보호회로

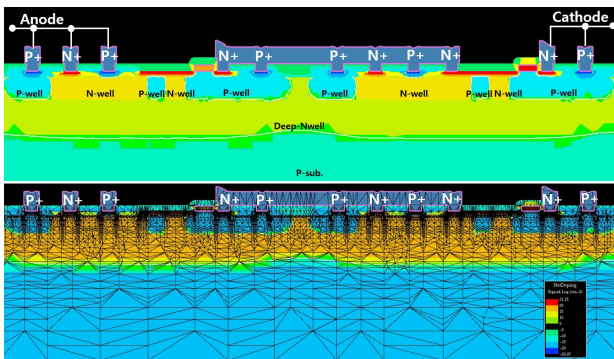


Fig. 3. Structure and net doping concentration of ESD protection circuit with Stack structure.

그림 3. Stack 구조를 적용한 ESD 보호회로의 단면도 및 net 도핑 농도

그림 3은 스냅백 특성을 개선시키기 위해 ESD 보호 회로에 stack 구조를 적용한 시뮬레이션을 통한 구조 형성, net doping concentration 및 mesh를 나타낸다. 그림 3의 ESD 보호회로의 동작 원리는 Stack 구조로 인해 ESD Surge가 첫 번째 단의 애노드에 유입될 경우, 첫 번째 단의 애노드 에서 캐소드단을 통해 다음 단의 애노드단 으로 방전이 이루어지게 된다.

Stack 구조를 통해 개선된 트리거 전압과 홀딩 전압 특성을 가지게 되며 추가적인 N-stack을 이용해 다양한 전압의 어플리케이션에 적용이 가능하다.

4. 시뮬레이션 결과

본 논문에서는 제안된 보호회로의 구조적 검증 및 전기적 특성을 확인하기 위해서 T-CAD 시뮬레이터의 tsuprem4를 통한 구조 형성 및 medici를

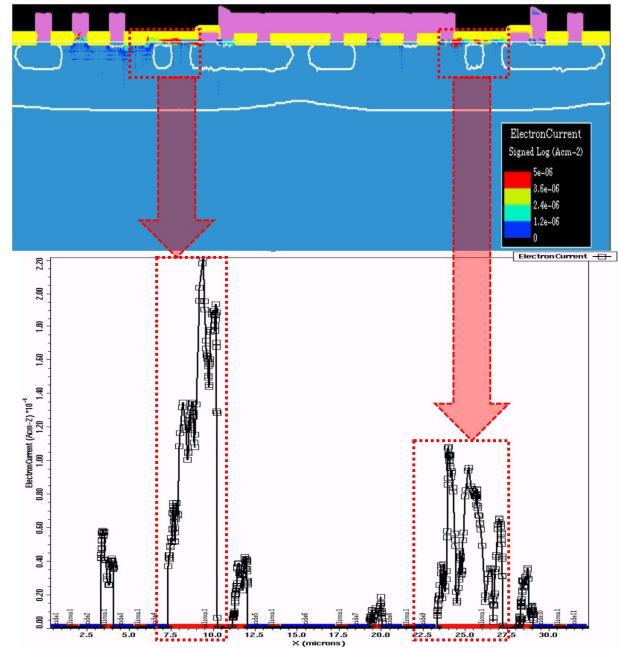


Fig. 4. Electron current density and horizontal cut-line electron current density of ESD protection circuit with Stack structure.

그림 4. Stack 구조를 적용한 ESD 보호회로의 전자전류 밀도 및 컷-라인 전자전류 밀도

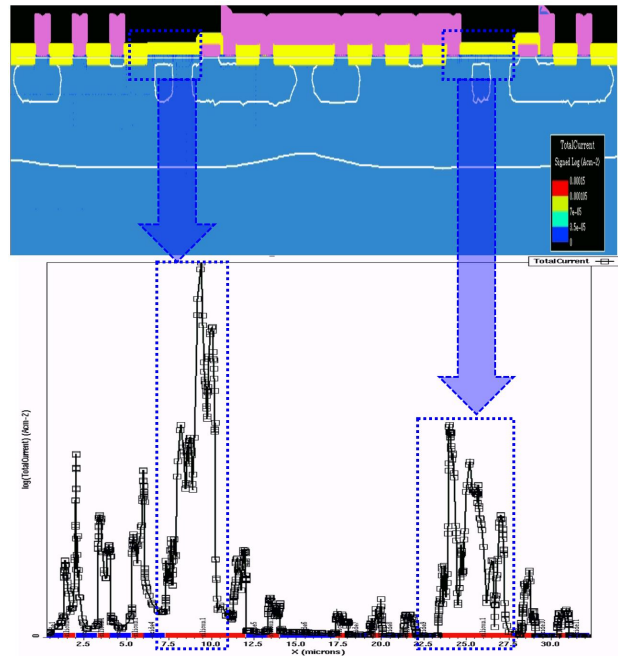


Fig. 5. Total Current density and horizontal cut-line total current density of ESD protection circuit with Stack structure.

그림 5. Stack 구조를 적용한 ESD 보호회로의 총전류 밀도 및 컷-라인 총전류 밀도

통해 회로 시뮬레이션을 진행 하였다.

그림 4는 제안된 구조의 홀딩 전압 특성에 영향을

미치는 추가된 well들과 N+ 영역에 의해 형성되는 electron current 분포와 cut-line total current 분포를 나타낸다. 이를 통해 추가된 영역에서의 electron current 분포가 지배적인 것을 확인 할 수 있다.

그림 5는 추가된 영역에서의 total current 분포와 cut-line total current 분포를 나타낸다. 이를 통해 추가된 N+ 및 well 영역에 의해 그림 4에서 확인하였던 electron current의 증가를 통해 total current 또한 증가된 것을 확인 할 수 있다.

그림 4와 5의 결과를 통해 기생 PNP 바이폴라의 베이스 영역의 상대적인 증가를 유도하여 홀딩 전압을 증가 시켰다.

그림 6과 표 1에 일반적인 LVTSCR 및 제안된 ESD 보호회로 구조들의 I-V 특성 시뮬레이션 결과를 나타낸다.

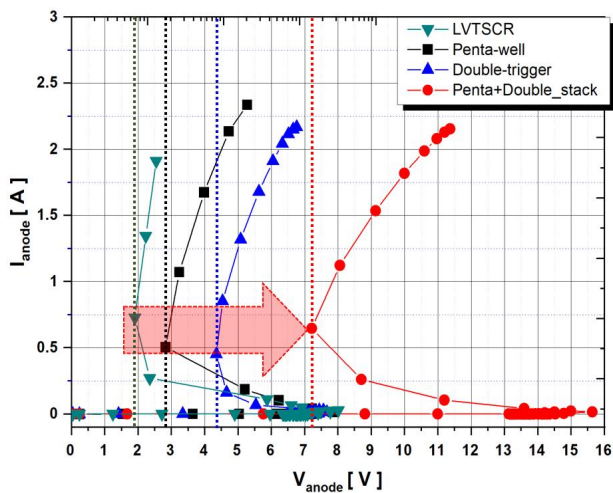


Fig. 6. I-V characteristic simulation results LVTSCR, penta-well, Double-trigger, proposed stack structure.

그림 6. LVTSCR 및 penta-well, Double-trigger, 제안된 stack 구조의 I-V 특성 시뮬레이션 결과

Table 1. I-V characteristic simulation results LVTSCR, penta-well, Double-trigger, proposed stack structure.

표 1. LVTSCR 및 penta-well, Double-trigger, 제안된 stack 구조의 I-V 특성 시뮬레이션 결과

Structure type	Vt1	Vh
LVTSCR	8.0 V	1.9 V
Penta-well	7.9 V	2.8 V
Double-trigger	7.6 V	4.3 V
Penta-well and Double-trigger stack	15.6 V	7.2 V

각 구조에 대하여 시뮬레이션을 수행하였다. 그 결과, 트리거 전압은 LVTSCR, penta-well, Double-trigger 3가지에서 8.0V, 7.9V, 7.6V의 결과를 확인 할 수 있다. Double-trigger 구조에서 트리거 전압의 감소는 구조 내에 삽입된 ggNMOS의 1차 트리거 전압으로 인해 SCR 구조에서 트리거 하는 다른 구조들에 비해 상대적으로 낮은 트리거 전압 특성을 가진다.

반면 홀딩 전압은 1.9V, 2.8V, 4.3V로 증가하였다. 추가된 N+ 영역과 well 들에 의해 기생 바이폴라 트랜지스터의 베이스 영역의 길이가 증가하여 상대적으로 전류이득이 감소하여 홀딩 전압이 상승하였다. Double-trigger 구조에서의 높은 홀딩 전압은 구조 내 삽입된 ggNMOS의 1차 트리거된 기생 NPN에 의한 콜렉터 전류로 인해 fully 턴-온에 기여하는 전류를 상대적으로 키우게 된다. 이때, 형성된 전류로 인해 well 에서의 기생 저항을 통한 전압강하가 상대적으로 크게 일어나게 되며 이는 SCR 구조의 2차 트리거를 돕게 되며 다른 구조들에 비해 상대적으로 높은 전류 형성으로 인해 홀딩 전압이 크게 상승 하게 된다.

제안된 stack 구조로 구성한 ESD 보호회로의 경우 트리거 전압은 15.6V, 홀딩 전압은 7.2V로 증가하기 때문에 낮은 홀딩 전압으로 인하여 야기되는 래치-업을 방지할 수 있다.

III. 결론

본 논문에서는 penta-well을 이용한 구조와 Double-trigger를 이용한 구조를 stack으로 구성한 ESD 보호회로를 제안 하였다. 향상된 스냅백 특성을 위해 Stack 구조를 적용하였으며 제안된 ESD 보호회로는 트리거 전압 15.6V, 홀딩 전압 7.2V의 특성을 확인 하였다. 따라서 제안된 ESD 보호회로는 단일 구조에 비해 향상된 홀딩 전압 특성을 가진다. 이러한 stack 구조를 이용한 향상된 스냅백 특성을 갖는 제안된 ESD 보호회로는 래치-업 면역 특성을 가진다. 제안된 ESD 보호회로의 N-stack을 이용하여 다양한 레벨의 고전압용 어플리케이션에 적용이 가능하다. 제안된 ESD 보호회로를 통해 고전압용 어플리케이션 제품의 래치-업 면역 및 가격 경쟁력을 확보 할 수 있을 것으로 사료된다.

References

[1] M. Ker and C. Yen, "Investigation and design of on-chip power-rail ESD clamp circuits without suffering latchup-like failure during system-level ESD test," *IEEE J. Solid-State Circuits*, vol.43, no.11, pp.2533-2545, 2008.

DOI: 10.1109/JSSC.2008.2005451

[2] Y. Koo, K. Lee, K. Kim, and J. Kwon, "Design of SCR-based ESD protection device for power clamp using deep-submicron CMOS technology," *J. Microelectron*, vol.40, no.6, pp.1007-1012, 2009.

DOI: 10.1587/transele.E92.C.1188

[3] C. Lin and R. Chang, "Design of ESD protection device for K/Ka-band applications in nanoscale CMOS process," *IEEE Trans. Electron Devices*, vol.62, no.9, pp.2824-2829, 2015.

DOI: 10.1109/TED.2015.2450225

[4] B. Song and Y. Koo, "Low Ron and high robustness ESD protection design for low-voltage power clamp application," *Electron. Lett*, vol.52, no.18, pp.1554-1555, 2016. DOI: 10.1049/el.2016.2391

[5] B. Song, K. Do, and Y. koo, "SCR-Based ESD Protection Using a Penta-Well for 5V Applications," *IEEE Journal of the Electron Devices Society*, vol.6, pp.691-695, 2018.

DOI: 10.1109/JEDS.2018.2817636

BIOGRAPHY

Bo-Bae Song (Member)



2014 : Ms degree in Electronics and Engineering, Dankook University.
2018 : Ph.D degree in Electronics and Engineering, Dankook University.
2018~Present : Post-Doc, SoC Platform center, KETI

Jea-Hack Lee (Member)



2011 : Ms degree in Electronics and Engineering, Ajou University.
2017 : Ph.D degree in Electronics and Engineering, Ajou University.
2017~Present : Senior Researcher, SoC Platform center, KETI

Byung-Soo Kim (Member)



2008 : Ms degree in Department of Information and Communication Engineering, Inha University.
2013 : Ph.D degree in Department of Information and Communication Engineering, Inha University.
2013~Present : Senior Researcher, SoC Platform center, KETI

Dong-Sun Kim (Member)



1999 : Ms degree in Electronics and Engineering Inha University.
2005 : Ph.D degree in Electronics and Engineering, Inha University.
1999~Present : General Manager, Semiconductor Display Research Division, KETI

Tae-Ho Hwang (Member)



1997 : Ms degree in Electronics and Engineering, Hankuk University of foreign studies.
2013 : Ph.D degree in Electronics and Engineering, Hankuk University of foreign studies.
2000~Present : Director, SoC Platform center, KETI