

12-비트 10-MS/s CMOS 파이프라인 아날로그-디지털 변환기

12-bit 10-MS/s CMOS Pipeline Analog-to-Digital Converter

조 세 현*, 정 호 용*, 도 원 규*, 이 한 열**, 장 영 찬*★

Se-Hyeon Cho*, Ho-yong Jung*, Won-Kyu Do*, Han-Yeol Lee**, Young-Chan Jang*

Abstract

A 12-bit 10-MS/s pipeline analog-to-digital converter (ADC) is proposed for image processing applications. The proposed pipeline ADC consists of a sample and hold amplifier, three stages, a 3-bit flash analog-to-digital converter, and a digital error corrector. Each stage is operated by using a 4-bit flash ADC (FADC) and a multiplying digital-to-analog converter (MDAC). The proposed sample and hold amplifier increases the voltage gain using gain boosting for the ADC with high resolution. The proposed pipelined ADC is designed using a 180-nm CMOS process with a supply voltage of 1.8 and it has an effective number of bit (ENOB) of 10.52 bits at sampling rate of 10MS/s for a $1-V_{pp}$ differential sinusoidal analog input with frequency of 1 MHz. The measured ENOB is 10.12 bits when the frequency of the sinusoidal analog input signal is a Nyquist frequency of approximately 5 MHz.

요 약

본 논문에서는 영상 처리용 12-비트의 10-MS/s 파이프라인 아날로그-디지털 변환기(ADC: analog-to-digital converter)가 제안된다. 제안된 ADC는 샘플-홀드 증폭기, 3개의 stage, 3-비트 플래시 ADC, 그리고 digital error corrector로 구성된다. 각 stage는 4-비트 flash ADC와 multiplying digital-to-analog ADC로 구성된다. 고해상도의 ADC를 위해 제안된 샘플-홀드 증폭기는 gain boosting을 이용하여 전압 이득을 증가시킨다. 제안된 파이프라인 ADC는 1.8V 공급전압을 사용하는 180nm CMOS 공정에서 설계되었고 차동 1V 전압을 가지는 1MHz 사인과 아날로그 입력신호에 대해 10.52-비트의 유효 비트를 가진다. 또한, 약 5MHz의 나이퀴스트 사인과 입력에 대해 측정된 유효비트는 10.12 비트이다.

Key words : Pipelined analog-to-digital converter, gain boosting, sample and hold amplifier, flash ADC, digital error corrector

1. 서론

전자기기의 발달로 인해 아날로그 신호의 처리보다 디지털 신호의 처리를 채택하는 경우가 증가

했다. 이에 따라 자연 신호인 아날로그 신호를 전자기기가 사용할 수 있도록 디지털 신호로 변환시켜주는 아날로그-디지털 변환기(ADC: analog-to-digital converter)와 전자기기의 디지털 신호를 아

* Department of Electronic Engineering, Graduate School, Kumoh National Institute of Technology, Korea
** Department of Electronic Engineering, Graduate School, Kumoh National Institute of Technology, Korea
★ Corresponding author

E-mail : ycjang@kumoh.ac.kr, Tel : +82-54-478-7434

※ Acknowledgment

This research was supported by Kumoh National Institute of Technology (202001170001).

Authors would like to thank the IC Design Education Center in Korea for supporting the EDA tools.

Manuscript received May. 16, 2021; revised Jun. 12, 2021; accepted Jun. 22, 2021.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

날로그 신호로 변환시켜주는 디지털-아날로그 변환기(DAC: digital-to-analog converter)의 중요도가 높아지고 있고 두 변환기에 대해 고해상도, 고속의 성능이 요구되고 있다. 파이프라인 구조 ADC는 영상처리 분야 및 모바일 분야 등에 사용되며 다단 구조를 사용하여 쉽게 고해상도를 구현할 수 있고 수 MHz~수백 MHz 변환속도를 가진다[1]-[5]. 파이프라인 ADC는 전체 변환기에 대한 동적 범위를 가지는 샘플-홀드 증폭기가 요구된다. 본 논문에서는 gain boosting을 이용한 샘플-홀드 증폭기를 사용하는 12-비트의 해상도를 가지는 파이프라인 ADC를 소개한다.

II. 12-비트 파이프라인 ADC

1. 설계 구조

그림 1은 12-비트 10MS/s 파이프라인 ADC의 블록도이다. 파이프라인 ADC는 샘플-홀드 증폭기(SHA: sample and hold amplifier), 4-비트 플래시 ADC와 multiplying DAC(MDAC)으로 구성된 3개의 stage, 3-비트 flash ADC(FADC) 그리고 digital error corrector로 구성된다. 각 stage는 아날로그 신호 입력에 대해 4-비트 데이터 변환을 진행하고 잔류 전압을 다음 stage에 전달한 뒤 새로운 아날로그 신호 입력에 대해 데이터 변환을 진행한다. 그림 2는 파이프라인 ADC의 타이밍도이다. 외부 클럭 CLK를 이용하여 서로 겹치지 않는 clk0, clk1을 생성한다. 샘플-홀드 증폭기는 clk0가 low일 때 입력 신호를 첫 번째 stage로 전달한다. clk1이 high일 때 첫 번째 stage에서 FADC1이 데이터 변환을 시작한다. clk1이 FADC1에서 생성한 4-비트 디지털 코드를 출력하고 MDAC1은 잔류 전압을 두 번째 stage로 전달한다. 두 번째 stage는 첫 번째 stage

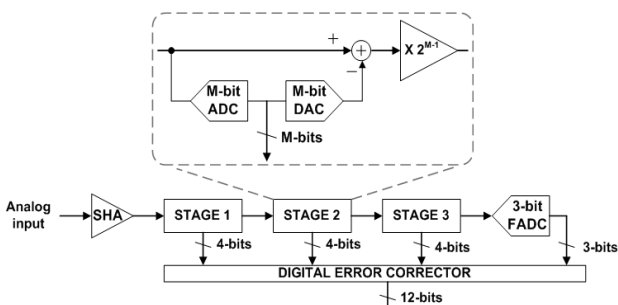


Fig. 1. Block diagram of pipelined ADC.
그림 1. 파이프라인 ADC의 블록도

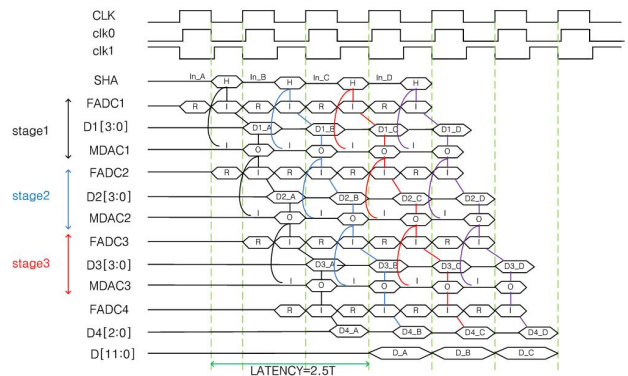


Fig. 2. Timing diagram of pipelined ADC.
그림 2. 파이프라인 ADC의 타이밍도

와 반대 위상에서 같은 동작을 수행하고 세 번째 stage는 첫 번째 stage와 동일한 위상에서 같은 동작을 수행한다. 3-비트 플래시 ADC는 clk0가 low일 때 3-비트의 데이터 변환을 진행하고 외부 클럭 CLK가 high가 되면 12-비트의 최종 디지털 코드를 출력한다. 첫 번째 stage의 데이터 변환을 기준으로 최종 디지털 코드 출력까지 2.5 주기의 지연이 발생된다.

2. 샘플-홀드 증폭기

그림 3은 bootstrapped 스위치[6]와 커패시터 그리고 gain boosting amplifier로 구성된 SHA의 블록도이다. 아날로그 신호가 입력되면 N-MOSFET 스위치는 게이트 전압 변화에 따라서 동작을 하게 되며, 아날로그 신호는 N-MOSFET을 통해 샘플링된다. 모든 입력 스윙을 허용하기 위해 bootstrapped 스위치를 사용하여 N-MOSFET S/W의 게이트 전압을 두 배로 증가시켰다. 아날로그 입력 신호는 N-MOSFET 스위치를 통해 커패시터에 저장되고 저장된 신호는 OP amplifier를 통해 다음 단으로 전달된다. 이 과정에서 OP amplifier가 충분한 전압 이득을 가지지 못하면 입력된 신호와 샘플된 신

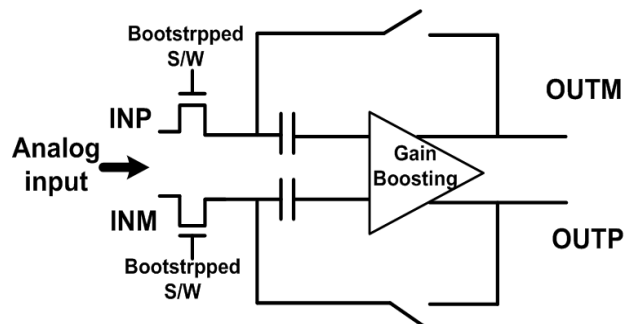


Fig. 3. Block diagram of SHA.
그림 3. SHA의 블록도

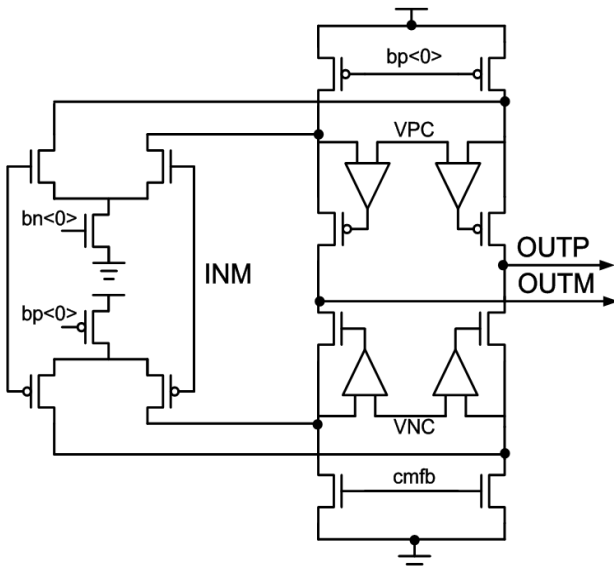


Fig. 4. Gain boosting amplifier circuit diagram.
그림 4. Gain boosting amplifier 회로도

호 사이에 오차가 발생할 수 있으며, 이는 파이프라인 ADC의 유효 비트 특성을 악화시킨다[7]. 그림 4는 SHA에 사용된 gain boosting amplifier의 회로도이다. Gain boosting을 위해 출력단에 OP amplifier를 추가하여 출력 저항의 크기를 증가시켜 전압 이득을 증가시켰다[8]. 그림 5는 SHA에서 사용된 OP amplifier의 전압 이득 시뮬레이션 결과를 보여준다. gain boosting이 적용이 안 된 경우 OP amplifier는 62.1dB의 전압 이득을 가지고 gain boosting을 적용한 경우 91dB의 전압 이득을 가진다. gain boosting이 적용이 안 된 경우와 비교하여 전압 이득이 약 30dB 상승하게 되어 SHA는 입력 신호에 가깝게 신호를 샘플하여 다음 stage로 전달할 수 있다.

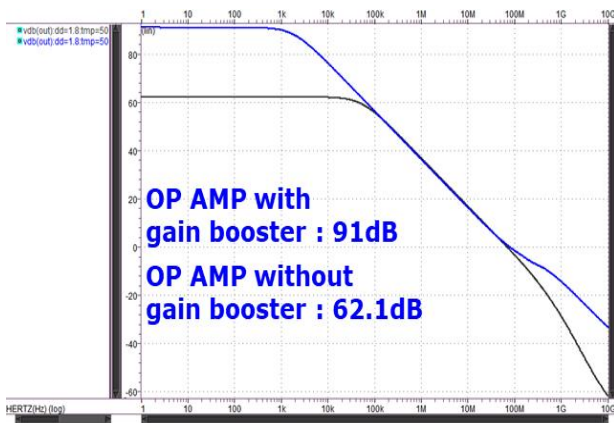


Fig. 5. Gain boosting amplifier simulation result.
그림 5. Gain boosting amplifier 시뮬레이션 결과

3. 플래시 ADC(FADC)

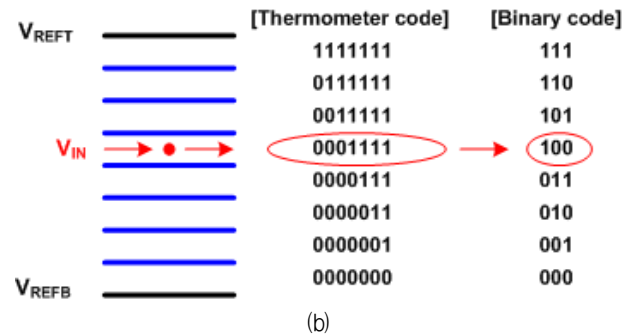
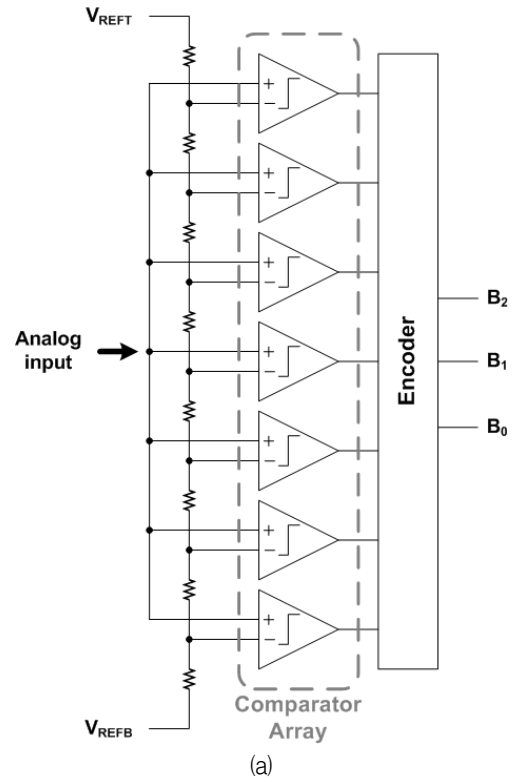


Fig. 6. FADC (a) block diagram (b) flow diagram.
그림 6. FADC (a) 블록도 (b) 흐름도

그림 6(a)는 3-비트 FADC의 블록도를 보여준다. FADC는 n-비트 해상도에 대해 기준 전압을 위한 2ⁿ개의 저항과 2ⁿ-1개의 비교기, 그리고 인코더로 구성되며 병렬 구조를 사용된다. 변환을 위한 동기 신호인 clock의 한 주기 동안 모든 데이터 변환을 완료한다. 본 연구에서는 3비트 FADC를 구현하기 위해 8개의 저항과 7개의 비교기가 사용되며, 인코더는 비교기열의 출력인 7비트 온도계 코드를 통해 3비트 이진 코드로 변환하여 출력한다. 그림 6(b)는 3-비트 FADC의 흐름도를 보여준다. 비교기 입력과 기준 전압을 비교하여 온도계 코드 생성하고 생성된 온도계 코드는 인코더를 거쳐 이진 코드로 전환된다. 본 논문에서 제안하는 파이프라인 ADC

그림 9는 $\pm 1V$ 의 전압 범위를 가지는 입력신호 V_{in} 에 대해서 FADC의 이진 코드에 따른 MDAC에서의 연산 및 증폭된 각 stage의 잔류 전압 그래프를 보여준다.

증폭기의 증폭은 다음 단이 생성하는 비트 수에 따라 결정되는데 다음 단에서 m 비트를 생성할 경우 잔류 전압을 2^{m-1} 배 시켜준다. 각 stage는 4-비트를 마지막 플래시 ADC는 3-비트를 생성하여 첫 번째, 두 번째 stage는 8배의 증폭을 세 번째 stage는 4배의 증폭을 시켜준다.

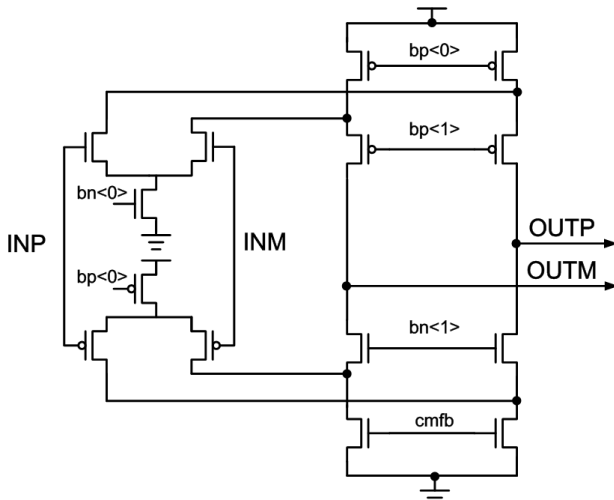


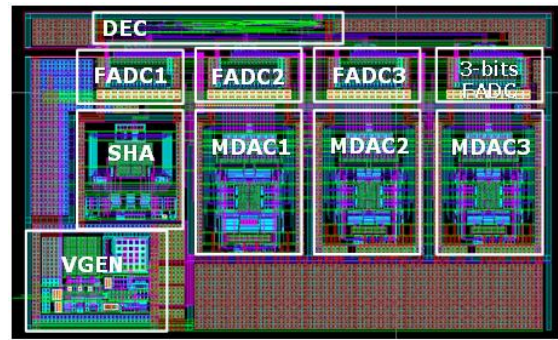
Fig. 10. Circuit diagram of rail-to-rail OP amplifier.
그림 10. Rail-to-rail OP amplifier의 회로도

그림 10은 MDAC의 증폭기로 사용된 rail-to-rail OP amplifier의 회로도를 보여준다. 일반적인 OP amplifier의 최대 출력 전압은 입력 전압보다 줄어든다. Rail-to-rail OP amplifier의 입력 신호의 스윙을 줄이지 않고 출력 스윙은 그대로 유지시킨다. ADC는 전압 변동에 민감하여 rail-to-rail 구조의 OP amplifier를 사용하여 전압 스윙을 감소시키지 않았다.

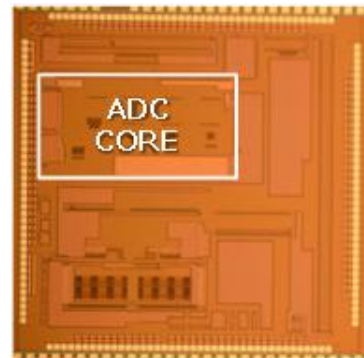
5. 파이프라인 ADC의 구현 및 측정 결과

제안된 12-bit 10-MS/s 파이프라인 ADC는 1.8V 공급전압을 사용하는 180-nm 1-poly 6-metal CMOS 공정을 사용하여 설계되었다. 그림 11(a)는 제안된 파이프라인 ADC의 레이아웃을 그림 11(b)는 칩 사진을 보여준다. 칩의 전체 면적은 $3400 \mu m \times 3400 \mu m$ 이고 파이프라인 ADC의 면적은 $1700 \mu m \times 1100 \mu m$ 이다.

그림 12(a)와 (b)는 파이프라인 ADC의 출력 스



(a)



(b)

Fig. 11. Fabricated chip (a) layout (b) photograph.

그림 11. 제작된 칩 (a) 레이아웃 (b) 사진

펙트럼을 측정 결과를 보여준다. 그림 12(a)는 낮은 입력 주파수를 가지는 아날로그 입력 신호에 대한 아날로그-디지털 변환의 결과를 보여주고 그림 12 (b)는 나이퀴스트 주파수를 가지는 아날로그 입력 신호에 대한 아날로그-디지털 변환의 결과를 보여준다. 낮은 입력 주파수를 가지는 아날로그 입력 신호의 경우 signal-to-noise-and-distortion ratio (SNDR)은 65.11 dB, 유효 비트(ENOB: effective number of bits)는 10.52 비트이고, 나이퀴스트 주파수를 가지는 입력 신호의 경우 SNDR은 62.69 dB, 유효 비트는 10.12 비트이다. 그림 13(a)와 (b)는 differential non-linearity(DNL)과 integral non-linearity(INL)의 측정 결과를 보여준다. DNL은 0.45/-0.35 LSB를 INL은 1.16/-0.84 LSB이다. 1.8V 공급전압을 가지고 180nm CMOS 공정을 통해 설계된 20MS/s 10-비트 파이프라인 ADC[9]와 비교하였을 때 샘플 주파수에 속도는 낮으나 유효 비트 수를 증가시켰고, 0.7V 공급전압을 가지고 130nm CMOS 공정을 통해 설계된 2.5MS/s 11-비트 파이프라인 ADC[10]와 비교하였을 때 ADC의 샘플 주파수 속도와 유효비트 수를 증가시켰다.

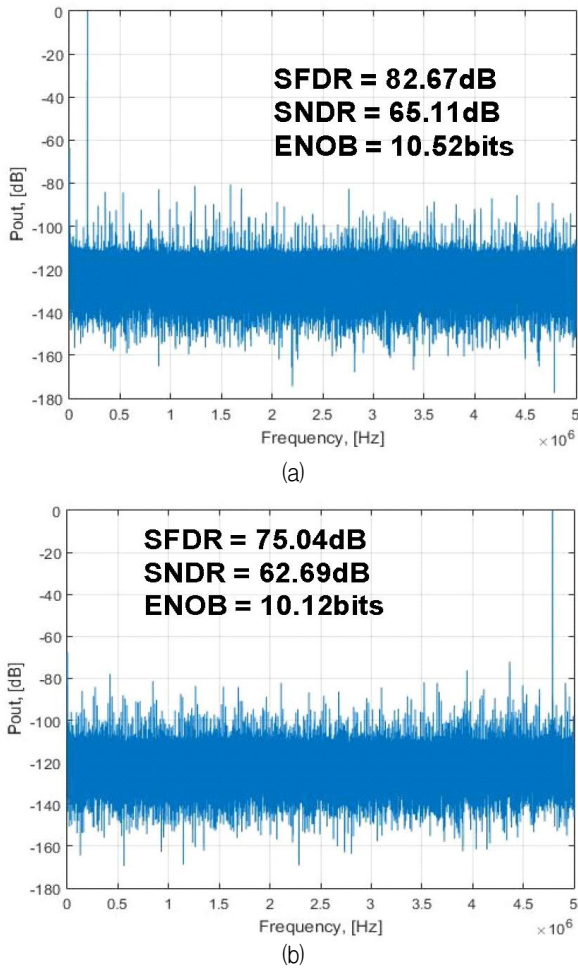


Fig. 12. Measured output spectrum (a) low frequency (b) Nyquist frequency.

그림 12. 출력 스펙트럼 측정 (a) 저주파수 (b) 나이퀴스트 주파수

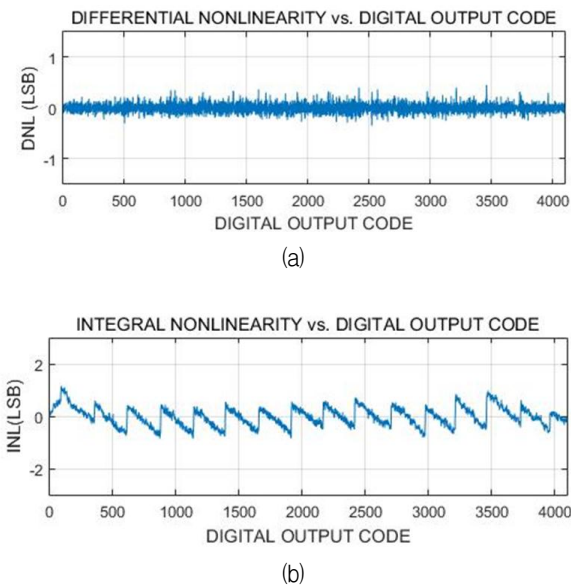


Fig. 13. Measured static performance (a) DNL (b) INL. 그림 13. 측정 정적 특성 (a) DNL (b) INL

III. 결론

제안된 10-MS/s 12-비트 파이프라인 ADC는 1.8V 공급전압을 사용하는 180nm 1-poly 6-metal CMOS 공정에서 설계되었다. SHA에서 gain boosting을 이용하여 OP amplifier의 전압 이득을 약 30dB 증가시켜 입력 신호에 가까운 샘플 신호를 획득할 수 있게 하여 파이프라인 ADC의 특성을 개선하였다. 낮은 주파수를 가지는 아날로그 입력 신호에 대해 10.52 비트의 유효 비트를, 나이퀴스트 주파수를 가지는 아날로그 입력 신호의 경우 10.12-비트의 유효 비트를 가진다. DNL은 0.45/-0.35 LSB를 INL은 1.16/-0.84 LSB를 가진다.

References

[1] B. Hernes, A. Briskemyr, T. N. Andersen, F. Telste, T. E. Bonnerud, and O. Moldsvor, "A 1.2V 220MS/s 10b pipeline ADC implemented in 0.13um digital CMOS," *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, pp.256-257, 2004.

[2] H.-C. Choi, Y.-J. Kim, M.-H. Lee, Y.-L. Kim, and S.-H. Lee, "A 12b 50MS/s 10.2mA 0.18um CMOS Nyquist ADC with a fully differential class-AB switched OP-AMP," *IEEE Symp. VLSI Circuits*, pp.220-221, 2008

[3] S. Devarajan, L. Singer, D. Kelly, S. Decker, A. Kamath, and P. Wilkins, "A 16b 125MS/s 385mW 78.8dB SNR CMOS pipeline ADC," *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, pp.86-87, 2009.

[4] J. Brunsilius, E. Siragusa, S. Kopic, F. Murden, E. Yetis, B. Luu, J. Bray, P. Brown, and A. Barlow, "A 16b 80MS/s 100mW 77.6dB SNR CMOS pipeline ADC," *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, pp.186-188, 2011. DOI: 10.1109/ISSCC.2011.5746275

[5] J.-K. Woo, H. Lee, H.-C. Kim, D.-K. Jeong, and S. Kim, "1.2V 10-bit 75MS/s Pipelined ADC With Phase-Dependent Gain-Transition CDS," *IEEE Trans. VLSI Systems*, vol.22, no.3, pp.585-

592, 2014.

[6] Y. Wang, Y. Wang, T. Liu, T. Li and J. Lan, "A 1.5-bit pipelined stage with time-interleaved dual-pipeline architecture used in SHA-less pipelined ADC," *IEEE Int. Anti-Counterfeiting, Security and Identification*, pp.131-134, 2011.

DOI: 10.1109/ASID.2011.5967433

[7] Seon-mi Yeo, "A 10-bit 100MSample/s Pipeline ADC with 70dBc SFDR," Master's thesis, Kookmin University, 2008.

[8] Se-Hyeon Cho, Ho-Yong Jung, Won-Kyu Do, Young-Chan Jang, "13-bit 10-MS/s CMOS Pipeline Analog-to-Digital Converter," *Conference of Korean Institute of Information Technology*, pp.166-168, 2020.

[9] R. Greeshma, V. K. Anoop and B. Venkataramani, "A Novel Opamp and Capacitor Sharing 10 Bit 20 MS/s Low Power Pipelined ADC in 0.18 μ m CMOS Technology," *IEEE Computer Society Annual Symposium on VLSI*, pp.594-599, 2017.

DOI: 10.1109/ISVLSI.2017.110

[10] Y. Suh, S. Choi and J. Sim, "A Low-Power Class-AB Gm-Based Amplifier With Application to an 11-bit Pipelined ADC," *IEEE Trans. VLSI Systems*, vol.24, no.7, pp.2562-2569, 2016.

DOI: 10.1109/TVLSI.2015.2504494

BIOGRAPHY

Se-Hyeon Cho (Member)



2021 : BS degree in School of Electronic Engineering, Kumoh National Institute of Technology.
2021 : pursuing MS degree in Department of Electronic Engineering, Graduate School, Kumoh National Institute of Technology.

Ho-Yong Jung (Member)



2019 : BS degree in School of Electronic Engineering, Kumoh National Institute of Technology.
2021 : MS degree in the Department of Electronic Engineering from Kumoh National Institute of Technology, Gumi, Korea.

Won-Kyu Do (Member)



2021 : BS degree in School of Electronic Engineering, Kumoh National Institute of Technology.
2021 : pursuing MS degree in Department of Electronic Engineering, Graduate School, Kumoh National Institute of Technology.

Han-Yeol Lee (Member)



2012 : BS degree in Department of Electronic Engineering, Graduate School, Kumoh National Institute of Technology.
2014 : MS degree in Department of Electronic Engineering, Graduate School, Kumoh National Institute of Technology.

2019 : Ph. D. degree in Department of Electronic Engineering, Graduate School, Kumoh National Institute of Technology.

Young-chan Jang (Member)



1999 : BS degree in School of Electrical Engineering, Kyungpook National University.
2001 : MS degree in Department of Electronic Engineering, Pohang University of Science and Technology.

2005 : Ph.D. degree in Department of Electronic Engineering, Pohang University of Science and Technology.

2005~2009 : Senior Engineer, Memory Division, Samsung Electronics.

2009~2019 : Professor, School of Electronic Engineering, Kumoh National Institute of Technology