

Super Junction IGBT 필러 내부 Trench SiO₂ 성장에 따른 전기적 특성에 관한 연구

A Study on the Electrical Characteristics according to Growth of Trench SiO₂ Inside Super Junction IGBT Pillar

이 건 희*, 안 병 섭*, 강 이 구*

Geon Hee Lee*, Byoung Sup Ahn, Ey Goo Kang*

Abstract

This paper proposes a structure in which Trench SiO₂ is grown inside of Super Junction IGBT P-Pillar. When observing the electric field in 3D, we checked the region where the electric field have not affected inside of the P-Pillar. The pillar region's portion resistance is varied by the breakdown voltage and size of each pillar, which reduces the size by growing SiO₂ after trenching has no field effect inside of that. At 4.5kV the same breakdown voltage, it was confirmed that the On-state voltage drop improved by about 58%, 19% compared to Field Stop IGBT and conventional Super Junction IGBT.

요 약

Super Junction 구조는 항복전압과 온-상태 전압강하의 트레이드-오프 특성을 개선하고자 제안된 구조이다. 본 논문은 Super Junction IGBT P-Pillar 내부 영역에 Trench SiO₂를 성장시킨 구조를 제안한다. Super Junction 구조에 인가되는 전계를 3D로 관찰 시 P-Pillar 내부에 전계가 인가되지 않는 영역을 확인하였다. Pillar 영역의 부분저항은 각 Pillar의 크기와 항복전압에 의해 변동되는데 전계가 인가되지 않는 P-Pillar 내부 영역을 Trench 한 후 SiO₂를 성장시켜 P-Pillar의 크기를 감소시킨다. 4.5kV의 동일한 항복전압을 가질 때 온-상태 전압강하 특성이 Field Stop IGBT 대비 약 58%, 기존의 Super Junction IGBT 대비 19% 향상되는 것을 확인하였다.

Key words : IGBT, Super Junction, Pillar, Silicon Deoxide, On-state Voltage drop

* Master's degree, Dept. of Energy IT, Far East University

★ Corresponding author

Email : keg@kdu.ac.kr, Tel : 043-879-3648

※ Acknowledgment

This work was supported by the Korea Institute of Energy Technology Evaluation and Planning(KETEP) and the Ministry of Trade, Industry & Energy(MOTIE) of the Republic of Korea (No. 20194010201810, No. 20194010000050). Manuscript received May. 16, 2021; revised Jun. 18, 2021; accepted Jun. 25, 2021.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

전력반도체는 대표적으로 Diode, MOSFET, IGBT로 분류되며 각종 전자기기, 전기자동차, 신재생에너지, 철도, 항공, 산업에 필요 전압에 따라 정류, 스위칭, 변환 등으로 사용된다. 실리콘(Si)기반 전력반도체는 주요한 특성인 항복전압과 온-저항간 트레이드-오프 특성이 한계에 도달했으며 구조변경을 통해 효율 향상을 시도한다.

현대 트레이드-오프 특성이 가장 뛰어난 Super Junction 구조를 채택하는 추세이며, 이 구조는 높은 항복전압을 유지하며 온-저항 특성을 크게 개선하고자 제안된 구조이다. 본 논문은 Super Junction

구조의 온-저항 특성을 크게 향상시키고자 Super Junction 구조의 내부 전계를 관찰하였다. Pillar 영역 내부에 전계가 분포되지 않는 영역을 발견하였고 해당 영역을 식각하여 이산화규소(Silicon dioxide, SiO₂)로 Deposit한 구조를 제안한다.

II. 본론

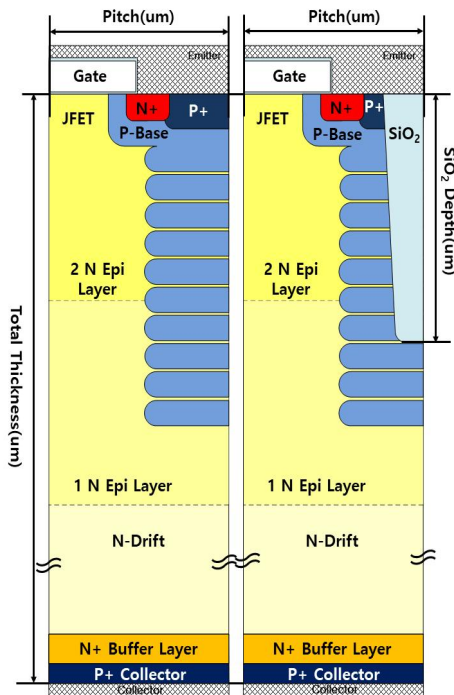


Fig. 1. Super Junction IGBT structure and proposed structure. 그림 1. Super Junction IGBT 구조와 제안하는 구조

IGBT의 온-상태 전압강하는 전류가 Emitter, Collector간 각 영역별로 통과하며 발생하는 저항의 총 합이며 수식 1은 Super Junction 구조 중 Pillar 영역의 부분 저항을 보여준다[1].

$$R_{ON,sp} = \frac{BV}{\epsilon_s \mu_N E_c^2} \left(\frac{W_N + W_P}{2} \right) \quad \text{수식 1}$$

각 Pillar의 너비와 항복전압에 의해 해당 영역의 저항이 변동될 수 있음을 알 수 있다. 결과적으로 작은 Cell Pitch(um)를 가지는 것이 해당 영역의 온-저항을 줄일 수 있지만 Pillar의 너비가 줄어들어 따라 Pillar간 차지밸런스 등의 문제를 야기할 수 있다. 위와 같은 문제를 해결하기 위하여 본 논문은 다중 에피택셜(Multi Epitaxial)공정을 이용하여 Pillar 영역을 형성하고 Pillar 내부를 식각하여

SiO₂를 Deposit한 그림 1과 같은 구조를 제안한다. 수식 2와 같이 항복전압은 P-Pillar와 N-Pillar(N-Drift)에 발생하는 공핍영역에 최대 전계가 인가되며 이것은 항복전압에 큰 영향을 미친다[2], [3].

$$BV = E_{y0} \times t_{Pillar} \quad \text{수식2}$$

Pillar 영역에 인가된 전계를 3D로 관찰하였을 때 그림 2의 P-Pillar 내부에 전계가 분포하지 않는 영역을 관찰하였다.

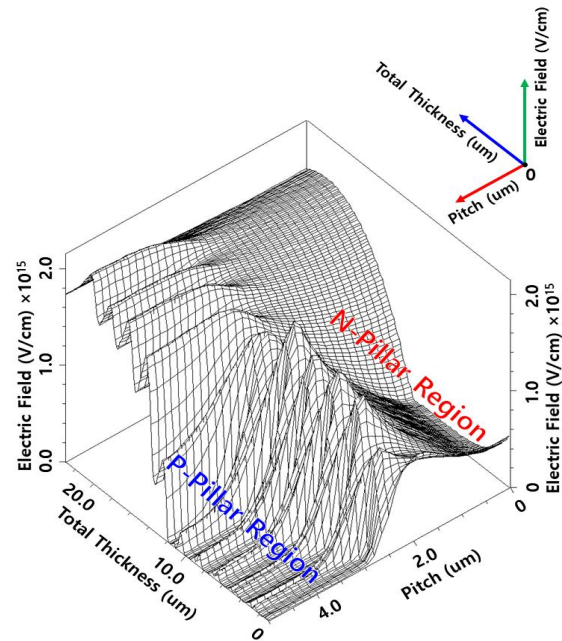


Fig. 2. 3D field distribution in the Pillar region. 그림 2. Pillar 영역의 3D 전계 분포도

해당 영역을 식각하여 SiO₂를 Deposit하면 항복 전압을 유지함과 동시에 너비가 작아진 P-Pillar가 수식 1에 적용되어 온-저항이 낮아진다. 얇고 깊은 Trench 구조에 Deposit 진행 시 내부에 공동(Void)이 형성되는데 이는 현재 수많은 연구에 의해 개선되었다[4], [5].

P-Pillar 내부에 성장된 SiO₂가 일정 크기를 넘어서면 Pillar 영역에 형성된 공핍영역이 아닌 SiO₂로 전계가 집중될 수 있으며 이러한 성질을 인지하고 Trench SiO₂의 깊이와 너비에 대한 최적화 시뮬레이션 진행하였다.

III. Super Junction 구조 시뮬레이션 방법

Half Cell Pitch 5um 기준으로 P-Pillar를 형성하

기 위해 Boron Implant 후 열 공정 진행시 P-Pillar 영역 확산에 의해 Pillar간 수평방향 전하량 균형상태 (Charge Balance)가 무너지기 때문에 Boron Implant Mask의 크기를 2.2um로 제한하였다. 각 Pillar를 형성하기 위해 10회 Epitaxy를 진행하였고 P-Pillar의 사이 간격은 2um로 Epitaxy 총 두께는 20um이다[6], [7].

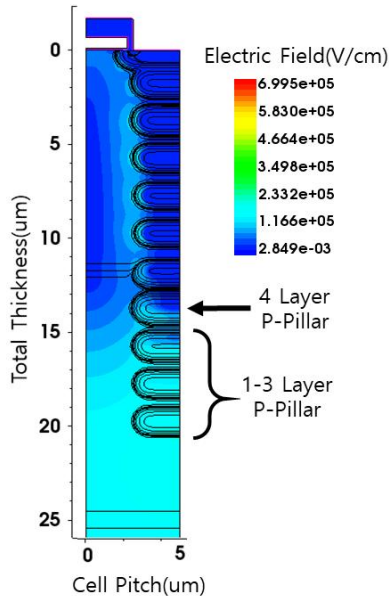


Fig. 3. Electric field location concentrated on the pillar.
그림 3. P-Pillar에 집중된 전계

그림 3은 최적화된 4.5kV급 Super Junction Field Stop IGBT구조 상단의 Pillar영역에 인가된 전계 분포도를 나타낸다. P-Pillar 하단 3개 영역에 전체적으로 전계가 집중되며 4번째 P-Pillar부터 측면에 형성된 공핍 영역으로 전계가 집중되는 것을 확인할 수 있다. 이 때, P-Pillar 내부에 진한 파란색 영역이 전계가 인가되지 않는 영역이며 해당 영역에 대한 Trench SiO₂를 Deposit하고자 한다. P-Pillar 내부에 SiO₂를 형성하기 위해 Trench는 89도 각도로 식각하며 Pillar 내부의 Trench SiO₂ 너비 1.0um에 대한 깊이 5~20um 시뮬레이션을 진행하여 P-Pillar에 인가되는 전계에 영향이 없는 크기를 최적화 한 후 너비 0.5~2.0um에 대한 최적화를 진행하였다.

IV. P-Pillar 내부 Trench SiO₂ 시뮬레이션

1. P-Pillar 내부 Trench SiO₂ 깊이 시뮬레이션

그림 4는 Trench SiO₂ 깊이에 대한 시뮬레이션

구조를 나타내었다. SiO₂는 절연체의 특성을 가지고 있으며 P-Pillar 내 일정치보다 깊게 형성되면 P-Pillar 하단에 인가되는 전계가 저항이 높은 SiO₂의 하단에 집중된다. SiO₂의 너비를 1.0um로 고정 후 깊이 2.5~20um에 대한 시뮬레이션을 진행하였으며 항복전압과 온-상태 전압강하 특성을 그림 5에 나타내었다.

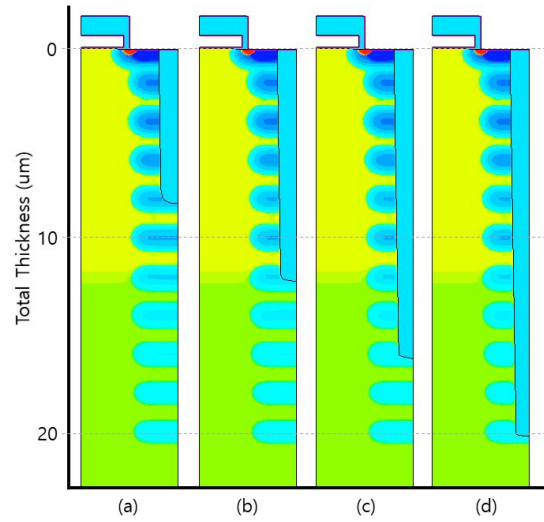


Fig. 4. SiO₂ depth P-Pillar in super junction IGBT
(a) 8 um, (b) 12 um, (c) 16 um, (d) 20 um.
그림 4. Super Junction IGBT P-Pillar 내 SiO₂ 깊이
(a) 8 um, (b) 12 um, (c) 16 um, (d) 20 um

그림 4는 Trench SiO₂ 깊이에 대한 시뮬레이션 구조를 나타내었다. SiO₂는 절연체의 특성을 가지고 있으며 P-Pillar 내 일정치보다 깊게 형성되면 P-Pillar 하단에 인가되는 전계가 저항이 높은 SiO₂의 하단에 집중된다. SiO₂의 너비를 1.0um로 고정

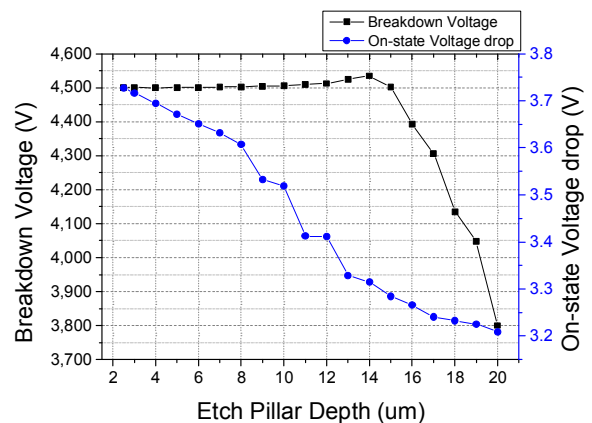


Fig. 5. The electrical characteristics according to SiO₂ depth.
그림 5. SiO₂ 깊이에 따른 전기적 특성

후 깊이 2.5~20um에 대한 시뮬레이션을 진행하였으며 항복전압과 온-상태 전압강하 특성을 그림 5에 나타내었다.

Trench SiO₂가 깊어짐에 따라 P-Pillar의 전체 면적이 감소하기 때문에 수식 1에 의한 Pillar 영역 저항 감소로 온-상태전압강하가 줄어드는 것을 확인할 수 있다. 깊이가 12um까지 4.5kV대의 항복전압을 유지하였으며 SiO₂의 깊이13, 14um일 때 P-Pillar 하단에 인가되는 전계가 P-Pillar와 SiO₂하단에 동시에 인가되어 항복전압이 소량 증가하지만 더욱 깊어질수록 전계는 P-Pillar가 아닌 SiO₂에 집중되기 때문에 항복전압이 급격하게 감소하는 것을 확인할 수 있다.

2. P-Pillar 내부 Trench SiO₂ 너비 시뮬레이션

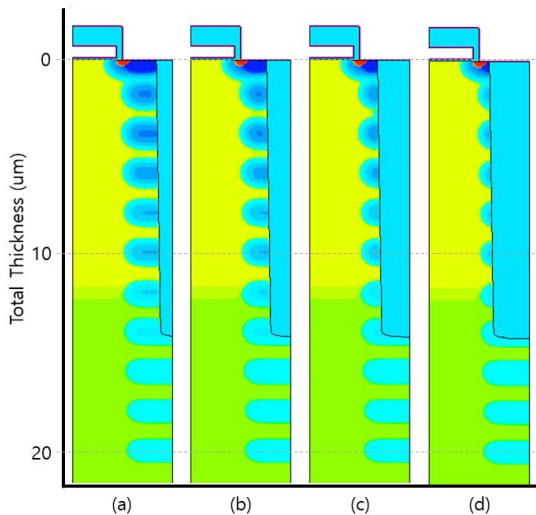


Fig. 6. SiO₂ Width P-Pillar in super junction IGBT
(a) 0.8 um, (b) 1.2 um, (c) 1.6 um, (d) 2.0 um.

그림 6. Super Junction IGBT P-Pillar 내 SiO₂ 너비
(a) 0.8 um, (b) 1.2 um, (c) 1.6 um, (d) 2.0 um

Trench SiO₂ 깊이 시뮬레이션을 통해 14um의 항복전압 특성이 가장 우수한 것을 확인하였다. 하지만 이것은 SiO₂ 하단에 전계가 크게 집중되어 항복전압이 일시적으로 높아진 형태이며 온-상태전압강하 특성은 SiO₂가 깊어질수록 계속해서 작아진다. 또한 SiO₂의 너비는 P-Pillar 영역 너비에 직접적인 영향을 미치며 동시에 Pillar 영역 수평방향 공핍영역에 인가되는 최대 전계는 SiO₂ 측면으로 집중되어 작아지는 온-상태전압강하 특성처럼 항복전압 특성도 변동될 것이다. 따라서 본 시뮬레이션은 4.5kV를 유지하며 온-상태전압강하 특성이

좋은 SiO₂ 깊이 13~15um 구조에 대하여 그림 5와 같이 SiO₂ 너비 0.4~2.0um 시뮬레이션을 진행하였다.

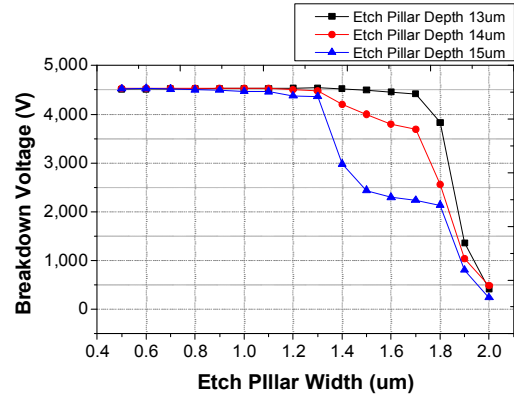


Fig. 7. The Breakdown Voltage characteristics according to SiO₂ Width.

그림 7. SiO₂ 너비에 따른 항복전압 특성

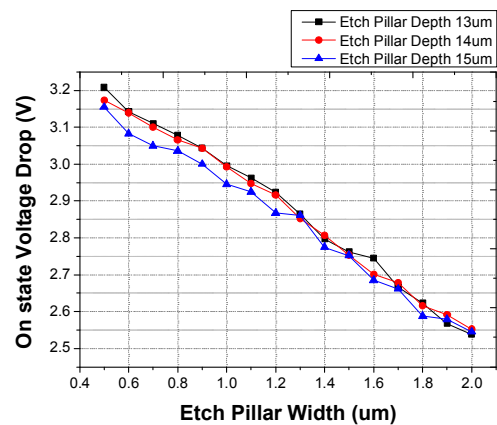


Fig. 8. The On-state Voltage drop characteristics according to SiO₂ Width.

그림 8. SiO₂ 너비에 따른 온-상태전압강하 특성

그림 7은 Trench SiO₂ 깊이 13~15um 구조에 대한 너비 0.5~2.0um의 항복전압 특성을 나타내었다. 깊이 13um의 구조는 너비 1.4um까지, 깊이 14, 15um의 구조는 각각 너비 1.2, 0.7um까지 4.5kV의 항복전압을 유지하였으며 너비가 넓어질수록 항복전압은 급격하게 감소하는 것을 확인하였다. 이것은 넓어진 SiO₂에 의해 P-Pillar의 높은 Doping Concentration(cm⁻³) 영역을 식각하기 때문에 수평방향 도핑농도에 따른 Charge balance가 무너지고 Pillar영역의 수평방향 공핍영역에 집중되는 전계가 사라지고 P-Pillar 내부 SiO₂ 최하단에 수직방향으로 최대 전계가 집중되기 때문이다. 그림 8은

Trench SiO₂ 깊이 13~15um 구조의 너비 0.5~2.0um에 대한 온-상태전압강하 특성을 나타내었다. Trench SiO₂의 너비가 넓어질수록 온-상태 전압강하가 계속해서 감소하는 것을 확인할 수 있다. Trench SiO₂의 깊이와 너비에 따른 전기적 특성을 표 1에 나타내었다.

Table 1. Electrical properties according to SiO₂ depth and width.

표 1. SiO₂ 깊이와 너비에 따른 전기적 특성

Depth of SiO ₂ in Pillar (um)	13.0	14.0	15.0
Width of SiO ₂ in Pillar (um)	1.4	1.2	0.7
Breakdown Voltage (V)	4,523.8	4,501.2	4,514.0
On-State Voltage drop (V)	2.7973	2.9165	3.0496

V. 결론

Field Stop IGBT의 경우 고내압을 취하려면 Drift 영역의 크기와 비저항(Resistivity, Ω×cm)이 증가하며 동시에 Drift영역 저항이 크게 증가하기 때문에 온-상태전압강하 특성이 매우 나빠진다. 시뮬레이션을 통하여 P-Pillar내부 Trench SiO₂를 갖는 4.5kV Super Junction Field Stop IGBT의 최적화를 완료하였으며 동일한 항복전압을 갖는 Field Stop IGBT, Super Junction IGBT, 제안하는 구조의 전기적 특성을 표 2에 나타내었다. Pillar 내 SiO₂의 깊이 13um, 너비 1.4um의 온-상태전압강하 특성은 Field Stop 구조 대비 약 58%, Super Junction 구조 대비 19% 향상되는 것을 확인할 수 있다. P-Pillar내 Trench SiO₂는 Pillar영역의 부분저항을 감소시켜 온-상태전압강하 특성이 향상된다. 본 논문을 통해 Multi Epitaxial공정시 고농도 P-Pillar 형성 이후 Trench SiO₂를 이용한 Pillar간 수평방향 Charge Balance를 안정시키는 방법 중 하나로 제안하고자 한다.

Table 2. Comparison of electrical properties of IGBT structures.

표 2. IGBT 구조의 전기적 특성 비교

	Breakdown Voltage	On-state Voltage drop
Unit	V	
Field Stop	4,505.82	7.47706
Super Junction	4,512.74	3.84099
Proposed structure	4,529.56	3.10598

References

- [1] Lho Young Hwan, and Yil Suk Yang, "Design of 100V Super Junction Trench Power MOSFET with LowOn Resistance," *ETRI Journal*, vol.34, no.1, pp.134-137. 2012. DOI: 10.4218/ETRIJ.12.0211.0251
- [2] Z. Hanmei, "Simulation of superjunction MOSFET devices," *National university of Singapore*, 2005.
- [3] Baliga. B, "Advanced Power MOSFET concepts," *Springer Science & Business Media*, 2010.
- [4] J. W. Lee, S. G. Kim, J. D. Kim, J. G. Koo, J. Y. Lee and K. S. Nam, "Formation of Passivation Layer and Its Effect on the Defect Generation during Trench Etching," *Korean Journal of Materials Research*, Vol.7, no.7, pp.634-640, 1998.
- [5] Qian. L. Wang. J., Yang. Z. and Yan. G., "Fabrication of ultra-deep high-aspect-ratio isolation trench Without void and its application," *2010 IEEE 5th International Conference on Nano/Micro Engineered and Molecular Systems*, pp.654-657, 2010. DOI: 10.1109/NEMS.2010.5592490
- [6] G. H. Lee, B. S. Ahn and E. G. Kang, "Analysis of Electrical Characteristics According to the Pillar Spacing of 4.5 kV Super Junction IGBT," *Journal of the Korean Institute of Electrical and Electronic Material Engineers*, vol.33, no.3, pp.173-176, 2020. DOI: 10.4313/JKEM.2020.33.3.173
- [7] H. Bartolf, A. Mihaila, I. Nistor, M. Jurisch, B. Leibold and M. Zimmermann, "Development of a 60um Deep Trench and Refill Process for Manufacturing Si-Based High-Voltage Super-Junction Structures," *IEEE Transactions on Semiconductor Manufacturing*, vol.26, no.4, pp. 529-541, 2013. DOI: 10.1109/TSM.2013.2272042

BIOGRAPHY

Geon-Hee Lee (Member)

2019 : BS degree in Photovoltaic Engineering, Far East University.

2021 : MS degree in Energy IT Engineering, Far East University.

Byoung-Sup Ahn (Member)

2010 : BS degree in Computer System Engineering, Far East University.

2012 : MS degree in Energy Semiconductor Engineering, Far East University.

2018 : PhD degree in Information communication Engineering, Far East University.

Ey-Goo Kang (Member)

1993 : BS degree in Electrical Engineering, Korea University.

1995 : MS degree in Electrical Engineering, Korea University.

2002 : Ph. D degree in Electrical Engineering, Korea University.

2003~2021 : Professor, Far East University. Faculty of Power Devices and ICs