

# 높은 홀딩 전압으로 인한 래치업 면역을 갖는 양방향 구조의 ESD 보호회로에 관한 연구

## A Study on ESD Protection Circuit with Bidirectional Structure with Latch-up Immunity due to High Holding Voltage

정 장 한\*, 도 경 일\*, 진 승 후\*, 고 경 진\*, 구 용 서\*

Jang-Han Jung\*, Kyung-Il Do\*, Seung-Hoo Jin\*, Kyung-Jin Go\*, Yong-Seo Koo\*

### Abstract

In this paper, we propose a novel ESD protection device with Latch-up immunity properties due to high holding voltages by improving the structure of a typical SCR. To verify the characteristics of the proposed ESD circuit, simulations were conducted using Synopsys TCAD and presented compared to existing ESD protection circuits. Furthermore, the variation of electrical properties was verified using the design variable D1. Simulation results confirm that the proposed ESD protective circuit has higher holding voltage properties and bidirectional discharge properties compared to conventional ESD protective circuits.

We validate the electrical properties with post-design TLP measurements using Samsung's 0.13um BCD process. And we verify that the proposed ESD protection circuit in this paper is well suited for high voltage applications in that it has a latch-up immunity due to improved holding voltage through optimization of design variables.

### 요 약

본 논문에서는 일반적인 SCR의 구조를 개선하여 높은 홀딩 전압으로 인한 래치업 면역을 갖는 새로운 ESD 보호 회로를 제안한다. 제안된 ESD회로의 특성검증을 위하여 Synopsys사의 TCAD를 이용하여 시뮬레이션을 진행하였으며, 기존 ESD 보호회로와 비교하여 제시하였다. 또한 설계변수 D1을 이용하여 전기적 특성의 변화를 검증하였다. 시뮬레이션 수행 결과 제안된 ESD 보호회로는 기존의 ESD 보호회로에 비해 높은 홀딩 전압특성과 양방향 방전특성을 확인하였다. 또한, Samsung의 0.13um BCD 공정을 이용하여 설계 후 TLP 측정을 통해 전기적 특성을 검증하였다. 이러한 과정을 통해 본 논문에서 제안된 ESD 보호회로 설계변수의 최적화를 진행하였고 향상된 홀딩 전압으로 래치업 면역을 갖는다는 점에서 고전압 어플리케이션에 적용하기에 매우 적합함을 검증하였다.

*Key words* : ESD, Latch-up, SCR, Holding Voltage, DDSCR

\* Dept. of Electronics Engineering, Dankook University

★ Corresponding author

E-mail : wkdgks0248@naver.com, Tel : +82-031-8005-3625

※ Acknowledgment

“This research was supported by the MSIT(Ministry of Science and ICT), Korea, under the ITRC(Information Technology Research Center) support program(IITP-2020-2018-0-01421) supervised by the IITP(Institute for Information & Communications Technology Planning & Evaluation)”, This paper was supported by Korea Institute for Advancement of Technology (KIAT) grant funded by the Korea Government(MOTIE) (P0017011, HRD Program for Industrial Innovation)

Manuscript received May. 31, 2021; revised Jun. 16, 2021; accepted Jun. 24, 2021.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

ESD(Electro-Static Discharge)는 EOS(Electrical Overstress)현상에 포함되는 정전기현상으로, 축적된 정전하가 마찰 또는 대전에 의해서 순간적으로 빠르게 방전되는 현상을 말한다. 특히, 반도체에서는 대전된 기계나 인체가 반도체 IC(Integrated Circuit) 외부 핀과 접촉했을 때 높은 전압과 전류가 발생하며 IC내부의 금속배선과 소자 등을 파괴하고 회로의 오작동을 유발하여 IC를 손상시킨다. ESD방전에 의해 파괴되는 IC소자는 약 25~30% 정도로, IC불량의 상당수를 차지한다. 반도체 공정 기술이 발전하면서 반도체 소자의 Gate-Oxide 두께가 점점 더 얇아지고 ESD현상은 불리하게 바뀌고 있다[1][2].

이러한 ESD 현상이 발생하였을 때 내부 IC를 보호하기 위해서 ESD 보호회로에 관한 다양한 연구가 진행되고 있다. 대표적으로는 GGNMOS(Gate-Grounded MOSFET), SCR(Silicon-Controlled-Rectifier) 등이 있다. GNMOS는 대중적으로 쓰이는 소자이지만 전류구동능력이 낮아 이를 대체하기 위해 SCR이 등장하였고 SCR은 NPN, PNP의 Positive feedback을 이용한 동작으로 우수한 전류구동능력을 얻는다. 하지만 일반적인 SCR은 P-WELL과 N-WELL 접합영역에서의 Avalanche breakdown으로 동작하기 때문에 약 21V 정도의 높은 트리거 전압을 가지며, 1.5V의 낮은 홀딩 전압을 가지므로 실제 IC에 적용되기 힘들다[3][4]. 따라서 트리거 전압을 낮추기 위해 고안된 LVTSCR은 SCR의 높은 전류구동능력과 GGNMOS의 낮은 트리거 전압 장점을 갖고 있는 소자이다. 그리고 일반적인 SCR은 단방향 특성으로 인해 음전하 특성 ESD에 취약하기 때문에 2개의 소자로 구성을 해야 하므로 이는 매우 큰 면적을 차지한다. 이를 해결하기 위해서 양방향 특성을 갖는 DDSCR(Dual-Directional SCR)이 개발되었으나, 너무 긴 방전경로로 인해 큰 저항과 낮은 홀딩 전압 특성을 갖는다[5][6].

따라서 본 논문에서는 높은 홀딩 전압으로 인한 래치 업 면역과 양방향특성으로 면적효율을 갖는 새로운 ESD보호회로를 제안하고 이를 Synopsys사의 TCAD를 이용하여 검증하였다.

II. 본론

2.1 기존의 ESD 보호회로

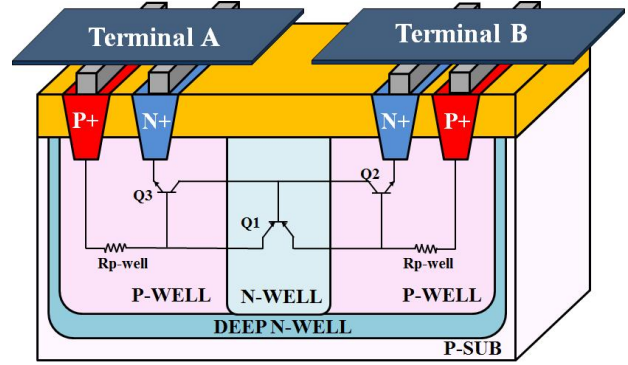


Fig. 1. Structure of DDSCR(Dual-Direction SCR).  
그림 1. DDSCR의 단면도

그림 1은 일반적인 DDSCR의 단면도로 대칭구조로 인하여 양전하, 음전하 극성을 띄는 ESD에 대해서 두 개의 기생 바이폴라 트랜지스터에 의한 방전 경로를 제공한다. 하지만 P-WELL영역의 추가로 인한 긴 방전경로와 P-WELL과 N-WELL 접합으로 인하여 매우 큰 저항값을 가지며 여전히 낮은 홀딩 전압과 높은 트리거 전압을 가진다.

동작원리는 다음과 같다. Terminal A단에서 ESD 현상이 발생하면 P-WELL영역의 Rp-well의 전위가 상승되고 이는 Q1의 다이오드를 턴 온 시킨다. 이후 N-WELL영역의 전위상승은 우측 N-WELL과 P-WELL 접합간의 Avalanche breakdown을 일으킨다. 이때 생성된 EHP(Electron Hole pair) 중 홀 캐리어들은 Terminal B단의 P+영역으로 빠져나가고 이는 우측 P-WELL영역의 전위상승으로 결국 Q2 NPN이 턴 온 하여 Q1과 Q2의 Positive feedback으로 전류를 방전시킨다. 반대로 Terminal B로 ESD현상이 발생해도 동일한 동작원리로 Q3, Q1 BJT가 Positive feedback 동작하여 전류를 방전시킨다.

2.2 제안된 ESD 보호회로

그림 2는 제안된 ESD 보호회로의 단면도이다. 일반적인 DDSCR의 구조에서 P+ 브릿지 영역을 삽입하고, Terminal A, Terminal B 양 끝에 P+ 확산영역을 추가하여 이 영역끼리 전기적으로 연결하는 형태로써, 대칭적인 구조를 가져 양방향으로 SCR을 턴 온 시키는 형태를 갖는다. 기존의 DDSCR

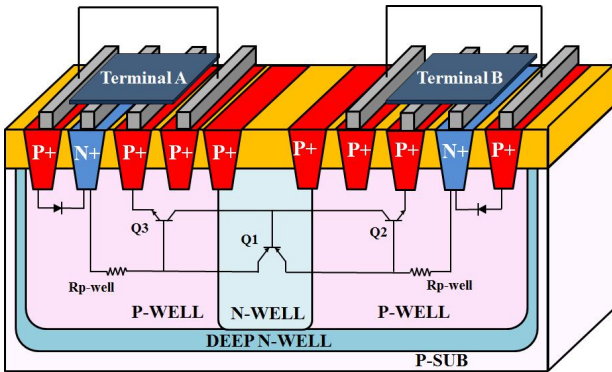


Fig. 2. Structure of proposed ESD protection circuit.  
그림 2. 제안된 ESD 보호회로의 단면도

은 각각의 NPN/PNP 만이 동작하는 방식이지만, 제안된 ESD보호회로는 P+확산 영역의 연결로써 형성된 다이오드를 통해 추가적인 전류방전을 함으로써, feedback loop의 전류를 감소시킨다. 따라서 홀딩 전압이 증가하는 특징을 가지며 이로 인하여 래치 업 면역특성을 이룰 수 있다.

제안된 ESD회로의 동작원리는 다음과 같다. Terminal A 단에서 ESD 현상이 발생하면 N+/P+ 확산 영역을 통해 전류가 유입되고 P-WELL의 전위가 상승하게 된다. P+확산영역과 N-WELL 접합으로 다이오드가 턴 온 되고 N-WELL영역의 전위가 상승한다. 임계전압 값까지 전위가 상승하게 되면 N-WELL과 우측의 P+확산영역 접합에서 Avalanche breakdown이 일어난다. Avalanche breakdown에 의해 생성된 EHP에서 홀 캐리어는 Terminal B와 우회경로로 이동하여 P+확산영역과 Terminal B의 N+접합으로 다이오드를 턴온시킨다. 이로인해 feedback loop의 전류가 감소하게 되고 BJT의 전류이득이 감소한다. 따라서 보다 높은 홀딩전압을 갖게 된다. 반대로 Terminal B 단으로 ESD현상이 발생해도 동일한 동작원리로 ESD전류를 방전시킨다.

### 2.3 Simulation 결과

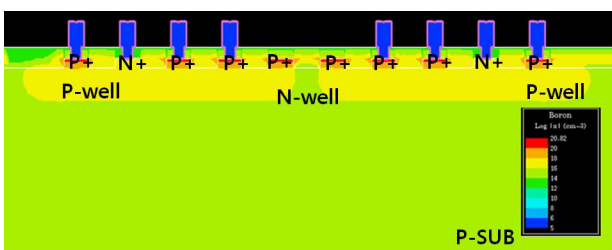


Fig. 3. TCAD Simulation of proposed ESD protection circuit.  
그림 3. 제안된 ESD보호회로의 TCAD 시뮬레이션

제안된 회로에 대해서 TCAD 공정 시뮬레이션을 통해 구현을 진행하였다.

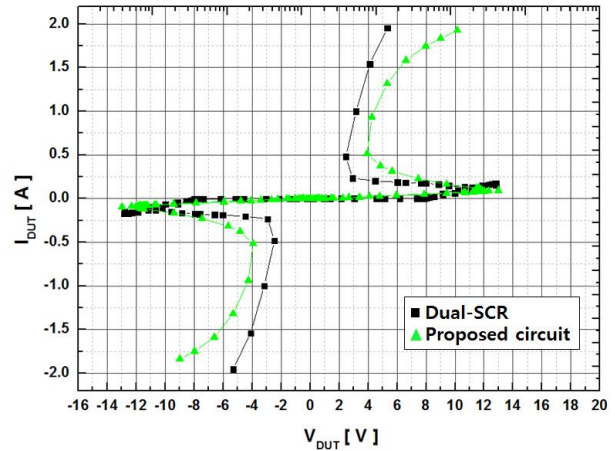


Fig. 4. Simulated DC I-V characteristics of typical dual-SCR and proposed protection circuit.

그림 4. 일반적인 dual-SCR과 제안된 보호회로의 시뮬레이션 DC I-V 특성

그림 4를 보면 Dual구조를 갖는 SCR이므로 모두 정방향, 역방향의 I-V특성이 대칭적이다. 시뮬레이션 상의 Conventional dual SCR의 홀딩 전압은 2.8V이고 제안된 회로의 홀딩 전압은 3.9V로 향상된 홀딩 전압 특성을 확인할 수 있다.

### 2.4 측정 결과

본 논문에서는 Samsung의 0.13um BCD공정을 사용하여 제안된 ESD 보호회로를 설계 및 제작하였다. 또한 TLP 측정을 통하여 제안된 보호 회로의 전기적인 특성이 12V급 ESD Design Window에 적합한지를 확인하였다.

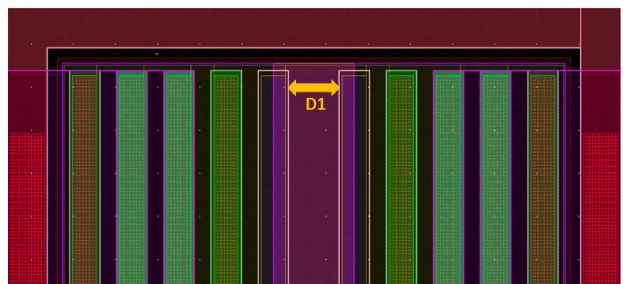


Fig. 5. Design variable D1 of the proposed protected circuit.  
그림 5. 제안된 보호회로의 설계변수 D1

그림 5는 제안된 ESD 보호회로의 Layout 및 Layout 상에 설계변수 D1(N-WELL영역)을 나타낸 그림이다.

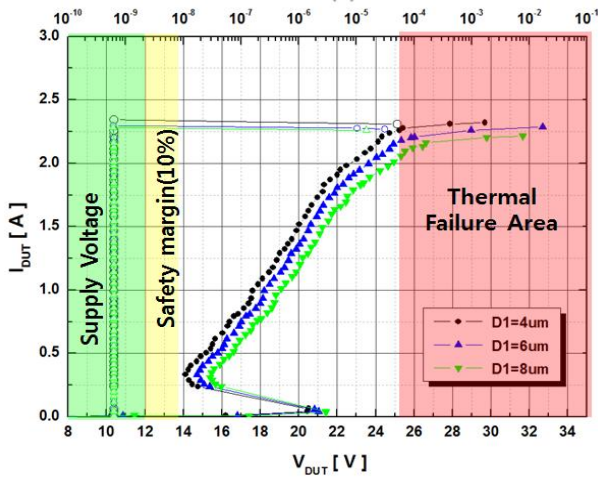


Fig. 6. I-V characteristics according to D1(design variable) of the proposed ESD protection circuit.

그림 6. 제안된 ESD 보호회로의 설계변수 D1에 따른 I-V 특성 측정 결과

그림 6에 12V급 ESD design window를 나타내었으며, 12V급 내부 IC를 ESD로부터 보호하기 위해서는 홀딩전압이 공급전압인 12V에 10% 마진을 더한 약 13.2보다 높은 전압특성을 가져야 한다. 12V급 0.13um BCD 공정에서는 일반적으로 Oxide breakdown 전압이 25V 이므로, Thermal failure의 기준으로 한다.

설계변수 D1은 PNP BJT의 베이스영역인 N-WELL 영역의 길이를 조절하는 것이며, 길이에 따라 홀딩 전압을 조절하는 요소이다. D1은 4um, 6um, 8um로 2um씩 변화를 주었으며 D1이 증가할수록, PNP BJT의 베이스영역이 늘어나 전류 이득이 감소하기 때문에 홀딩 전압이 상승하게 된다. 이에 따른 TLP 측정 결과를 표 1에 정리하였다.

Table 1. TLP measurement results according to design variable D1.

표 1. 설계변수 D1에 따른 TLP 측정결과

D1 Variation	Trigger Voltage	Holding Voltage	Holding Current	Second Breakdown Current
D1 : 4um	21.12 V	13.92 V	324 mA	2.32 A
D1 : 6um	21.32 V	14.87 V	332 mA	2.24 A
D1 : 8um	21.64 V	15.42 V	328 mA	2.21 A

### III. 결론

기존에 사용되던 ESD보호회로는 낮은 홀딩 전압

과 단방향 방전에만 우수한 특성을 갖기 때문에, 내부 IC를 보호하지 못하고 Surge 또는 Noise 같은 현상으로부터 래치 업 현상을 일으킬 수 있다. 따라서 ESD 전류를 이슈 없이 효과적으로 방전시킬 수 있는 보호회로의 개발이 필수적이다. 따라서 본 논문에서는 높은 홀딩전압 으로 인한 래치 업 면역과 양방향특성으로 면적효율을 갖는 새로운 SCR기반의 ESD보호회로를 제안한다. 제안된 구조는 DDSCR 구조에서 P+ 브릿지 영역과 양쪽 P-WELL 영역에 각각 P+ 확산영역을 추가하여 전기적으로 연결한다. 이로 인해 다이오드 접합이 보이게 되고 턴 온 이후에 기생 NPN/PNP 바이폴라에 추가적으로 다이오드가 동작하게 된다. 따라서 보다 낮은 전류이득을 갖게 되고 턴 온을 유지하기 위해서 보다 높은 전압을 필요로 한다. 이는 높은 홀딩전압을 갖는 구조이다.

따라서 제안된 ESD 보호회로는 래치 업 면역 특성을 지니며, 기존 ESD 보호회로에 비해 양방향 전류방전 특성을 가지므로 면적을 감소시켰다. 따라서 12V급 어플리케이션의 내부 IC에 적용하여 집적회로의 ESD issue 대한 신뢰성을 높일 수 있다.

### References

[1] Albert Z. H. Wang, "On-Chip ESD Protection for Integrated Circuits 2nd ed," *Springer*, 2002.  
 [2] M. D. Ker and C. C. Yen, "Investigation and Design of On-Chip Power-Rail ESD Clamp Circuits Without Suffering Latch up-Like Failure During System-Level ESD Test," *IEEE J.Solid-State Circuits*, vol.43, no.11, pp.2533-2545. 2008. DOI: 10.1109/JSSC.2008.2005451  
 [3] O. Quittard, Z. Mrcarica, F. Blanc, G. Notermans, T. Smedes, and H.van Zwol, "ESD protection for high-voltage CMOS technologies," in *Proc. EOS/ESD Symp.*, pp.77-86. 2006.  
 [4] K. D Kim "A Study on the Novel SCR Nano ESD Protection Device Design and Fabrication," *j.inst.Korean.electr.electron.eng*, vol.9, no.2, pp.83-91, 2005. DOI: 10.7471/ikeee.2017.21.3.234  
 [5] R. G. Wagner, J. Soden and C. F. Hawkins, "Extend and Cost of EOS/ ESD Damage in an IC Manufacturing Process," in *Proc. of the 15th*

*EOS/ESD Symp.*, pp.49-55, 1993.

DOI: 10.7471/ikeee.2015.19.2.265

[6] R. G. Wagner, J. Soden and C. F. Hawkins,  
“Extend and Cost of EOS/ESD Damage in an IC  
Manufacturing Process,” in *Proc. of the 15th EOS/  
ESD Symp.*, pp.49-55, 1993.

DOI: 10.7471/ikeee.2016.20.3.295

**Kyung-Jin Go** (Member)

2021 : BS degree in Electrical  
Engineering, DanKook University.

2021 ~ : Unified course of the master's  
in Electronics and Engineering,  
DanKook University.

## BIOGRAPHY

**Jang-Han Joung** (Member)



2021 : BS degree in Electrical  
Engineering, DanKook University.  
2021 ~ : Unified course of the master's  
in Electronics and Engineering,  
DanKook University.

**Yong-Seo Koo** (Member)



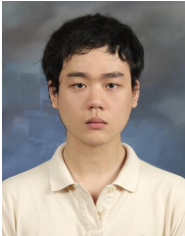
1981 : BS degree in Electronics  
Engineering, Sogang University.

1983 : MS degree in Electronics  
Engineering, Sogang University.

1992 : Ph.D degree in Electronics  
Engineering, Sogang University.

Current research interest : integrated  
circuit, micro processor

**Kyoung-II Do** (Member)



2016 : BS degree in Electrical  
Engineering, SeoKyeong University.  
2016 ~ : Unified course of the master's  
and the doctor's in Electronics and  
Engineering, DanKook University.

**Seung-Hoo Jin** (Member)



2020 : BS degree in Electrical  
Engineering, DanKook University.  
2020 ~ : Unified course of the master's  
in Electronics and Engineering,  
DanKook University.