

# 저전압 에스램용 선별 동작 사전 증폭 회로

## Selective Operating Preamplicifier Circuit for Low Voltage Static Random Access Memory

정 한 울<sup>\*★</sup>

Hanwool Jeong<sup>\*★</sup>

### Abstract

The proposed preamplicifier for the static random access memory reduces the time required for the sense amplifier enable during the read operation by 55%, which leads to a significant speed up the total speed. This is attributed to the novel circuit technique that cancels out the transistor mismatch which is induced by the process variation. In addition, a selective enable circuit for preamplicifier circuit is proposed, so the proposed preamplicifier is enabled only when it is required. Accordingly the energy overhead is limited below 4.45%.

### 요 약

본 논문에서 제안된 에스램 사전 증폭 회로는 에스램 데이터 읽기 과정에서 감지 증폭을 활성화 하는 데 필요한 시간을 55% 감소함으로써 기존 회로 대비 읽기 속도를 현격히 개선하였다. 이는 사전 증폭 과정에서 공정 편차에 의한 트랜지스터의 성능 편차를 보상하는 고유 회로에 기인한 것이다. 뿐만 아니라, 사전 증폭으로 인한 추가 에너지 소모량을 최소화하기 위하여 사전 증폭이 필요한 경우에만 사전 증폭기를 활성화 할 수 있는 선별 활성화 회로를 제안하여 추가 에너지 소모를 4.45% 이내로 제한하였다.

*Key words : Low power circuit design, low voltage circuit design, preamplication, sense amplifier, static random access memory (SRAM)*

### 1. 서론

시스템 온 칩(System on Chip, SoC)의 전체 전력 소모 중 상당 부분은 에스램(static random access memory)에 의한 것이다. 에스램 에너지 최소화를 위해, 가능한 낮은 공급전압( $V_{DD}$ )을 사용하지만, 이는 급격한 속도 저하 원인이 된다.

에스램 면적 대부분은 비트(bit) 데이터를 저장하는 하드웨어인 비트셀 (bitcell)이 차지한다. 고집적

도를 위해 비트셀은 최소 채널폭 트랜지스터로 설계되는데, 이러한 작은 트랜지스터는 공정편차에 의한 성능 변동성이 매우 크며[1], 느린 비트셀은 극심하게 느려진다. 단일 칩 내 수천개에서 수백만 개로 집적되는 비트셀 중, 전체 성능은 가장 느린 비트셀이 결정한다. 따라서, 에스램은 다른 회로보다  $V_{DD}$  하락에 의한 성능 저하가 심하고, 이를 고려한 회로 설계가 필수적이다.

에스램 속도는 데이터를 읽는 과정으로 결정된

\* Professor, Dept. of Electronics Engineering, Kwangwoon University

★ Corresponding author

E-mail : hwjeong@kw.ac.kr, Tel : +82-2-940-5149

This work was supported by the National Research Foundation of Korea(NRF) grant funded by the Korea government (MSIT) (No. 2020R1G1A1009777)

Manuscript received May. 18, 2021; revised Jun. 14, 2021; accepted Jun. 21, 2021.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

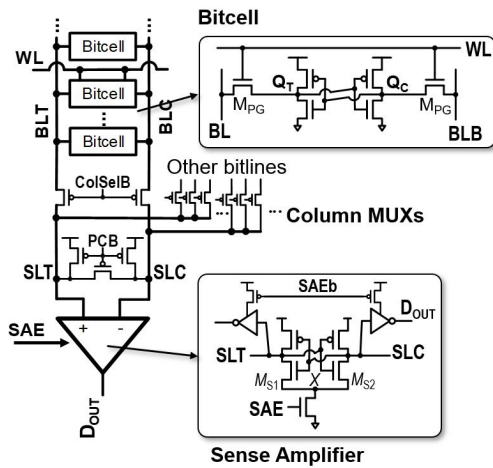


Fig. 1. Simplified circuit for the SRAM read operation.  
 그림 1. 에스램 읽기 수행을 위한 간략화 회로

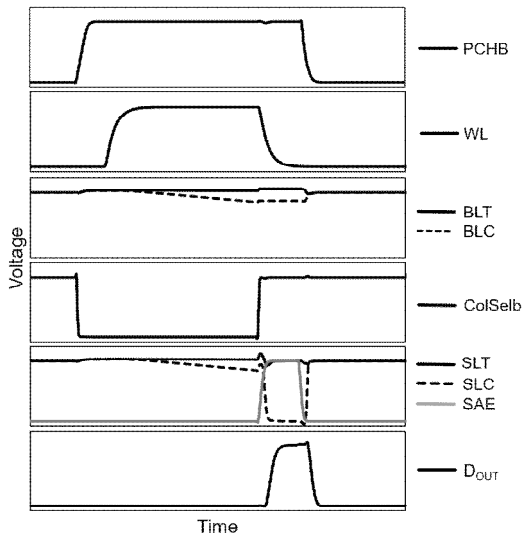


Fig. 2. Operational waveforms of SRAM read operation.  
 그림 2. 에스램 읽기 수행 동작 파형

다. 그림 1은 에스램 비트셀과 읽기 회로를 간략히 나타낸 것이다. 비트셀은 저장 데이터 외부 전달을 위해 두 비트라인(BLT, BLC)과 연결돼 있고, 비트라인은 다수 비트셀에 연결돼 있다(통상 32~512개). 비트라인은 열 멀티플렉서(Column MUX)를 통과해 감지 증폭기 입력(SLT, SLC)에 연결되며, 감지 증폭기 출력(D<sub>OUT</sub>)은 메모리 외부에 연결, 읽은 데이터를 전달한다.

그림 2는 읽기의 동작 파형을 나타낸 것이다. 비트라인과 감지증폭기 입력이 PCHB = 0에 의해 V<sub>DD</sub>로 사전 충전된 상태에서 선택된 비트셀의 워드라인(WL)이 상승하면 비트셀 내 데이터 노드(Q<sub>T</sub>, Q<sub>C</sub>)가 비트라인과 연결된다. 이에 따라, 저장 비트가 1인 경우 (Q<sub>T</sub>=1, Q<sub>C</sub>=0) Q<sub>C</sub>에 연결된 BLC

는 하강하고 BLT는 V<sub>DD</sub>로 유지된다.

시간이 흐를수록 두 비트라인의 전압차 ΔV<sub>BL</sub>가 점점 커지는데, 감지 증폭기는 두 비트라인 중 어느 비트라인이 떨어지는지 감지한다. 감지 증폭기 활성화 신호 SAE(Sense amplifier enable)가 상승하면, 양성 피드백을 통해(SLT, SLC)를 (V<sub>DD</sub>, 0)로 만든다. 이는 상대적으로 작은 입력 차 ΔV<sub>SL</sub>(그림 2에 표시)을 V<sub>DD</sub>로 증폭시킨 것이다.

읽기 속도는 SAE 상승을 통해 얼마나 감지 증폭기를 빠르게 활성화하느냐에 따라 결정된다. 하지만, 감지 증폭기를 너무 일찍 활성화하면 데이터의 정확한 감지가 불가능하다. 그 이유는 감지 증폭기는 오프셋 (V<sub>off,SA</sub>) 이상의 입력차만 정확히 감지하기 때문이다[2]. 결론적으로, 감지 증폭기 입력차 ΔV<sub>SL</sub>가 V<sub>off,SA</sub>보다 클 때 활성화가 가능하고, 이 시점에 의해 속도가 결정되는 것이다.

본 논문은 감지 증폭기 이전 단계의 사전 증폭을 통해, 감지 증폭기에 인가되는 입력 전압 차를 크게 하여 감지 증폭기 활성화 시간을 앞당길 수 있는 사전 증폭 회로를 제안한다. 사전 증폭 회로에도 오프셋 전압 V<sub>off,PRE</sub>이 존재할 수 밖에 없는데, 기존 감지 증폭기의 활성화 시간을 앞당기기 위해서는 V<sub>off,PRE</sub>가 V<sub>off,SA</sub>보다 작아야 한다. 이를 위하여, 제안 사전 증폭기 회로는 오프셋 보상 동작을 통해 V<sub>off,PRE</sub>를 최소화 하였다. 뿐만 아니라, 오프셋 보상 및 사전 증폭에 동작에 드는 전력 소모를 최소화하기 위하여, 느린 비트셀에서만 선별적으로 사전 증폭기가 동작하도록 설계하였다.

## II. 본론

### 1. 감지 증폭기에서 V<sub>off,SA</sub>의 원인

그림 1의 감지 증폭기는 대칭 구조로, 이상적으로는 인가되는 입력차가 0보다 크기만 하면 정확히 감지되어야 한다. 하지만, 공정 편차로 인해 대칭이어야 할 트랜지스터 성능이 비대칭이되어 충분한 큰 입력차가 인가돼야만 정확히 동작한다.

특히 감지 증폭기 내 교차 결합 nMOSFET(그림 1 M<sub>S1</sub>과 M<sub>S2</sub>) 간 문턱 전압 V<sub>th</sub> 편차로 전류 성능 차이가 생기고, 이에 감지 증폭 오류가 발생할 수 있다. 예를 들어, 감지 증폭기 활성화 시점 SLC가 SLT보다 ΔV<sub>SL</sub>만큼 작을 때 M<sub>S1</sub>과 M<sub>S2</sub>의 전류를 결정하는 V<sub>OV</sub> (= V<sub>GS</sub>-V<sub>th</sub>)는 (1)과 같다.

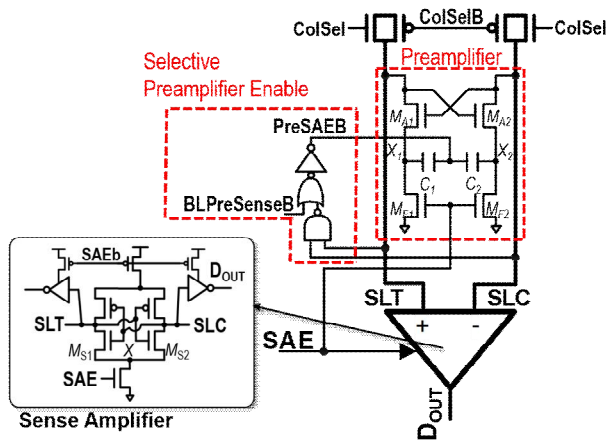


Fig. 3. Schematic of the proposed preamplifier circuit.  
그림 3. 제안 사전 증폭 회로의 구조

$$V_{OV,S1} = V_{DD} - \Delta V_{SL} - V_{th,S1} - V_X$$

$$V_{OV,S2} = V_{DD} - V_{th,S2} - V_X \tag{1}$$

이 때  $V_{th,S1}$ ,  $V_{th,S2}$ 는  $M_{S1}$ ,  $M_{S2}$ 의  $V_{th}$ 고  $V_X$ 는 X 전압이다. 이상적으로는,  $V_{OV,S1} < V_{OV,S2}$ 이므로  $M_{S2}$  전류가 더 커, 증폭 중 SLC가 하락한다. 하지만, 공정 편차로 인해  $V_{th,S1} < V_{th,S2}$ 인 경우,  $M_{S1}$ 에 의한 SLT 하락이 더 클 수 있어 오류가 발생한다.

따라서, 감지 증폭기의 정확한 동작을 위해서는  $\Delta V_{SL}$ 이  $V_{th}$  편차를 극복할 수 있도록 충분히 커야 하고, 이 때 필요한 최소 필요한 입력차가 바로  $V_{off,SA}$ 이다.  $V_{off,SA}$ 는 평균이 0에 가까운 정규분포를 따르는 랜덤 변수이며 감지 증폭 회로 구성 트랜지스터의 크기를 키울수록 작아지지만 통상 표준편차가 20~30mV 수준이다[3].

2. 제안하는 사전 증폭 구조

그림 3은 제안하는 사전 증폭기(그림 3의 Preamplifier)와 이를 제어하는 선별 활성화 회로(그림 3의 Selective Preamplifier Enable)이며, 그림 4는 제안 구조의 동작 파형을 나타낸다. 열 멀티플렉서가 트랜스미션 게이트로 구현되었고, 감지 증폭기에 footer의 header가 추가되었다.

기존과 다른 동작 특징은 SAE 상승을 통한 감지 증폭기 활성화 전에 먼저 PreSAEb 하강을 통한 활성화로 사전 증폭기를 동작하는 것이다. 이에, SAE 상승 시점에는 더 큰 감지 증폭기 입력차가 확보된다. 이를 위한 사전 증폭기와 사전 증폭기 활성화 신호 생성 회로를 나누어 설명한다.

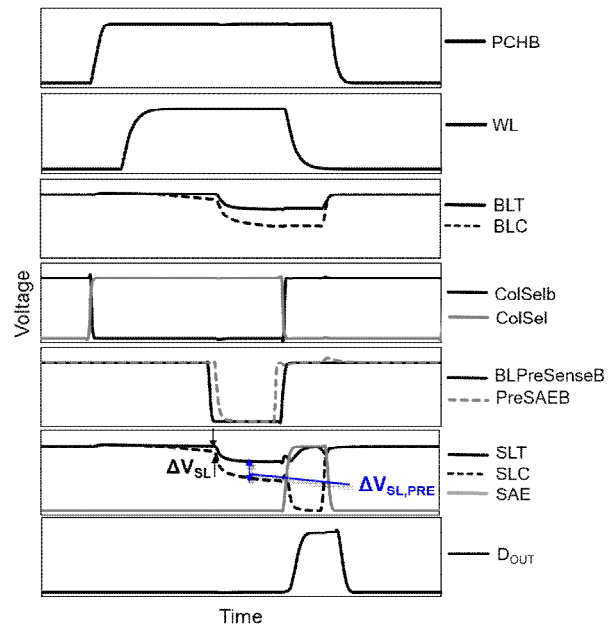


Fig. 4. Operational waveforms of the proposed preamplifier.  
그림 4. 제안 사전 증폭 회로의 동작 파형

가. 제안하는 사전 증폭기의 동작

사전 증폭기의  $X_1$ 과  $X_2$  노드는 직전 읽기 동작 시, SAE 상승으로 0V로 방전되었다가 사전 충전 ( $PCHB=0$ ) 구간에서 SLT와 SLC가  $V_{DD}$ 로 충전되면서, 각각  $V_{DD}-V_{thA1}$ 과  $V_{DD}-V_{thA2}$ 로 충전된다. 이 때,  $V_{thA1}$ 과  $V_{thA2}$ 는  $M_{A1}$ 과  $M_{A2}$ 의 문턱전압이다.

데이터 1 읽기 경우, WL 상승 후 SLT는 유지 SLC는 하락하고,  $M_{A1}$ 과  $M_{A2}$ 는 꺼져있으므로  $X_1$ 과  $X_2$ 는  $V_{DD}-V_{thA1}$ 과  $V_{DD}-V_{thA2}$ 를 유지한다. 이 때, 먼저 PreSAEb 하강에 의해 사전 증폭기가 활성화된다. 이에 따라  $X_1$ 과  $X_2$ 에  $C_1$ 과  $C_2$ 에 의한 하강 커플링이 발생하여  $\Delta V_C$  만큼의 전압 강하가 발생하고,  $X_1$ 과  $X_2$ 의 전압  $V_{X1}$ ,  $V_{X2}$ 은 (2)가 된다.

$$V_{X1} = V_{DD} - V_{thA1} - \Delta V_C$$

$$V_{X2} = V_{DD} - V_{thA2} - \Delta V_C \tag{2}$$

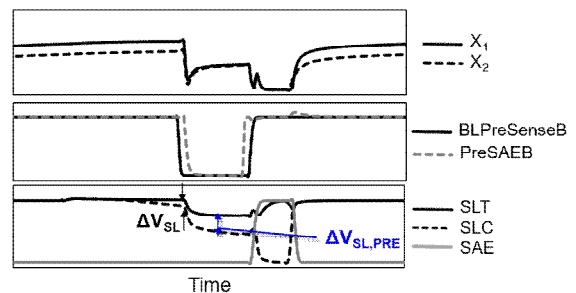


Fig. 5.  $X_1$  and  $X_2$  waveforms for  $V_{th,A2}=V_{th,A1}+100mV$ .  
그림 5.  $V_{th,A2}=V_{th,A1}+100mV$ 일 때  $X_1$ 과  $X_2$  동작

이 때, SLC가 하락한 양을  $\Delta V_{SL}$ 이라고 하면, SLC의 전압은  $V_{DD} - \Delta V_{SL}$ 이므로  $M_{A1}$ 과  $M_{A2}$ 의  $V_{OV}$ 는 (3)와 같이 된다.

$$\begin{aligned} V_{OV,A1} &= V_{DD} - \Delta V_{SL} - V_{X1} - V_{thA1} = -\Delta V_{SL} + \Delta V_C \\ V_{OV,A2} &= V_{DD} - V_{X2} - V_{thA2} = \Delta V_C \end{aligned} \quad (3)$$

$V_{OV,A1}$  대비  $V_{OV,A2}$ 가 더 크므로  $M_{A2}$ 의 전류가  $M_{A1}$  전류보다 더 크고, SLC가 SLT보다 더 크게 감소하기 시작한다. 이는 다시금  $V_{OV,A1}$ 가  $V_{OV,A2}$ 보다 더 급격히 하락하게 하고,  $M_{A2}$ 와  $M_{A1}$ 의 전류 차이를 더욱 크게 하여 SLC와 SLT의 전압차를 크게 하는 양성 피드백을 이룬다. 즉, SLT와 SLC 모두 하강하되, 두 전압 차가 증폭되며 하강하고 (그림 4의  $\Delta V_{SL,PRE}$ ),  $X_1$ 과  $X_2$ 가 상승해  $M_{A1}$ 과  $M_{A2}$ 가 꺼지면 증폭을 멈추게 된다.

중요한 점은 식 (3)으로 도출된 제안 구조의  $V_{OV}$ 는  $V_{th}$ 와 상관없이 오직  $\Delta V_{SL}$ 에 의해서만 결정되는 것이다. 설령  $V_{th,A2}$ 가  $V_{th,A1}$ 보다 크더라도  $M_{A2}$ 의 전류가 더 커 SLT보다 SLC의 감소가 더 크다는 사실이 변함 없으므로  $V_{th}$  편차에 의한 오류 가능성이 없다. 따라서 PreSAEB는 SAE보다 더 일찍 인가되어 더 작은  $\Delta V_{SL}$ 이 인가되는 조건에서도 정확히 두 전압 차를 증폭할 수 있다.

사전 증폭이 끝나면  $X_1$ 과  $X_2$ 는 0으로 방전되 후 다음 주기의 사전 충전 단계에서 SLT과 SLC가  $V_{DD}$ 로 충전될 때 식(2)와 같이 충전되면서 다음 읽

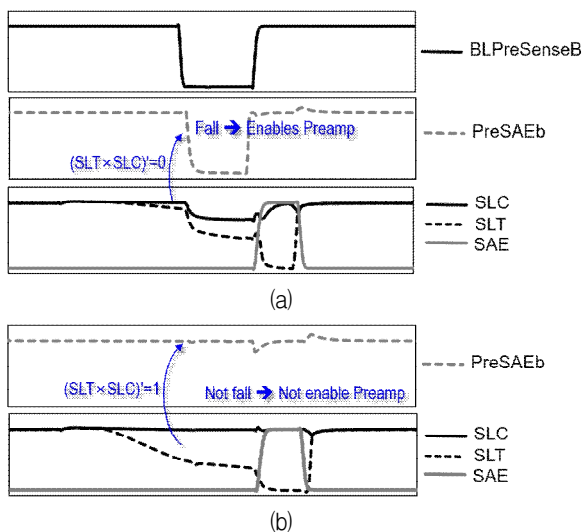


Fig. 6. Waveform comparison for the (a) slow selected and (b) normal selected bitcell.

그림 6. (a) 느린 비트셀 및 (b) 평균 비트셀 선택 시 파형 비교

기 동작을 준비한다. 그림 5는 공정 편차에 의해  $V_{th,A2}$ 이  $V_{th,A1}$ 보다 100mV 큰 경우  $X_1$ 과  $X_2$ 의 시물레이션 파형을 나타낸다.  $M_{A2}$ 의 낮은 전류 구동성을 소스 전압인  $X_2$ 을 상대적으로 낮게 충전함으로써 보상하는 것을 확인할 수 있다.

나. 선별 사전 증폭기의 활성화 신호 생성 회로

그림 3의 Selective Preamplifier Enable 회로는 BLPreSenseB가 0이 되면 PreSAEB를 하강시켜 사전 증폭기를 활성화한다. 이 때, SLT와 SLC의 NAND2의 출력이 0인 경우에만 PreSAEB가 하강하고 그렇지 않은 경우 PreSAEB는 1을 유지한다. 즉, BLPreSenseB가 0인 시점에 SLT와 SLC의 NAND2 출력인  $(SLT \times SLC)'$ 에 따라 선별적으로 사전증폭기를 활성화하는 것이다.

이는 사전 증폭기 동작을 느린 비트셀이 선택되었을때만 선택적으로 동작하기 위함이다. 만약 느린 비트셀이 선택되지 않으면 BLPreSenseB가 0이 되는 시점에 SLT와 SLC 중 하나가 충분히 하강,  $(SLT \times SLC)'=1$ 가 된다. 앞서 다루었던 그림 2와 그림 4는 이해를 돕기 위해 느린 비트셀 (패스트 트랜지스터의  $V_{th}$ 를 +5 $\sigma$  강제 조절)이 선택되었을 때 시물레이션 결과를 나타낸 것이다. 그림 6은 선택 비트셀의 속도가 평균일 때와 느릴 때 주요 동작 파형을 비교하여 보여준다. 느린 비트셀이 선택되지 않는 한 SAE 상승 훨씬 이전 SLC가 충분히 하강하여 BLPreSenseB 하강 시점에  $(SLT \times SLC)'=1$ 이 되고, 이에 PreSAEB가 1로 유지되어 사전 증폭기가 활성화되지 않는다.

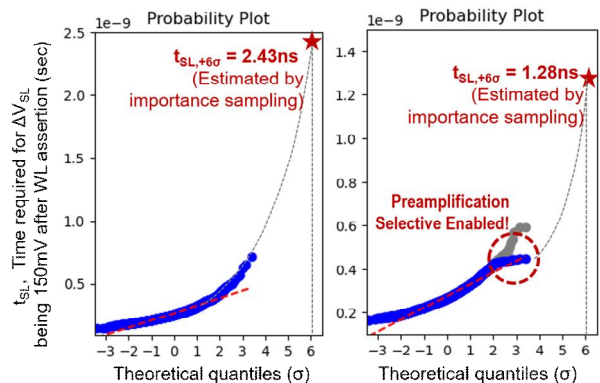


Fig. 7.  $t_{SL}$  distribution in (a) the conventional circuit and (b) proposed circuit.

그림 7. (a) 기존 회로 및 (b) 제안 회로에서  $t_{SL}$ 분포

즉, 느린 비트셀이 선택되어 사전 증폭이 필요한 경우에만 사전 증폭기를 활성화고, 이에 따라 사전 증폭기가 동작하는 빈도를 최소화 한다. 따라서, 커플링 기반 오프셋 보상 및 사전 증폭에 따른 전력 낭비를 줄일 수 있다.

### 3. 모의실험 및 분석

ASAP 7nm finFET PDK [4]를 이용하여  $V_{DD} = 0.6V$ 에서 Monte Carlo (MC) HSPICE 시뮬레이션을 통해 제안 회로 성능을 검증하였다. 한 열 (Column) 당 비트셀 수는 256으로, 4개의 열이 하나의 감지 증폭기를 공유한다고 가정하였다.

앞서 언급했듯 감지 증폭기의  $V_{off,SA}$ 는 평균이 0 이고 20~30mV 수준 표준편차를 갖는다.  $\Delta V_{SL}$ 은  $V_{off,SA}$ 보다 커야 정상 동작하고, 제품 개발 통상 수율 목표인 6시그마 수율을 갖기 위해서는  $\Delta V_{SL}$ 이  $6 \times 25mV = 150mV$ 는 되어야 한다. 따라서 WL 상승 후 SAE가 상승할 수 있는 시간은  $\Delta V_{SL}$ 가 150mV 보다 커지는 이후로 결정한다.

그림 7(a), (b)는 WL 상승 후  $\Delta V_{SL} = 150mV$ 가 되는 시간,  $t_{SL}$ 의 분포를 Q-Q plot을 통해 기존 회로와 제안 사전 증폭기가 적용된 회로에서 비교한 것이다. MC 시뮬레이션으로는  $t_{SL}$ 의 6시그마 값인  $t_{SL,+6\sigma}$ 을 구할 수 없으므로 Importance sampling, IS[5]을 통하여 유추하였다. 저전압 딜레이 특성 상 점선으로 표시한 정규분포를 벗어나는데, 그림 7(a)의 기존 회로는 +6시그마 느린 비트셀이 WL 상승 이후 2.43ns이 지나서야  $\Delta V_{SL}=150mV$ 가 확보된다. 그림 7(b)는 WL 상승 후 BLPreSenseB 하강시키는 시간인  $t_{PRE}$ 가 400ps 일 때 사전 증폭기를 선별적으로 활성화시킨 결과이다. 명확한 이해를 위해

서 회색 점으로 활성화가 안된 경우를 같이 표현하였다. 일정이하로 느린 비트셀의 경우만 선별적으로 사전 증폭이 활성화되어  $t_{SL}$ 이 급격히 개선되는 것을 확인할 수 있다. IS로 유추한  $t_{SL,+6\sigma}$ 는 1.28ns로, 기존 회로 대비 SAE 상승 시간을 47% 개선된 것이다.

$t_{SL,+6\sigma}$ 를 넘지 않는 한  $t_{PRE}$ 를 증가시킬수록 사전 증폭기는 더 큰  $\Delta V_{SL}$ 를 받아 동작할 수 있고, 이에 따라 증폭 결과인  $\Delta V_{SL,PRE}$ 도 증가하므로  $t_{SL,+6\sigma}$ 가 개선된다. 뿐만 아니라,  $t_{PRE}$ 가 크면 사전 증폭기 활성화 시점에  $\Delta V_{SL}$ 가 증가하여 사전 증폭기를 활성화할 가능성이 줄어든다. 즉, 비교적 적은 빈도로 사전 증폭기가 활성화 되므로, 사전 증폭에 의한 에너지 소모 또한 개선할 수 있다.

그림 8(a)는  $t_{PRE}$ 증가에 따른  $t_{SL,+6\sigma}$  개선 결과이고, 그림 8(b)는 4개 열에서 읽기 에너지 소모를 나타낸다.  $t_{PRE} = 1ns$ 인 경우 기존  $t_{SL,+6\sigma} = 1.1ns$ 로 기존 회로의 2.43ns 대비 55% 더 빠르게 감지 증폭을 수행할 수 있다. 그림 8(b)에서 보듯, 사전 증폭기는 전체 읽기 에너지의 10% 이상에 달하는 큰 에너지를 소모하지만, 선별 활성화 회로에 따라  $t_{PRE} = 400ps$ 인 경우, 사전 증폭이 활성화되는 비율이 4%,  $t_{PRE} > 600ps$ 인 경우 0.1% 이하로 줄어들며, 에너지 소모 증가가 무시할 수 있을 정도로 작아진다. 따라서, 컬럼에서 에너지 소모는 4.45% 증가로 작다.

ASAP 7nm에서 제안 사전 증폭 회로를 layout을 진행하였으며,  $256 \times 128$  서브어레이를 두 개 갖는 메모리 인스턴스에서 사전 증폭기로 인한 면적 증가는 6% 이내로 크지 않은 수준이다.

### III. 결론

본 논문에서 제안된 사전 증폭회로는 읽기 속도를 결정하는 감지 증폭기 활성화 시간을 55% 개선하였고, 선별적으로 사전 증폭 회로를 활성화 함으로써 에너지 소모 증가를 4.45%이하로 제한하였다. 추후 최적화를 통해 에스램에 적용되면, 큰 면적이거나 에너지 소모 증가 없이, 전체 SoC 성능을 상당히 개선할 수 있을 것으로 보인다.

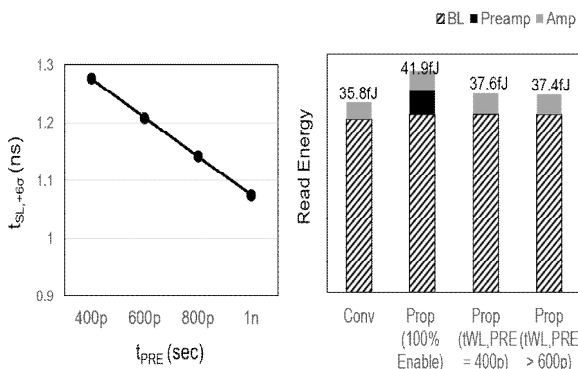


Fig. 8. (a)  $t_{SL,+6\sigma}$  vs.  $t_{PRE}$  and (b) Read Energy comparison. 그림 8. (a)  $t_{SL,+6\sigma}$  vs.  $t_{PRE}$  및 (b) 읽기 에너지 비교

## References

- [1] MJM. Pelgrom, et al., “Matching properties of MOS transistors,” *IEEE Journal of solid-state circuits*, Vol.24, No.5: pp.1433–1439, 1989.  
DOI: 10.1109/JSSC.1989.572629
- [2] B. Mohammad, et al. “Comparative study of current mode and voltage mode sense amplifier used for 28nm SRAM,,” *2012 24th International Conference on Microelectronics (ICM). IEEE*, pp.1–6, 2012. DOI: 10.1109/ICM.2012.6471396
- [3] H. Jeong et al. “Bitline precharging and preamplifying switching pMOS for high-speed low-power SRAM,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, Vol.63, No.11, pp.1059–1063, 2016.  
DOI: 10.1109/TCSII.2016.2548100
- [4] L. T. Clark, et al., “ASAP7: A 7-nm FinFET Predictive Process Design Kit,” *Microelectronics Journal*, vol.53, pp.105–115, 2016.  
DOI: 10.1016/j.mejo.2016.04.006
- [5] T. S. Doorn, et al. “Importance sampling Monte Carlo simulations for accurate estimation of SRAM yield,” *ESSCIRC 2008–34th European Solid-State Circuits Conference. IEEE*, pp.230–233, 2008.  
DOI: 10.1109/ESSCIRC.2008.4681834

---

## BIOGRAPHY

---

### Hanwool Jeong (Member)



2012 : BS degree in Electronic and Electrical Engineering, Yonsei University.

2017 : PhD degree in Electronic and Electrical Engineering, Yonsei University.

2017~2019 : Staff Engineer, Samsung Electronics.

2019~2021 : Assistant Professor, Kwangwoon Univeristy