

LiDAR 시스템용 절대시간 측정을 위한 위상고정루프 기반 시간 디지털 변환기 설계

유상선*

Design of Phase Locked Loop (PLL) based Time to Digital Converter for LiDAR System with Measurement of Absolute Time Difference

Sang-Sun Yoo*

*Assistant professor, Department of Smart Automobile, Pyeongtaek University, Pyeongtaek-si, 17869 Korea

요약

본 논문은 절대 시간 측정 가능한 시간 디지털 변환기에 대한 논문으로 제안하는 시간 디지털 변환기는 0.18-um CMOS 공정을 이용하여 설계 되었고 IC로 제작하여 검증하였다. 설계된 시간 디지털 변환기는 라이다 시스템에 적용하기 위하여 긴 측정시간과 절대적인 50ps를 측정할 수 있어야하는데 위상고정루프의 625MHz 클록을 기준클록으로 사용하기 때문에 절대시간의 측정이 가능하며 디지털 보정회로를 이용하여 어떤 상황에서든 50ps의 분해능을 가질 수 있다. 기준클록을 카운터하여 큰 시간 단위의 측정을 할 수 있어 최대 800ms의 시간이 측정가능하고 딜레이 체인을 이용하여 정밀한 시간 값을 측정 할 수 있다. 결과적으로 제작된 시간 디지털 변환기는 50ps 단위로 시간을 측정할 수 있는데 최대 오차는 INL 0.8-LSB정도이며 1.8V 인가전압에 전력 소모는 약 70mW 정도이다.

ABSTRACT

This paper presents a time-to-digital converter for measuring absolute time differences. The time-to-digital converter was designed and fabricated in 0.18-um CMOS technology and it can be applied to Light Detection and Ranging system which requires long time-cover range and 50ps time resolution. Since designed time-to-digital converter adopted the reference clock of 625MHz generated by phase locked loop, it could have absolute time resolution of 50ps after automatic calibration and its cover range was over than 800ns. The time-to-digital converter adopted a counter and chain delay lines for time measurement. The counter is used for coarse time measurement and chain delay lines are used for fine time measurement. From many times experiments, fabricated time-to-digital converter has 50 ps time resolution with maximum INL of 0.8 LSB and its power consumption is about 70 mW.

키워드: 시간디지털 변환기, 라이다, 시간 측정, 위상고정루프, 카운터

Keywords: TDC, LiDAR, Time measurement, PLL, Counter

Received 4 April 2021, Revised 11 April 2021, Accepted 19 April 2021

* Corresponding Author Sang-Sun Yoo (E-mail:syoo@ptu.ac.kr, Tel:+82-31-350-8350)

Assistant professor, Department of Smart Automobile, Pyeongtaek University, Pyeongtaek-si, 17869 Korea

Open Access <http://doi.org/10.6109/jkiice.2021.25.5.677>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

최근 자율주행 자동차에 요구가 증가함에 따라 저가로 구현 가능한 LiDAR (Light Detection and Ranging) module 및 IC에 대한 연구가 활발해 지고 있다. 카메라를 이용하는 방식에 비해 필요한 데이터양을 줄일 수 있고 기상이나 주변 환경의 영향을 상대적으로 덜 받기 때문에 LiDAR가 자율 주행을 위한 필수 시스템으로 자리 잡고 있다[1]. LiDAR 시스템에서는 거리를 측정하는데 있어서 간접 감지 기술 (Indirect types of Time of Flight, IToF) 과 직접 감지 기술 (Direct types of Time of Flight, DToF) 이 사용된다. 간접 감지 기술은 광 펄스가 이동하는데 걸리는 왕복 비행시간을 측정하여 분석을 하는 반면 직접 감지 기술은 반사되어 돌아오는 신호의 위상 차이를 계산하여 거리를 계산한다. 일반적으로 장거리 계측용 LiDAR는 DToF 구조 [2]를 채택하고 단거리 계측용 LiDAR는 IToF 구조 [3][4]를 채택하고 있다. 시간이나 위상을 측정하기 위해서 전압 정보로 변경하여 시간을 측정하는 고속 샘플링 가능한 Analog to Digital Converter (ADC)를 사용하게 되는데 피코초 단위 수준의 신호를 처리하기 위해서는 전력소모가 커질 수밖에 없는 단점을 가지게 된다 [5]. 또한 미세 반도체 공정으로 갈수록 반도체 공정의 집적도는 증가하지만 공급 전압이 감소하기 때문에 시간을 전압으로 변경하는 ADC 기반의 아날로그 회로의 설계가 더욱 어려워지고 있다. 이러한 문제를 해결하기 위한 방안으로 ADC 대신 시간 디지털 변환기 (Time to Digital Converter, TDC)를 사용하려는 연구가 진행되고 있다.[6] 시간을 전압으로 변경하여 측정하는 ADC 기반의 방식과 달리 TDC의 경우 직접적으로 시간을 측정하는 방식이기 때문에 반도체 공정이 미세화 될수록 더 유리해지는 장점을 가지고 있으며, 대부분의 회로가 디지털 블록으로 구성되어 있기 때문에 반도체 공정이 변화하였을 때 재설계하는 시간을 단축할 수 있고 오류가 생겼을 경우를 대비한 보상 회로의 설계가 용이하다.

종래의 TDC는 All Digital Phase Locked Loop (ADPLL)에 사용되는 블록으로 상대적인 시간 차이를 측정하는 용도로 사용 되었는데 LiDAR 시스템에 적용을 위해서는 절대적인 시간을 측정할 수 있는 TDC의 개발이 필요하여 본 연구에서는 기존의 TDC에서 높은 시간해상도 (time resolution)를 가지면서 긴 시간을 측정

하기 어려웠던 구조적 문제를 해결하기 위하여 카운터를 기반으로 시간을 측정하면서 Chain Delay Line (CDL)을 이용하여 미세 시간 측정도 가능한 TDC를 제안하였다. 특히, 기준 클럭(Reference Clock)을 사용하는 위상고정루프(Phase Locked Loop, PLL)를 활용하여 고정적인 주파수 생성을 통해 절대적인 시간 측정이 가능한 TDC를 제작하고 이를 검증하였다.

II. TDC 특성과 설계 고려 사항

TDC가 제안된 초기 응용분야이며, 가장 널리 사용되고 있는 ADPLL 분야에서는 어떻게 하면 높은 선형성을 가지고 작은 시간해상도를 만들 것인가가 주된 설계 이슈였다 [7]. ADPLL에서는 절대적인 시간 해상도보다는 칩 내부에서 일정한 시간의 간격을 디지털 코드로 나타내는 상대적인 해상도가 중요하고 시간해상도가 일정하게 구현되는 선형성이 중요하다. 절대 시간 해상도의 변화는 크게 문제 되지 않으며 위상고정루프의 시간 지터 (Timing Jitter) 혹은 위상 잡음 (Phase Noise)이 조금 열화되는 정도일 뿐이다. 하지만 시간을 측정하여 거리를 계산하는 LiDAR 시스템에서는 온도 및 공정 변화나 진동이 큰 환경에서도 절대적인 시간해상도가 보장되어야 하며 최소 1-LSB의 변화보다 작은 선형성이 유지되어야 한다. 따라서, 반도체 웨이퍼의 상태나 공정 변수에 따른 환경적 요인에도 변하지 않는 절대적인 시간 해상도가 필요하다. LiDAR 시스템에서 광펄스를 송신하고 반사되어 돌아오는 시간을 측정하여 거리로 변화시키는 방식에서 거리는 식 (1)과 같이 표현된다.

$$d = \frac{2 \times \Delta t}{3 \times 10^8} \quad (1)$$

d 는 빛을 반사시키는 장애물까지의 거리이고 Δt 는 광펄스를 송신하고 수신하는데 까지 걸리는 시간이다. 거리 측정을 위해서는 Δt 를 빛의 속도로 나눠야하며 왕복 거리를 계산해야하기 때문에 상수 2를 곱해야한다. 식(1)을 활용하여 1 cm 단위로 거리를 측정하기 위한 시간해상도를 계산하면 66.7 ps의 시간해상도가 필요하며 100m까지의 측정을 위해서는 667ns 까지의 긴 시간을 측정할 수 있어야 한다. TDC 설계에 있어서 시간해상도를 높이면서 측정 가능한 시간의 범위를 늘리는 일은 매

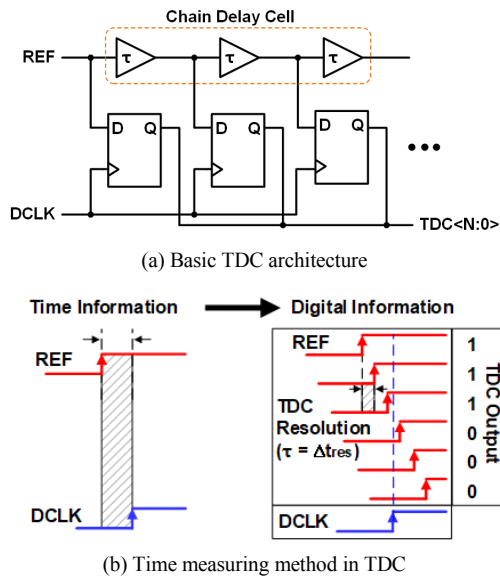


Fig. 1 Chain delay TDC and example of time measurement

우 어려운 일인데, 여기에 절대적인 시간해상도까지 맞춰야하기 때문에 새로운 TDC 설계방법과 구조가 필요하다.

그림 1은 기본적인 TDC의 동작원리를 보여준다. 송신 신호와 수신된 신호의 차이가 그림1과 같을 때, 송신 신호를 특정 체인 지연 셀 (Chain Delay Cell)을 통하여 시간지연 시키고 수신된 신호를 디지털 클럭과 플립플롭을 이용해 에지 트리거(Edge Trigger) 후 TDC 출력의 디지털 값이 변경되는 시점을 파악하여 거리를 계산한다. 예를 들어 그림1과 같이 하나의 딜레이 셀의 지연 시간을 50ps로 가정하고 신호를 송신한 뒤 수신된 신호를 이용하여 에지 트리거를 하였다고 가정하자. 2번 딜레이 시킨 신호와 3번 딜레이 시킨 신호 사이에서 디지털 값이 변경되고 있으므로 송신된 신호와 수신된 신호 사이의 시간 간격은 $50 \times 2 \sim 50 \times 3$ ps 사이의 값을 알 수 있고 그 결과 값은 디지털 코드로 나타내 진다. 디지털로 표현되는 부분이기 때문에 양자화 오차 (Quantization Error)가 발생하게 되는데 이를 줄이기 위해서는 시간지연 셀의 시간지연이 작을수록 유리하며 높은 시간해상도가 유리하다는 것을 의미한다. 50ps의 시간 해상도를 갖도록 TDC를 설계할 경우 1cm이하의 간격으로 거리를 측정 할 수 있지만 100m를 측정하기 위해서는 10,000개 이상의 시간지연셀과 플립플롭이 필요하다. 이럴 경우에 엄청난 전력소모와 칩 크기가 필요

하며 앞단의 시간 지연과 중간 및 뒷 단의 시간지연이 서로 다르게 구현되어 시간 측정에 오차가 발생하는 문제가 생긴다.

긴 시간 측정에 대한 이전 자료들을 살펴보면 카운터 기반 TDC의 활용이 효율적이다 [8]. 빠른 스피드의 클럭을 이용하여 한 주기를 기준으로 잡은 후, 측정하려는 시간 동안 클럭이 몇 번 반복되는지를 카운트하여 시간을 측정하는 방법으로 구조가 복잡하지는 않고 구현이 상대적으로 쉬워 많은 분야에서 사용되는 방법이다. 이 방식은 긴 시간까지 측정이 가능하다는 장점을 가지고 있지만 작은 시간해상도를 만들어 내기 위해서는 한 주기가 매우 짧은 초고주파 신호를 사용해야하는 문제점이 있다. 예를 들어 한 주기가 50ps 정도인 신호의 주파수는 20GHz이기 때문에 집적회로를 이용하여 카운트하는 것은 사실상 불가능하며 가능하다 하더라도 엄청난 전력 소모가 필요하게 된다. 이렇듯 50ps의 시간해상도를 가지면서 300ns 이상의 시간을 측정하는 것은 쉬운 일이 아니며 여기에 늘 일정한 시간해상도를 측정해야하기 때문에 기준 클럭을 활용한 TDC 설계기법이 필요하다. 또, 칩마다 공정, 전압, 온도 변동 (Process, Voltage, Temperature (PVT) Variation)이 존재하기 때문에 절대적인 시간 측정을 위해서는 여러 보정 (Calibration) 방식도 고려되어야 한다.

III. 위상고정루프기반 절대시간 측정용 TDC

이전의 TDC방식들과 달리 절대 시간의 측정을 위해서 환경에 변화에 변화가 적은 기준 클럭이 필요하여 위상고정루프 기반의 TDC를 제안하였다. 정교한 크리스탈 오실레이터를 이용하여 체배한 위상고정루프의 출력 또한 정교하고 일정한 주기를 갖기 때문에 측정하고자 하는 시간을 위상고정루프 주파수로 카운트하면 절대적인 시간의 측정이 가능하다. 다만, 매우 짧은 주기를 갖는 위상고정루프를 사용할 경우 2장에서 기술한 바와 같이 전력소모가 크게 증가하므로 카운터 방식의 TDC와 그림 1과 같은 Chain Delay Line (CDL)을 혼용하여 사용하면 카운트를 위한 위상고정루프 주파수의 부담을 덜어 낼 수 있다. 본 연구에서는 CDL의 기본 시간지연을 칩 내부에서 균일하게 유지하게 하기 위해서 8개의 시간지연 셀을 사용하였다. CDL의 시간해상도를

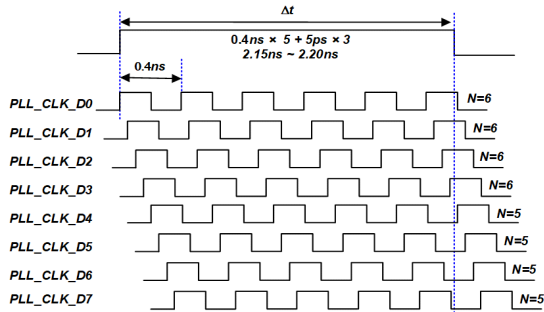


Fig. 2 Time measuring method of counter based TDC with CDL

50ps로 설계하면 CDL을 활용한 정밀(fine) TDC는 400ps, 0.4ns까지 측정이 가능하다. CDL이 커버하는 0.4ns를 한주기로 갖는 위상고정루프의 신호를 활용하여 측정하려는 시간을 카운트 한다면 매우 긴 시간을 50ps 단위로 측정하는 것이 가능하다. 그림 2는 제안하는 TDC의 시간 측정 방법의 예시를 보여준다. 위상고정루프 클럭과 측정 신호를 동기화 시킨 후 시간지연된 위상고정루프 클럭들을 가지고 카운트를 한다. 그림 2의 예에서 시간지연이 하나도 안 된 신호(PLL_CLK_D0)는 카운트 값이 6이 나오고, 시간지연이 3번 된 신호(PLL_CLK_D3)까지는 카운트 값이 6이 나오지만 4번 이상 시간지연된 신호(PLL_CLK_D4)부터는 카운트 값이 5가 나오게 된다. 카운터 값을 이용해도 측정신호의 시간 간격을 측정할 수 있다. 가장 작은 카운트 값 5는 $5 \times 0.4ns$ 를 의미하므로 카운터 TDC 값은 2ns이며 카운트 값이 6에서 5로 변경 되는 시점, D3~D4에서 바뀌므로 정밀(fine) TDC 값은 3이다. 따라서 $50ps \times 3 + 2ns = 2.15ns$ 에서 2.20ns 사이의 값이 측정신호의 시간 간격을 알 수 있다. 카운트 방식은 비교적 정확한 편이지만 특정 조건에서 오류가 날 수 있어 정밀 해상도 (fine resolution) 측정 시 측정 신호의 하강 에지 (Falling Edge)를 기준으로 트리거하여 정밀 값을 별도로 측정하고 카운트 값의 결과와 비교하여 최종 TDC의 출력 값을 출력하면 오차를 더 줄일 수 있다.

0.4ns의 주기를 갖는 2.5GHz 신호를 카운트하는 것도 사실상 큰 부담이며 전력소모가 크게 증가하고 개선된 sub-micron CMOS process를 사용하지 않고 가격이 비교적 싼 공정을 사용해서 칩을 만들 경우 카운트 자체를 못하는 경우가 발생한다. 이동통신에서 quadrature 신호를 만드는 방식을 활용하면 그림2와 유사한 방식을

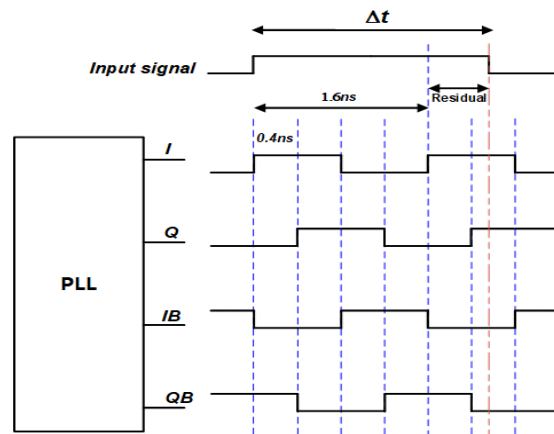
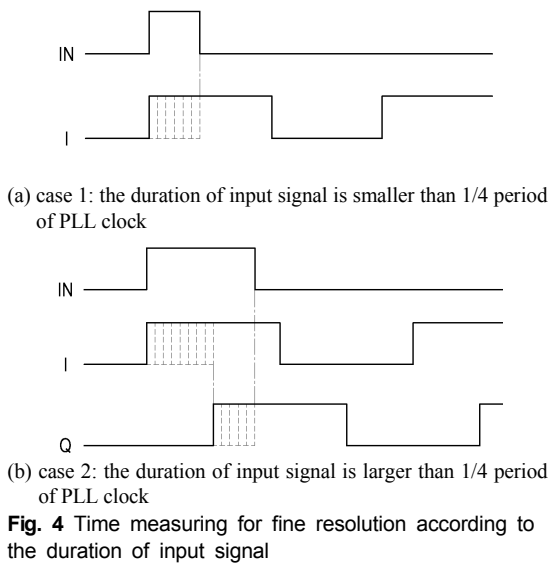


Fig. 3 Example of proposed TDC operation

사용하고도 1.6ns의 주기를 갖는 625MHz 신호로 TDC 구현이 가능하다. 빠른 클럭의 부담을 줄이기 위하여 병렬 구조로 펼쳐 주파수를 느리게 하는 효과를 만들어 내는 것이다. 그림 3에서 보는 바와 같이 90도 위상 차이가 나는 신호를 사용하기 때문에 실제 카운트 하는 신호는 625MHz로 낮아져 전력 소모와 공정에 대한 부담이 낮아진다. 그림 3의 예와 같이 한주기가 1.6ns인 I 클럭을 이용하여 카운트를 진행한다. 그 후 카운트하고 남은 잔여시간을 CDL로 측정하는데 CDL은 0.4 ns까지만 측정이 가능하다. 따라서 위상고정루프 신호의 한주기를 4등분하여 0~0.4ns는 I 경로 클럭이 측정하고 0.4~0.8ns의 경우는 Q 경로 클럭이 측정하며, 0.8~1.2ns는 IB 경로 클럭이, 1.2~1.6ns의 잔여 시간은 QB 경로 클럭을 통하여 측정이 이루어진다.

그림 4는 잔여시간에 따른 CDL의 측정 방법 예시를 보여주고 있다. 잔여 시간이 0.4ns 이하로 남은 경우에는 잔여시간의 하강 에지에서 CDL의 출력 값을 읽어 주면 되지만 (b)의 경우와 같이 잔여시간이 0.4~0.8ns 사이인 경우에는 I 클럭 경로의 CDL은 모두 '1' 값을 출력하게 되고 이 경우 Q 클럭 경로의 CDL로 측정 역할을 넘기게 된다. 결국 I, Q, IB, QB를 직렬 디지털 코드로 생각하고 1에서 0으로 바뀌는 구간을 찾으면 정밀 시간 측정 값을 알게 되는 것이다. 앞에서 설명한 동작의 구현을 위한 하드웨어 설계가 그림5에 나와 있다.

위상고정루프의 서로 다른 4개의 위상을 갖는 클럭을 이용하여 입력 시간을 측정한다. 카운터를 기반으로 40ns 단위로 시간 값을 측정하고 CDL을 이용하여 50ps



단위의 시간을 측정한다. 이때, 위상고정루프의 클럭과 측정하려는 신호가 동기화되어야 정확하게 입력 신호를 측정할 수 있고 시간 측정 오차를 줄일 수 있다. LiDAR 시스템의 경우 알고 있는 광펄스를 송신한 뒤 반사되어 돌아오는 시간차를 측정하는 것이므로 송신 신호를 위상고정루프의 클럭과 동기화 시켜서 송신하는데 큰 어려움이 없다. 우선 송신 신호와 수신 신호를 XOR 게이트를 이용하여 그림 5의 IN 같은 신호를 만들어 낸 뒤 I 경로의 신호와 위상고정루프 클럭을 동기화하여 4개 CDL의 입력으로 사용된다. I신호와 입력 신호가 동기화 되어 있으므로 I 신호를 카운트하면 큰 간격으로 시

간 측정이 가능하다. 위상고정루프의 주파수 625MHz를 사용하였으므로 1.6ns 단위로 측정이 가능하며 잔여 시간 값은 4개의 CDL을 이용하여 측정할 수 있다. 7개의 직렬 단(stage)으로 구성된 CDL이 각 경로마다 그림 5와 같이 설치되어 4개 CDL 모두가 측정에 사용된다. 설계된 CDL은 50ps의 딜레이를 가지도록 설계되어 있어 각각의 CDL은 0~350ps까지 측정이 가능하며 4개의 CDL을 사용할 경우 0~1.55ns까지 측정이 가능하기 때문에 카운터의 한주를 모두 커버하게 된다. 설계된 CDL은 2개의 병렬 경로를 사용하여 두 경로의 시간지연 차이가 50ps가 되도록 설계하였다. 0.18um 공정을 사용하여 시간지연 셀을 설계해보면 가장 작은 사이즈의 인버터(inverter)를 사용한다고 할지라도 2개를 직렬 연결하면 50ps이하의 시간지연을 만들기가 쉽지 않고 PVT 변동이 생길 경우 50ps보다 시간지연이 더 커질 수 있기 때문에 2개의 경로를 사용하는 Vernier type의 CDL을 채택하였다 [9]. TDC에서 시간지연 셀을 작게 만드는 것이 중요한데 절대적인 시간지연 1ps는 만드는 것이 불가능하지만 2개의 병렬 경로를 사용하여 50ps와 51ps를 만들어 주면 시간지연 차가 1ps가 나는 것과 동일한 효과를 얻을 수 있다는 것이 Vernier type의 장점이지만, 1ps의 시간지연 차이를 위해서 50ps를 시간지연 시켜야 결과 값을 얻을 수 있기 때문에 지연시간(latency)이 길어지고 전력소모가 늘어난다는 단점을 가진다. 본 논문에서는 7개의 지연셀만 사용하므로 Vernier TDC의 시간지연 단점이 크지 않아 사용에 큰 무리가 없었다. 그림 5의 t1을 넉넉하게 60ps 정도로 안정적으로 만들고 t2를 110ps로 만들어 50ps의 delay차이를 만들어 냈다. 여

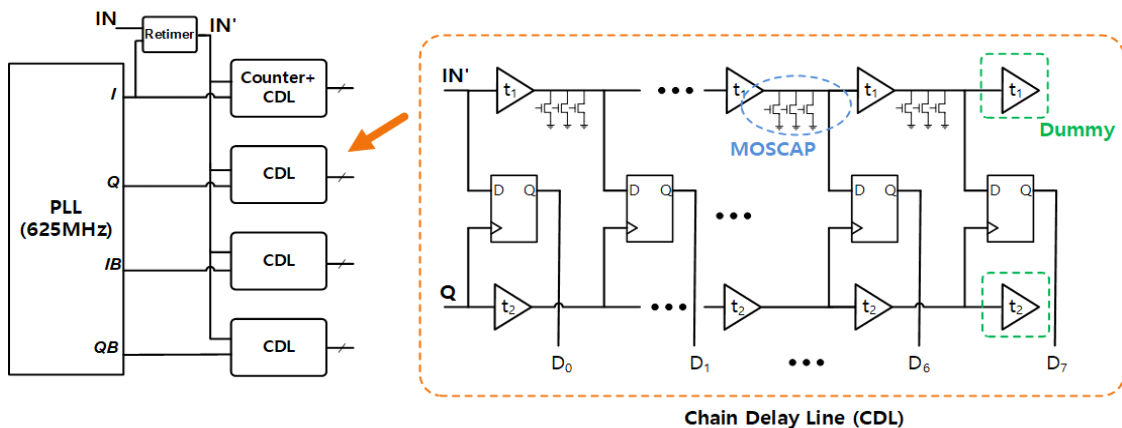


Fig. 5 Simplified PLL based TDC block diagram and configuration of designed CDL

기에 각 지연셀 사이에 MOS 커패시터를 달아 시간지연을 조절 할 수 있는 보정 회로를 추가 하였다. 3bit binary MOS capacitor를 삽입하여 PVT 변동에 따라 시간지연을 늘리거나 줄여 두 경로 사이의 시간지연 차가 50ps가 되도록 설계를 진행하였다. 주파수가 높은 경로는 상승-하강 시간 (Rising Falling time)이 증가 할 수 있어 주파수가 느린 경로에 MOS capacitor를 추가 하였다. 위상 고정루프로부터 받은 기준클럭을 활용하여 90도 위상차이 마다 8 스텝의 시간지연 코드가 나오도록 시간지연을 보정 하였다. 위상 고정루프의 I, Q 클럭의 시간차가 400ps이므로 이 사이에 CDL 시간지연이 8개 들어가도록 보정을 해주면 약간의 오차는 있지만 50ps 차의 시간지연을 유지할 수 있다. 이때, 기준클럭을 각 시간지연셀 별로 적용하기는 어렵기 때문에 시간지연셀별로 지연시간 보정은 어렵고 위상 고정루프 클럭 차이인 400ps안에 8번의 CDL 시간지연이 들어가도록 경로마다 보정할 수는 있다. TDC는 시간지연에 민감한 블록이므로 레이아웃을 최대한 대칭으로 하고 더미를 활용하여 부하 조건을 최대한 동일하게 설계하고 레이아웃하는게 중요하다. 각 시간지연셀간의 부조화(mismatch)는 물론 입력 경로와 위상 고정루프 클럭 경로간의 시간지연 불일치까지 최소화할 수 있는 배치와 레이아웃이 중요하며 레이아웃상 주변 환경, 주변의 액티브 소자의 유무 및 이격 정도까지도 최대한 동일하도록 배치하고 라우팅하는 것이 중요하다.

IV. 측정 및 결과분석

제안하는 TDC는 0.18-um CMOS process를 이용하여 제작되었으며 칩 사진과 측정보드는 그림 6에 나타

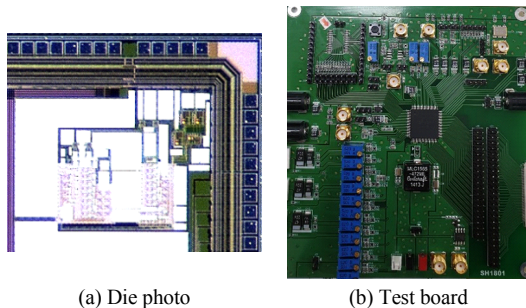


Fig. 6 Fabricated TDC die photo and test board

나 있다. 칩 제작비용을 줄이면서 아이디어를 검증하기 위하여 1개의 CDL 경로만 IC로 구현하였으며 카운터, CDL, 디지털 보정 회로, 직렬주변기기 인터페이스 (SPI), 출력 버퍼등을 포함하고 있다. 시뮬레이션 대비 시간지연이 더 크게 나오는 것을 확인하여 MOS capacitor를 2 code 작게 만들어 측정을 진행하였으며 정밀 분해능 측정결과는 그림 7과 그림 8에 나타나 있다. 그림 7은 위상 고정루프 신호를 사용하지 않고 CDL만을 사용하여 측정한 결과이며 TDC 출력 코드가 0에서 1, 1에서 2로 바뀌는 시간차이를 그림으로 그려 넣었다. 측정 보드에 실장하는 과정에서 살아남은 정상 동작 샘플 #1, #2, #3 샘플을 측정하였고, 샘플간 시간지연차이가 조금 있었지만 측정 오차 범위 정도로 생각할 수 있다. TDC 측정 결과를 이상적인 시간지연과의 차이와 비교하여 보면 그림 8에서 보는 바와 같이 50ps에서 ± 5% 정도의 변동을 보였으며 이를 (Integral Non Linearity) INL로 표시하면 ± 0.1 LSB이하의 성능을 보였다. 하지만, 외부에서 625MHz의 위상 고정루프 신호를 인가하여 카운트한 값과 CDL의 출력을 연계하여 측정한 결과는 위

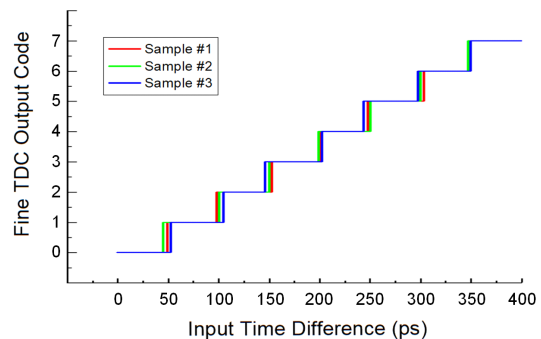


Fig. 7 Measured fine resolution of fabricated TDC

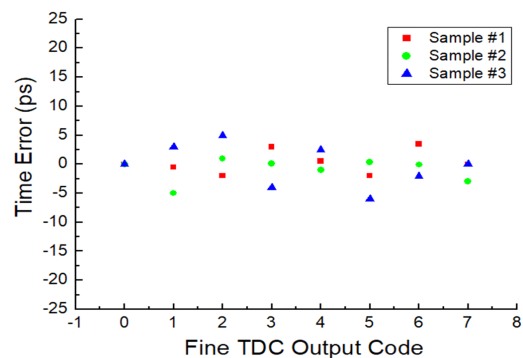


Fig. 8 Measured time error of fabricated TDC

상고정루프의 지터와 보드상에서의 RF 커플링 때문에 측정에 어려움이 많았고 실딩 라인을 삽입하고 여러 종의 보드를 제작하여 외부 노이즈를 최소화하였지만 그림 9에서 보는 바와 같이 CDL 입력 단에서 13ps 정도의 오차는 제거가 불가능하였다. 입력 신호를 만들어 내는데 한계가 있어 모든 경우에 대하여 측정을 해보기는 어려웠지만 표 1과 같이 I 신호로만 측정 할 수 있는 케이스를 만들어 반복 측정해본 결과 최대 INL 0.8 LSB 정도를 얻을 수 있었다.

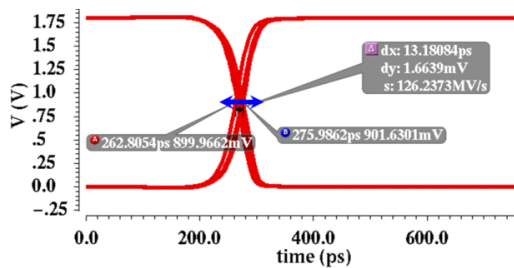


Fig. 9 PLL clock jitter in TDC input stage

설계된 TDC는 0~49ps 사이 값은 0으로 디지털화 되도록 설계되었다. 표 1의 4번 실험의 경우 2.39ns의 입력에 대해서 2.35 ns에 해당하는 디지털 값이 나와야하는데 위상고정루프의 지터와 잡음들에 의해서 2.4ns에 해당하는 디지털 값이 나왔으며 이때 오차는 40ps라고 볼 수 있다. 여러 번의 실험 결과에서 1-LSB인 50ps 이상의 오차는 찾아보지 못했지만 실험 횟수를 더 많이 늘리고 4개의 패스를 모두 구현한다면 오차율은 조금 더 커질 수 있을 것이라 판단된다. 1cm단위로 거리 측정을 하는 시스템을 가정하면 최대 0.8cm의 오차가 발생하는 정도의 수준인데 이상적인 TDC의 양자화 오차가 1cm (1-LSB)정도이기 TDC의 에러율이 1.5 LSB이하인 경우라면 충분히 사용 가능할 것으로 예상된다. 한 개의 CDL로만 구현한 TDC의 전류 소모는 1.8V supply voltage를 사용하였을 때 13 mA 이었고 4개의 패스를 모두 구현한다면 40mA 정도의 전류를 소모할 것으로 예상된다. 칩 면적과 입출력 패드 숫자 때문에 1개의 CDL과 카운터만 IC로 제작하였는데 4개의 패스를 구현한 것으로 가정하고 설계된 TDC의 성능을 표2에 요약하였다. 카운터는 I 경로에만 적용 되는 것이므로 카운터를 제외한 CDL 전력소모를 4배하여 총 전력 소모를 계상하였다. 최대 측정 시간 (Maximum Cover Range)이 다른 TDC

들에 비하여 우수하며 전력 소모 또한 이전의 연구들에 비해 비슷하거나 약간 적은 수준이다. 긴 시간의 측정 가능한 이전연구 [11]과 비교하였을 때, 칩면적과 전력소모가 모두 우수한 것을 확인 할 수 있다.

Table. 1 Measurement results and expected output value of TDC

No	Input (ns)	Expected (ns)	TDC out (ns)	Diff (ps)
1	2.41	2.4	2.4	0
2	2.38	2.35	2.35	0
3	2.43	2.4	2.4	0
4	2.39	2.35	2.4	40
5	2.23	2.2	2.2	0
6	2.36	2.35	2.4	40
7	2.42	2.42	2.45	30
8	2.45	2.4	2.4	0
9	2.36	2.35	2.4	40
10	2.96	2.95	3	40

Table. 2 Performance summary and comparison with others previous works

Parameter	I2MTC 2013 [10]	TCAS I 2013 [11]	TIM 2020 [12]	This Work
Technology (nm)	130	350	350	180
Supply Voltage (V)	1.3	3.3	3.3	1.8
Power (mW)	169	80	215	72a)
Resolution (ps)	5	10	71	50
Max. Cover Range (nm)	0.64	1.6	581	820
INL (LSB)	1.3	1.9	1	0.8b)
Area (mm ²)	1.29	0.3	17.2	2.2c)

a) Expected power consumption from that of 1 path and counter

b) Measured value by using 1-path CDL and counter

c) Estimated area assuming 4-CDL paths

V. 결론

LiDAR 시스템에서 거리 측정을 하기 위해서 절대시간 50ps 단위로 측정 가능한 위상고정루프 기반의 새로운 TDC에 대한 구조를 제안하고 IC로 제작하여 검증하

였다. 제작한 TDC를 검증한 결과 이상적인 TDC 대비 40ps 정도의 오차를 갖는 TDC를 설계하였고 LiDAR 시스템에 적용할 경우 최대 0.8 cm 정도의 오차가 생길 것으로 예상되어 기존 ADC 방식을 대체할 수 있을 것으로 판단된다.

ACKNOWLEDGEMENT

This paper was supported by the Research Fund, 2019, Pyeongtaek University in Korea

REFERENCES

- [1] B. Yoon and S. Yoo, "Maples navigation based on DQN considering moving obstacles, and traing time reduction algorithm," *Journal of the Korea Instiute of Information and Communication Engineering*, vol. 25, no. 3, pp. 377-383, Mar. 2021.
- [2] M. Perenzoni, D. Perenzoni, and D. Stoppa, "A 64×64-pixels digital silicon photomultiplier direct TOF sensor with 100-MPhotons/s/pixel background rejection and imaging/altimeter mode with 0.14% precision up to 6 km for spacecraft navigation and landing," *IEEE J. Solid-State Circuits*, vol. 52, no. 1, pp. 151-160, Jan. 2017.
- [3] F. M. D. Rocca, H. Mai, S. W. Hutchings, T. A. Abbas, K. Buckbee, A. Tsiamis, P. Lomax, I. Gyongy, N. A. W. Dutton, and R. K. Henderson, "A 128x128 SPAD motion-triggered time-of-flight image sensor with in-pixel histogram and column-parallel vision processor," *IEEE J. Solid-State Circuits*, vol. 55, no. 7, pp. 1762-1775, Jul. 2020.
- [4] M. L. Hafiane, W. Wagner, Z. Dibi, and O. Manck, "Depth resolution enhancement technique for CMOS time-of-flight 3-D image sensors," *IEEE Sensors J.*, vol. 12, no. 6, pp. 2320-2327, Jun. 2012.
- [5] M. Liu, H. Liu, X. Li, and Z. Zhu "A 60-m range 6.16-mW laser-power linear-mode LiDAR system with multiplex ADC/TDC in 65-nm CMOS," *IEEE Trans. Circuits Syst. I Reg. Papers*, vol. 67, no. 3, pp. 753-764, Mar. 2020.
- [6] C. Hong, S. Kim, J. Kim, and S. M. Park, "A linear-mode LiDAR sensor using a multi-channel CMOS transimpedance amplifier array," *IEEE Sensors J.*, vol. 18, no. 17, pp. 7032-7040, Sep. 2018.
- [7] Y. Wang, X. Zhou, Z. Song, J. Kuang, and Q. Cao, "A 3.0-ps rms precision 277-MSamples/s throughput time-to-digital converter using multi-edge encoding scheme in a Kintex-7 FPGA," *IEEE Trans. Nucl. Sci.*, vol. 66, no. 10, pp. 2275-2281, Oct. 2019.
- [8] P. Kwiatkowski and R. Szplet, "Efficient Implementation of Multiple Time Coding Lines-Based TDC in an FPGA Device," *IEEE Trans. Instrum. Meas.*, vol. 69, no. 10, pp. 7353-7364, 2020.
- [9] H. Wang, F. F. Dai, and H. Wang, "A reconfigurable Vernier time-to-digital converter with 2-D spiral comparator array and second-order $\Delta\Sigma$ linearizatio," *IEEE J. Solid-State Circuits*, vol. 53, no. 3, pp. 738-749, Mar. 2018.
- [10] L. Perktold and J. Christiansen, "A fine time-resolution (3 ps-rms) time-to-digital converter for highly integrated designs," in *Proc. IEEE Int. Instrum. Meas. Technol. Conf. (I MTC)*, Minneapolis: MN, pp. 1092-1097, May. 2013.
- [11] B. Markovic, S. Tisa, F. A. Villa, A. Tosi, and F. Zappa, "A high linearity, 17 ps precision time-to-digital converter based on a single-stage Vernier delay loop fine interpolation," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 60, no. 3, pp. 557-569, Mar. 2013.
- [12] J. P. Jansson, P. Keranen, S. Jahromi, and J. Kostamovaara, "Enhancing nutt-based time-to-digital converter performance with internal systematic averaging," *IEEE Trans. Instrum. Meas.*, vol. 69, no. 6, pp. 3928-3935, Jun. 2020.



유상선(Sang-Sun Yoo)

2004년 동국대학교 반도체학과 학사 졸업
2012년 KAIST 정보통신공학과 박사 졸업
2012년 ~ 2015년 삼성전자 S, LSI 책임연구원
2015 ~ 2017 KAIST 연구교수
2017 ~ 현재 평택대학교 조교수
※관심분야 : RF/analog IC, ADPLL, 차량용 반도체, 센서 ROIC