

특집논문 (Special Paper)

방송공학회논문지 제26권 제2호, 2021년 3월 (JBE Vol. 26, No. 2, March 2021)

<https://doi.org/10.5909/JBE.2021.26.2.167>

ISSN 2287-9137 (Online) ISSN 1226-7953 (Print)

## 경량화된 딥러닝 구조를 이용한 실시간 초고해상도 영상 생성 기술

안 세 현<sup>a)</sup>, 강 석 주<sup>a)\*</sup>

### Deep Learning-based Real-Time Super-Resolution Architecture Design

Saehyun Ahn<sup>a)</sup> and Suk-Ju Kang<sup>a)\*</sup>

#### 요 약

초고해상도 변환 문제에서 최근 딥러닝을 사용하면서 큰 성능 개선을 얻고 있다. 빠른 초고해상도 합성곱 신경망 (FSRCNN)은 딥러닝 기반 초고해상도 알고리즘으로 잘 알려져 있으며, 여러 개의 합성곱 층로 추출한 저 해상도의 입력 특징을 활용하여 역합성곱 층에서 초고해상도의 영상을 출력하는 알고리즘이다. 본 논문에서는 병렬 연산 효율성을 고려한 FPGA 기반 합성곱 신경망 가속기를 제안한다. 특히 역합성곱 층을 합성곱 층으로 변환하는 방법을 통해서 에너지 효율적인 가속기를 설계했다. 또한 제안한 방법은 FPGA 리소스를 고려하여 FSRCNN의 구조를 변형한 Optimal-FSRCNN을 제안한다. 사용하는 곱셈기의 개수를 FSRCNN 대비 3.47배 압축하였고, 초고해상도 변환 성능을 평가하는 지표인 PSNR은 FSRCNN과 비슷한 성능을 내고 있다. 이를 통해서 FPGA에 최적화된 네트워크를 구현하여 FHD 입력 영상을 UHD 영상으로 출력하는 실시간 영상처리 기술을 개발했다.

#### Abstract

Recently, deep learning technology is widely used in various computer vision applications, such as object recognition, classification, and image generation. In particular, the deep learning-based super-resolution has been gaining significant performance improvement. Fast super-resolution convolutional neural network (FSRCNN) is a well-known model as a deep learning-based super-resolution algorithm that output image is generated by a deconvolutional layer. In this paper, we propose an FPGA-based convolutional neural networks accelerator that considers parallel computing efficiency. In addition, the proposed method proposes Optimal-FSRCNN, which is modified the structure of FSRCNN. The number of multipliers is compressed by 3.47 times compared to FSRCNN. Moreover, PSNR has similar performance to FSRCNN. We developed a real-time image processing technology that implements on FPGA.

Keyword : hardware accelerator, super-resolution, FPGA, deep learning

a) 서강대학교 전자공학과(Department of Electronic Engineering, Sogang University)

\* Corresponding Author : 강석주(Suk-Ju Kang)

E-mail: [sjkang@sogang.ac.kr](mailto:sjkang@sogang.ac.kr)

Tel: +82-2-705-8466

ORCID: <https://orcid.org/0000-0002-4809-956X>

※ 이 논문의 연구결과 중 일부는 한국방송-미디어공학회 “2020년 추계학술대회”에서 발표한 바 있음.

※ 이 논문은 과학기술정보통신부 및 정보통신기획평가원의 대학ICT연구센터지원사업의 연구결과로 수행되었으며 (IITP-2021-2018-0-01421), 2020년도 정부(과학기술정보통신부)의 재원으로 한국연구재단-나노미래소재원천기술개발사업의 지원을 받아 수행된 연구(No. 2020M3H4A1A02084899)이며, 2018년도 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. 2018R1D1A1B07048421). (This research was supported by the MSIT(Ministry of Science and ICT), Korea, under the ITRC(Information Technology Research Center) support program (IITP-2021-2018-0-01421) supervised by the IITP(Institute of Information & communications Technology Planning & Evaluation) and supported by the National Research Foundation of Korea (NRF) grant funded by the Korea government (MSIT) (No. 2018R1D1A1B07048421) and supported by the National Research Foundation of Korea (NRF) grant funded by the Korea government (MSIT) (No. 2018R1D1A1B07048421).)

· Manuscript received January 13, 2021; Revised March 5, 2021; Accepted March 10, 2021.

Copyright © 2021 Korean Institute of Broadcast and Media Engineers. All rights reserved.

“This is an Open-Access article distributed under the terms of the Creative Commons BY-NC-ND (<http://creativecommons.org/licenses/by-nc-nd/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited and not altered.”

## 1. 서론

최근 딥러닝은 높은 정확도와 함께 다양한 컴퓨터 비전 어플리케이션에서 주목받고 있다<sup>[1][2]</sup>. 깊은 합성곱 신경망 (convolutional neural networks, CNNs)는 뛰어난 특징 추출 능력으로 객체 인식, 분류 등에서 많이 사용되고 있다<sup>[3][4]</sup>. 초고해상도 (super-resolution, SR)는 저해상도 영상을 고해상도 영상으로 변환하는 기술로 존재하지 않는 픽셀 정보를 복원 및 예측이 필요하다. SR은 하나의 입력에 대해 복수의 결과물이 나올 수 있는 잘 정의되지 않은 문제이며, CNN은 이러한 문제를 해결하는데 적합하여 연구가 활발히 이루어지고 있다<sup>[5][8]</sup>. Dong et al.<sup>[8]</sup>은 빠른 초고해상도 합성곱 신경망 (FSRCNN)을 소개했다. CNN 구조의 초고해상도 알고리즘인 FSRCNN은 그림 1과 같이 마지막 layer를 제외하고 모두 합성곱 층이며 마지막 층만 역합성곱 층 (전치 합성곱 층, deconvolutional layer)이다.

저해상도 영상을 높은 성능의 고해상도 영상으로 복원하는 CNN 구조의 FSRCNN 모델을 하드웨어 플랫폼에서 빠르게 동작하기 위해서 중앙 처리 유닛 (CPUs) 그래픽 처리 유닛 (GPUs)를 사용할 수 있다. 그러나 엄청난 에너지 소비량으로 임베디드 시스템에서는 한계가 존재한다. 반대로 FPGA와 ASIC 칩은 높은 에너지 효율과 병렬 연산의 이점으로 CNN 가속기의 충분한 매력을 가지고 있어 최근 FPGA 기반 CNN 가속기 연구가 다양한 분야에서 주목받고 있다<sup>[9][10]</sup>.

FSRCNN을 가속하기 위해서 합성곱 연산 가속기뿐만 아니라 역합성곱 연산을 가속하기 위한 방법이 필요하다. Chang et al.<sup>[11]</sup>은 역합성곱 연산을 합성곱 연산으로 바꾸는 transforming deconvolutional layer into convolutional layer (TDC) 방법을 소개했다. 이 방법으로 합성곱 연산 가속기

를 사용하여 역합성곱 연산이 가능하다.

본 논문에서 딥러닝 기반 초고해상도 영상을 생성하는 알고리즘을 FPGA 하드웨어 플랫폼에서 외부 메모리 사용 없이 가속하여 실시간으로 동작하는 시스템을 설계하는 방법을 소개한다. FPGA 리소스를 고려하여 FSRCNN 알고리즘을 성능 저하를 최소화 하여 압축하는 방법과 FPGA의 리소스를 충분히 사용하면서 양자화 오류를 최소화 하는 방법을 소개한다.

## II. 관련 이론

### 1. FSRCNN 모델 분석

딥러닝 기반 초고해상도 알고리즘으로 SRCNN<sup>[12]</sup>, FSRCNN<sup>[8]</sup>, VDSR<sup>[13]</sup> 등이 대표적인 모델이다. FSRCNN은 SRCNN과 VDSR과 비교하여 다음과 같은 특징을 가지고 있다. 첫 번째, 모델의 입력 영상이 저해상도 영상이다. SRCNN과 VDSR은 모델 입력을 쌍입방 보간법과 같은 규칙 기반 초고해상도 알고리즘을 이용하여 타겟 해상도로 변환 후 딥러닝 기반 알고리즘으로 디테일을 살리는 방법이다. 반면 FSRCNN은 딥러닝 기반 모델에서 저해상도 영상을 고해상도 영상으로 업 스케일링하는 방법으로 모델 내부에서도 모든 특징 맵들은 저해상도 영상이다. 따라서 FSRCNN은 메모리 사용량과 연산량이 적다. 두 번째, FSRCNN은 입력 영상이 저해상도 영상이므로 저해상도 영상을 고해상도 영상으로 변환하는 layer를 사용한다. 이를 위해 SRCNN과 VDSR과 다르게 그림 1과 같이 마지막 층에서 저해상도 영상을 고해상도 영상으로 변환하기 위해

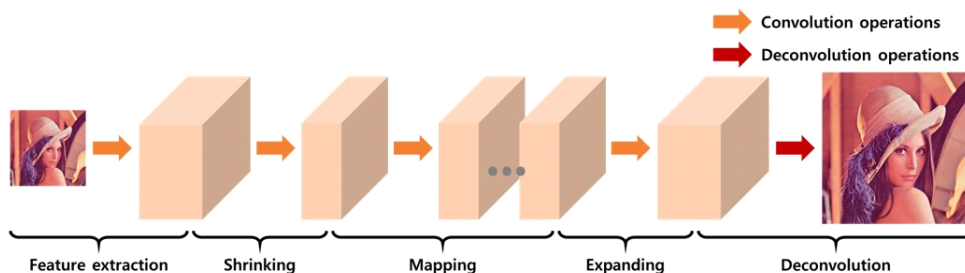


그림 1. FSRCNN의 구조  
Fig. 1. FSRCNN Structure

역합성곱 층을 사용한다. 역합성곱 층의 보폭에 따라 몇 배 업 스케일링하는지 결정할 수 있다.

## 2. 역합성곱 연산 가속기

역합성곱 연산은 합성곱 연산과 수학적인 연산 방법이 다르다. 합성곱 연산은 입력 데이터에서 필터와 겹치는 영역에 대해서 필터와 곱셈 후 모두 더해져 하나의 출력 데이터를 생성하지만, 역합성곱 연산은 하나의 입력 데이터와 필터와 곱하여 필터의 크기만큼 출력 데이터를 생성한다. 역합성곱 연산 과정에서 보폭이 작은 경우 서로 다른 입력 데이터에 대해서 생성된 두 출력 데이터가 있을 때 일부 데이터는 출력 특징 맵에서 같은 위치이다. 이러한 두 데이터는 덧셈 연산을 추가로 해야 한다. 이를 **overlapping sum**이라고 한다. 이는 하드웨어에서 추가적으로 메모리에 접근하여 데이터를 읽기/쓰기 간섭비가 발생한다. 이에 의해 에너지 소비량 증가, 속도 저하의 문제를 야기한다. 이러한 문제를 해결하기 위해서 두 가지 해결 방법이 존재한다. 첫 번째, 입력 특징 맵들에서 데이터 사이마다 영을 삽입하는 방법이다<sup>[4][6]</sup>. 그러나 영을 삽입하면서 루프 차원이 증가하기 때문에 매우 비효율적인 방법이다. 두 번째, 역합성곱 연산을 합성곱 연산으로 대체하는 TDC 방법이다<sup>[11]</sup>. TDC 방법은 역합성곱 층의 필터 값들을 합성곱 층의 필터에 매핑하는 방법이다. 이 방법은 일반 역합성곱 연산과 같은 출력 값을 얻으면서 병렬 연산을 증가하여 스루풋을 높이기 때문에 매우 효율적인 방법이다.

## III. 제안하는 기법

### 1. 하드웨어에 최적화된 모델 생성 방법

FSRCNN 모델을 타겟 FPGA에서 외부 메모리를 사용하지 않고 구현하는데 다음과 같은 어려움이 존재한다. 첫 번째, 합성곱 층의 필터의 커널 크기는 5x5이다. 따라서 최소 4개 행의 데이터를 저장하기 위한 **buffer**가 필요하다. 이는 지연 시간 증가뿐만 아니라 메모리 사용량 증가에 따른 에너지 소비량이 증가한다. 두 번째, FSRCNN의 총 **weight** 개수는 12,636개이다. 외부 메모리를 사용하지 않으면서 실시간으로 동작하기 위해서는 FPGA 리소스 중에서 디지

털 신호 처리기 (DSP) 개수보다 적은 웨이트 개수를 가진 모델만 설계가 가능하다. 따라서 타겟 FPGA의 DSP 리소스가 적은 경우 FSRCNN의 모델 압축은 피할 수 없다.

FSRCNN의 압축 방법은 세 가지가 있다. 커널 크기 조정, 필터 개수 조정, 매핑 층의 개수 조정이다. 하드웨어의 DSP 개수를 고려하여 압축하기 위해 위 세 가지에 따른 모델의 DSP 사용량은 다음의 수식으로 계산할 수 있다. 합성곱 층에서 곱셈 횟수는 다음과 같다.

$$ConvMul_{m,n} = k^2 \times m \times n \quad (1)$$

여기서  $m, n, k$ 는 각각 입력 특징 맵들의 개수, 출력 특징 맵들의 개수, 그리고 커널 크기이다. **Parametric** 정류 선형 단위 활성화 층에서의 곱셈 횟수는 다음과 같다.

$$ActiveMul_n = n \quad (2)$$

마지막으로 역합성곱 층을 TDC 방법으로 대체된 합성곱 층에서의 곱셈 횟수는 다음과 같다.

$$DeConvMul_{m,n} = C \times Ck \times m \times n + n \quad (3)$$

여기서  $C, Ck$ 는 각각 TDC 방법 적용 후 합성곱 층의 개수, 커널 크기이다. 위 수식 (1)-(3)을 통해 FSRCNN을 하드웨어에 설계하기 위한 필요한 DSP 개수를 계산할 수 있다.

본 논문에서는 하드웨어의 DSP 개수를 고려하여 FSRCNN 모델을 압축하여 연산 복잡도를 줄였다. 이 때, 하드웨어에 구현할 때 발생할 수 있는 양자화 오류를 고려했다. 양자화 오류가 심한 경우, 일정하게 픽셀 값이 증가하는 영역에서 계단식으로 픽셀 값이 증가하는 영역으로 변환된 출력 영상이 생성되어 윤곽이 보이는 문제가 발생하게 된다. 양자화 오류는 연산량이 많을수록 증가하며, 특히층 개수가 많을수록 증가하는 문제가 존재한다. 이는 각 층의 출력 특징 맵들에서 양자화 과정을 거치기 때문이다. 따라서 먼저 층 개수를 줄였으며, 그 후 필터 개수를 줄였다. 커널 크기의 경우 모든 합성곱 층의 커널 크기를 3이하로 하여 지연 시간을 줄였다. 그 결과 표 1과 같이 **Optimal-FSRCNN**을 설계했다. 역합성곱 층의 경우 커널 크기는 TDC 방법이 적용된 상태에서 합성곱 층의 커널 크기를 의미하며 총 4개의 합성곱 층을 사용한다.

표 1. Optimal-FSRCNN의 구조  
Table 1. Optimal-FSRCNN Structure

	Layer Type	Kernel Size	#Input Feature Maps	#Output Feature Maps
1	Convolutional Layer	3x3	1	23
2	Convolutional Layer	1x1	23	12
3	Convolutional Layer	3x3	12	12
4	Convolutional Layer	3x3	12	12
5	Convolutional Layer	1x1	12	23
6	Deconvolutional Layer	3x3	23	1

FSRCNN을 약 3.47배만큼 웨이트 개수를 압축했다. 추가로 하드웨어 친화적인 모델을 설계하기 위해 데이터 양자화를 수행했다. 32-bits 부동 소수점의 데이터 타입인 경우 32-bits와 32-bits의 데이터 곱셈을 위해서 1개의 DSP로 부족하다. 한 번의 곱셈 연산에 1개의 DSP를 사용하기 위해 16-bits 고정 소수점으로 데이터 타입을 변환했다. 데이터 타입을 변환하여 양자화 과정에서 양자화 오류가 발생하면서 출력 영상의 성능은 감소하지만 무시할 수 있는 정도이다.

다음은 Optimal-FSRCNN의 성능이다. 성능을 평가할 때

양자화된 데이터를 사용했다. peak-to-signal ratio (PSNR)로 다양한 데이터셋에서 초고해상도 영상 생성 성능을 평가했다. 그 결과는 표 2와 같다. 단위는 dB이다.

표 2. Optimal-FSRCNN의 성능 비교  
Table 2. Comparison of the Optimal-FSRCNN Performance

Test Dataset	FSRCNN [8]	Bicubic Interpolation	Ours (Optimal-FSRCNN)
Set5	36.94	33.64	36.52
Set14	32.51	30.02	32.29
BSDS100	31.50	29.57	31.22
Urban100	29.85	26.87	29.25
Manga109	35.56	30.84	35.35

Optimal-FSRCNN은 FSRCNN과 비교하여 무시할 수 있는 정도의 성능 하락이 있다. 그러나 규칙기반 초고해상도 영상 생성 알고리즘 대비 뛰어난 출력 영상을 생성할 수 있다.

## 2. 외부 메모리를 사용하지 않는 하드웨어 가속기 설계 방법

Optimal-FSRCNN을 FPGA에서 실시간으로 동작하는

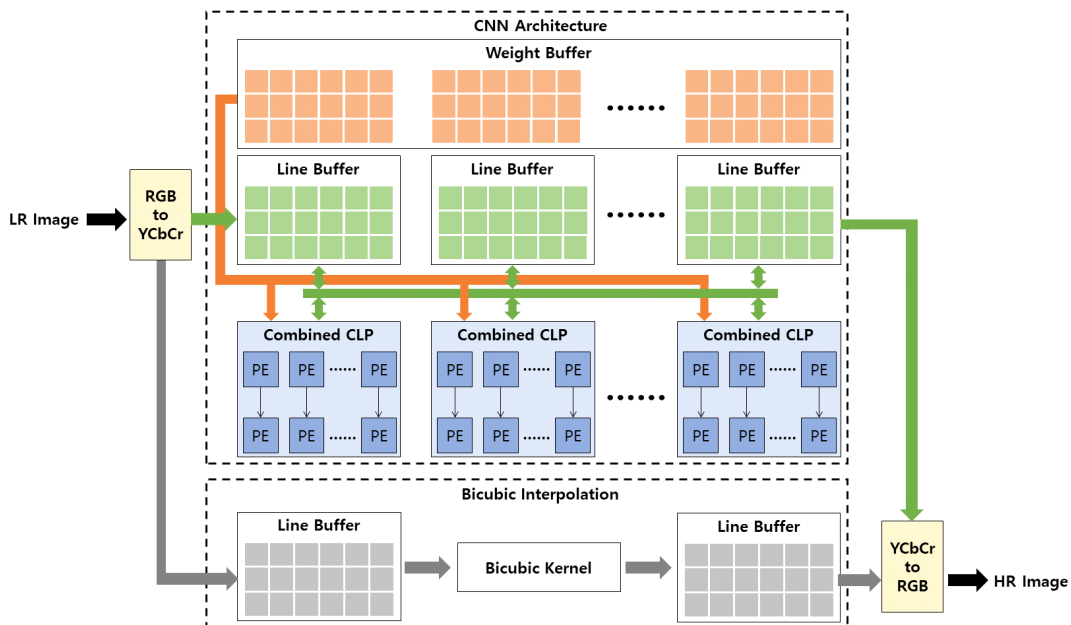


그림 2. 하드웨어 아키텍처의 Overview  
Fig. 2. An Overview of Proposed Hardware Architecture

시스템을 위한 가속기를 설계했다. 설계한 가속기의 개요는 그림 2와 같다.

입력 저해상도 영상 (LR Image)은 매 클럭마다 한 픽셀씩 입력된다. 이 RGB 타입의 픽셀은 RGB to YCbCr 모듈에서 YCbCr 도메인으로 변환되어 Y 데이터는 CNN 아키텍처에서 고해상도 데이터로 변환된다. Cb와 Cr 데이터는 쌍 입방 보간법에서 규칙기반 초고해상도 영상 생성 알고리즘으로 고해상도 데이터로 변환된다. CNN 아키텍처에서는 여러 개의 합성곱 층 프로세서 (CLP)가 결합된 Combined CLP를 여러 개 거치면서 특징 추출 및 고해상도 영상으로 변환된다. 각 CLP는 여러 개의 처리 요소 (PEs)로 구성된다.

Optimal-FSRCNN에서 각 층는 커널 크기, 입력 특징 맵들 개수, 그리고 출력 특징 맵들 개수와 같은 하이퍼 파라미터가 다르다. 따라서 각 층마다 서로 다른 CLP를 설계해야 하드웨어 리소스를 덜 사용하는 문제를 해결할 수 있다. 따라서 각 층마다 적합한 CLP를 설계했다.

커널 크기가 3x3인 CLP의 구조는 그림 3과 같다.

라인 버퍼에서 합성곱 연산에 필요한 데이터를 읽기하여 병렬 연산으로 하드웨어 리소스 사용량을 늘리고 지연 시간을 줄였다. 입력 특징 맵들의 채널 방향, 커널 방향, 출력 특징 맵들의 채널 방향으로 루프 풀기를 하여 병렬 연산을 수행했다. 추가로 완전 파이프라이닝을 통해 실시간으로 동작하도록 했다.

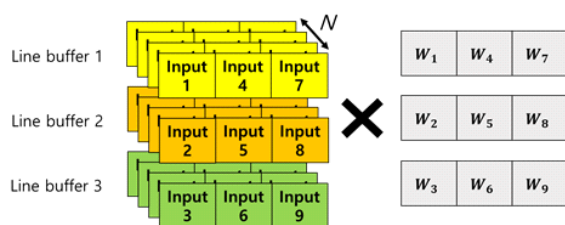


그림 3. 커널 크기가 3x3인 CLP 구조  
 Fig. 3. CLP Architecture with Kernel Size of 3x3

웨이트와 입력 데이터와 DSP를 사용하여 곱셈 연산 후 adder tree에서 모두 덧셈을 수행하여 최종 출력 데이터를 얻는다. 이 때 입력 데이터 및 웨이트는 16-bits 고정 소수점이며 DSP의 출력은 32-bits 고정 소수점의 데이터 타입이다. Adder tree에서 모든 연산은 32-bits에서 연산하도록 하여 양자화 오류를 최소화 했다. 최종 출력 데이터에서 32-bits를 16-bits로 양자화하며 이 때 반올림 연산을 구현하여 추가로 양자화 오류를 줄였다.

그림 4는 커널 크기가 1x1인 CLP의 구조이다. 입력 특징 맵들의 채널 방향, 출력 특징 맵들의 채널 방향으로만 루프 풀기를 하여 병렬 연산 및 파이프라이닝 연산을 하도

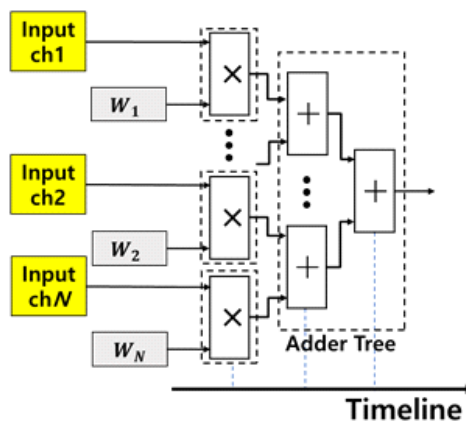


그림 4. 커널 크기가 1x1인 CLP 구조  
 Fig. 4. CLP Architecture with Kernel Size of 1x1

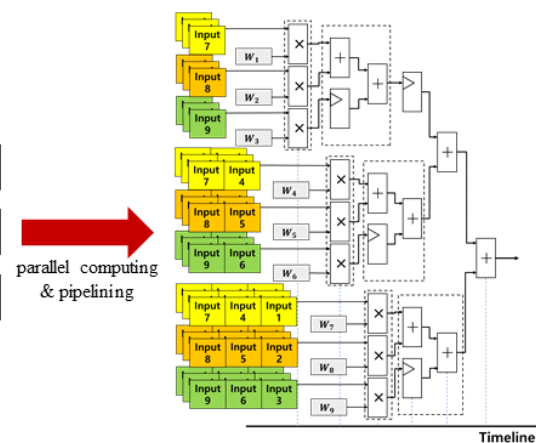


그림 3. 커널 크기가 3x3인 CLP 구조  
 Fig. 3. CLP Architecture with Kernel Size of 3x3

록 구현했다. 또한 커널 크기가 1x1이기 때문에 라인 버퍼가 불필요하다. 즉, 이전 CLP의 출력 데이터가 생성되면 바로 연산이 가능하다. 따라서 커널 크기가 1x1인 CLP가 있을 경우 이전 CLP와 결합한 Combined CLP를 구현하여 중간에 라인 버퍼 사용을 제거할 수 있었다. 그 결과 메모리 사용량 감소 및 지연 시간을 감소했다.

역합성곱 층은 TDC 방법으로 변환된 합성곱 층을 CLP로 구현했다. 역합성곱 층의 커널 크기를 5x5를 사용했기 때문에 TDC 방법으로 커널 크기가 3x3인 4개의 합성곱 층으로 변환된다. 따라서 그림 3과 같은 CLP를 병렬로 4개를 구현하여 지연시간은 1개의 CLP와 동일한 아키텍처를 구현할 수 있었다.

#### IV. 실험 결과

##### 1. 실험 환경 세팅

본 논문에서는 Xilinx Kintex7 UltraScale FPGA 환경에서 Vivado 2018.2 툴을 사용하여 아키텍처를 구현했다. 베릴로그 언어를 사용해서 회로를 설계했다. 입력 영상의 해상도는 FHD(1920x1080)이며 출력 해상도는 UHD (2840x2160)로 2배 up-scaling하는 시스템을 구현했다.

##### 2. 실험 결과

표 3은 FPGA의 하드웨어 리소스를 사용하는 양을 보여준다. DSP를 상당히 많이 사용하는 반면 나머지 lookup table (LUT), Block RAM (BRAM), flip flop (FF) 등은 최소한으로 사용하도록 구현한 결과이다. Combined CLP 설계 및 각 층의 특성에 맞춰 설계한 서로 다른 모양의 CLP를 설계함으로써 DSP를 제외한 나머지 리소스의 사용량을 줄일 수 있었다. 그 결과 저비용으로 칩 설계가 가능하며 크기도 작을 것으로 기대된다.

표 3. FPGA 하드웨어 리소스 사용량  
Table 3. FPGA Hardware Resource Utilization

Resource	Utilization
LUT	106,796
FF	277,264
BRAM	208
DSM	4,348

다음은 시뮬레이터를 사용하여 계산한 입력과 출력 픽셀 사이의 지연 시간이다. 그림 5와 같이 입력과 출력 사이의 74.8 micro 초의 지연 시간을 가지는 것을 확인할 수 있다. 이것은 Combined CLP 및 각 layer의 특성에 맞춰 설계한

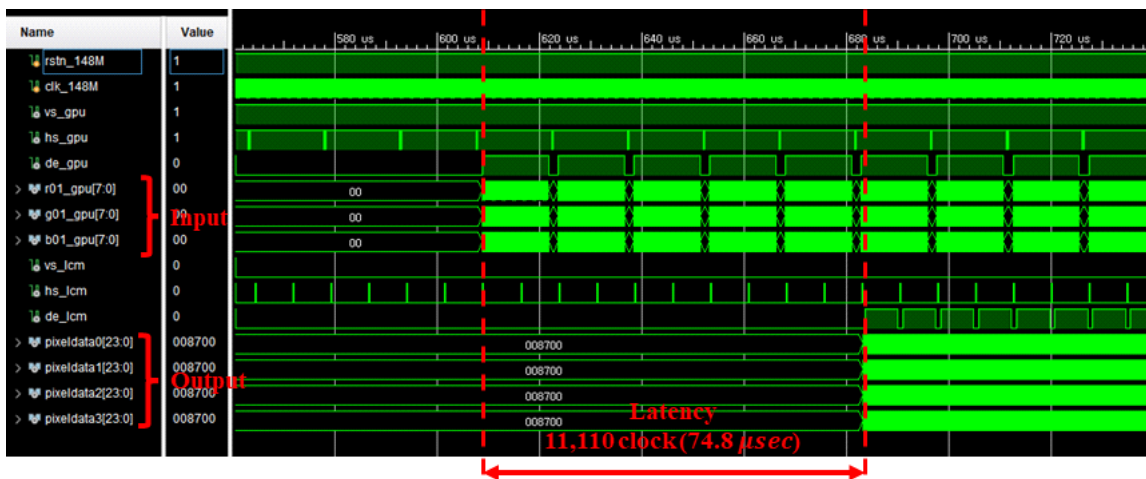


그림 5. 시뮬레이터를 사용한 지연 시간 측정 결과  
Fig. 5. Latency Measurement using Simulator

CLP에 의해 지연 시간을 최소화한 결과이다. 또한 TDC 방법으로 역합성곱 층의 overlapping sum문제를 해결하고 병렬 연산을 극대화한 결과이다. 따라서 음성 신호와 출력 영상 사이의 동기화를 보장한다. 또한 FPGA의 구동 주파수를 148.5MHz로 하여 60Hz 입력 및 60Hz 출력으로 시스템을 설계했다.

## V. 결론

본 논문에서는 FSRCNN을 타겟 FPGA 하드웨어 플랫폼에서 외부 메모리 사용 없이 실시간으로 동작하기 위한 방법을 소개한다. 첫 번째, 타겟 FPGA 하드웨어 리소스를 고려하여 FSRCNN을 성능 저하 없이 압축하는 방법을 소개한다. DSP의 개수 및 양자화 오류를 고려하여 가장 효율적으로 압축하여 Optimal-FSRCNN 모델을 설계했다. 두 번째, 타겟 FPGA 하드웨어에 Optimal-FSRCNN 모델을 가장 효율적으로 설계하기 위한 아키텍처를 소개한다. 각 layer의 특성을 분석하여 하드웨어 리소스의 덜 사용하는 문제를 해결하기 위해 다양한 형태로 CLP를 설계하는 방법 및 DSP를 제외한 나머지 리소스의 사용량을 줄이고 지연 시간을 줄이기 위한 Combined CLP 설계 방법을 소개한다. 그 결과 FSRCNN 대비 무시할 수 있는 성능 저하를 가진 Optimal-FSRCNN을 Xilinx Kintex7 UltraScale FPGA에 구현하여 60Hz 및 74.8 micro 초의 지연시간을 가진 시스템을 구현했다.

## 참고 문헌 (References)

- [1] A. Krizhevsky, I. Sutskever, and G. E. Hinton, "Imagenet classification with deep convolutional neural networks," In NIPS, pp. 1097-1105, 2012.
- [2] A. Graves and J. Schmidhuber, "Framewise phoneme classification with bidirectional LSTM and other neural network architectures," In IJCNN, pp. 2047-2052, 2005.
- [3] R. Girshick, J. Donahue, T. Darrell, and J. Malik, "Rich feature hierarchies for accurate object detection and semantic segmentation," In CVPR, pp. 580-587, 2014.
- [4] R. Girshick, "Fast R-CNN," In ICCV, 2015.
- [5] S. Ren, K. He, R. Girshick, and J. Sun, "Faster R-CNN: Towards real-time object detection with region proposal networks," In NIPS, pp. 91-99, 2015.
- [6] K. He, X. Zhang, S. Ren, and J. Sun, "Mask R-CNN," In ICCV, pp. 2980-2988, 2017.
- [7] C. Dong, C. C. Loy, K. He, and X. Tang, "Learning a deep convolutional network for image super-resolution," In Proc. ECCV, 2014, pp.184-199.
- [8] Dong Chao, Chen Change Loy, and Xiaoou Tang, "Accelerating the super-resolution convolutional neural network," In ECCV, 2016.
- [9] A. Radford et al., "Unsupervised representation learning with deep convolutional generative adversarial networks," arXiv, 2015.
- [10] S. Williams et al., "Roofline: an insightful visual performance model for multicore architectures," Commun. ACM, 52(4):65-76, Apr. 2009.
- [11] J.-W. Chang, K.-W. Kang, and S.-J. Kang, "SDCNN: An efficient sparse deconvolutional neural network accelerator on FPGA," Proceedings of Design, Automation & Test in Europe (DATE), March. 2019.
- [12] Dong C., Loy C. C., He K., and Tang X., "Image superresolution using deep convolutional networks," In TPAMI, pp.295-307, 2015.
- [13] Kim J., Kwon Lee J., and Mu Lee K., "Accurate image super-resolution using very deep convolutional networks," In CVPR, 2016.
- [14] A. Yazdanbakhsh, K. Samadi, N. S. Kim, and H. Esmailzadeh, "GANAX: A unified mimd-simd acceleration for generative adversarial networks," In ISCA, pp. 650-661, 2018.
- [15] M. Song, J. Zhang, H. Chen, and T. Li, "Towards efficient micro-architectural design for accelerating unsupervised gan-based deep learning," In HPCA, pp. 66-77, 2018.
- [16] D. Xu, K. Tu, Y. Wang, C. Liu, B. He, and H. Li, "FCN-engine: Accelerating deconvolutional layers in classic cnn processors," In ICCAD, 2018.

---

저 자 소 개

---



**안 세 현**

- 2019년 : 서강대학교 전자공학과 학사
- 2021년 : 서강대학교 전자공학과 석사
- 현재 : 삼성전자 종합기술원 연구원
- ORCID : <http://orcid.org/0000-0001-9965-0860>
- 주관심분야 : 컴퓨터 비전, 컴퓨터 아키텍처, 딥러닝



**강 석 주**

- 2006년 : 서강대학교 전자공학과 학사
- 2011년 : 포항공과대학교 전자전기공학과 공학박사
- 2011년 ~ 2012년 : LG Display 선임연구원
- 현재 : 서강대학교 전자공학과 부교수
- ORCID : <https://orcid.org/0000-0002-4809-956X>
- 주관심분야 : 멀티미디어 영상신호처리, 컴퓨터 비전, 딥러닝 시스템 설계