ISSN : 1226-7244 (Print)
ISSN : 2288-243X (Online)
논문번호 21-01-20
j.inst.Korean.electr.electron.eng.Vol.25,No.1,133~138,March 2021
https://doi.org/10.7471/ikeee.2021.25.1.133

출력 전력 및 효율 개선을 위한 3-스택 구조의 Ku 대역 CMOS 전력 증폭기

Ku-Band Three-Stack CMOS Power Amplifier to Enhance Output Power and Efficiency

양 준 혁*, 장 선 혜*, 정 하 연*, 주 태 환**, 박 창 근*★

Junhyuk Yang*, Seonhye Jang*, Hayeon Jung*, Taehwan Joo**, Changkun Park*★

Abstract

We propose a Ku-band three-stack CMOS power amplifier to enhance the output power and efficiency. To minimize the dc power consumption, the driver stage is designed using common-source structure. To obtain high output power and utilize a voltage combining method, the power stage is designed using stack structure. To verify the proposed power amplifier structure, we design a Ku-band power amplifier using 65-nm RFCMOS process which provide nine metal layers. The P1dB, power-added efficiency, and gain are higher than 20 dBm, 23 dB, and 25%, respectively, while the operating frequency is 14 GHz-16 GHz.

요 약

본 논문에서는 높은 출력 전력을 확보함과 동시에 효율을 개선시킬 수 있는 전력 증폭기 구조를 제안하였다. 전력 소모를 최소화하기 위하여 구동 증폭단은 공통-소스 구조를 적용하였으며, 높은 출력 전력 확보를 위하여 전력 증폭단은 스택 구조를 적용하였다. 제안하는 구조의 검증을 위하여 아홉 개의 금속층을 제공하는 65-nm RFCMOS 공정을 이용하여 Ku 대역 전력 증폭기를 설계하였다. 동작 주파수 14 GHz에서 16 GHz 일 때, P1dB, power-added efficiency 및 전력 이득은 각각 20 dBm 이상, 23 dB 이상 및 25% 이상으로 확인 되었다.

Key words : CMOS, drive stage, efficiency, power amplifier, power stage

Ⅰ. 서론

최근 무선통신기술의 급격한 발전에 따라, 밀리미터파 대역의 5세대 이동통신 기술의 상용화가 가시화 되고 있다. 이와 같은 5세대 이동통신 기술의 발전에 힘입어 빔포빙 송수신단에 대한 연구 역시 활발하게 진행 되고 있다.

빔포밍 기술은 무선통신 및 레이다 시스템에서 다양한 기술적 이점을 제공하고 있으나, 기존 시스템과는 달리 많은 개수의 고주파 회로부의 사용이 요구 되며, 이에 따라 해결해야 할 다양한 과제들이 발생하고 있다. 특히 많은 수의 고주파 회로부

* Dept. of Electronic Engineering, Soongsil University
** Agency for Defense Development
★ Corresponding author
E-mail : pck77@ssu.ac.kr, Tel : +82-2-828-7166
※ Acknowledgment
This work was supported by Agency for Defense Development(ADD) under Grant UC180006ED.
Manuscript received Feb. 23, 2021; revised Mar. 27, 2021; accepted Mar. 27, 2021.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (http://creativecommons.org/licenses/by-nc/3.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

에서 발생하는 열은 회로의 고주파 특성을 열화 시켜 전체 시스템의 성능을 저하 시키는 주요 원인이 된다. 따라서 빔포밍 시스템의 실질적인 구현 및 상용화를 위해서는 송수신 전단부에서 발생하는 열을 효율적으로 방출 하는 것이 필수적이며, 보다 근원적인 방안은 열 발생 자체를 억제하는 것이다. 빔포밍 시스템에서 효율적으로 열 발생을 억제하기 위해서는 송수신 전단부에서 가장 많은 전력을 사용하는 전력 증폭기의 효율을 증대 시키는 것이 중요하다[1, 2].

본 논문에서는 빔포밍 송수신 전단부용 CMOS 기반 Ku 대역 전력 증폭기의 효율 개선을 위한 구동 증폭단 및 전력 증폭단의 구조를 제안하고 그 효용성을 검증 설계를 통하여 검증하였다.

II. 기존 구조의 전력증폭기

1. 공통-소스 구조

일반적인 전력 증폭기의 경우, 높은 출력 전력 확보를 위한 전력 증폭단과, 충분한 전력 이득 확보를 위한 구동 증폭단으로 구성 된다. 구동 증폭단의 경우, 상대적으로 전력 증폭단에 비하여 적은 전력을 소모 하지만 전력 증폭기 전체의 전력 소모량에 있어, 무시할 수 없는 수준이다.

전력 증폭기의 구동 증폭단 및 전력 증폭단에 흔히 사용하는 회로 구조는 그림 1에서 도시한 바와 같이 공통-소스 구조와 캐스코드 구조인데, 공통-소스 구조의 경우 트랜지스터의 항복전압을 고려하여 상대적으로 낮은 전원 전압을 사용하며, 이에 따라 전압과 전류의 곱으로 계산 되는 전력 소모량

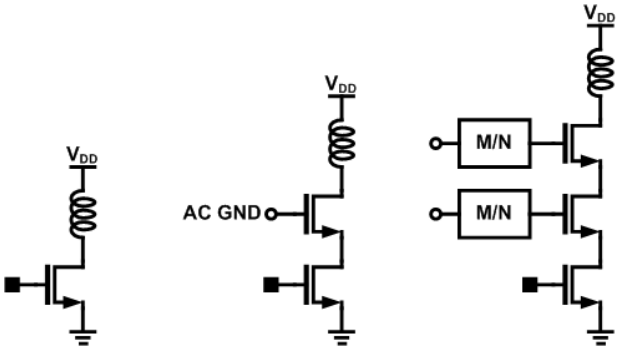

Fig. 1. Amplifier structure: (a) common-source, (b) cascode, and (c) stack structures.
그림 1. 증폭기 구조: (a) 공통-소스, (b) 캐스코드 및 (c) 스택 구조

이 상대적으로 적다는 이점이 있다. 반면, 낮은 전원 전압을 사용하는 관계로, 전압의 제곱에 비례하는 출력 전력 값을 충분히 확보하는데 상대적인 어려움이 있다. 또한, 낮은 전원 전압 및 50 Ω 부하 조건인 경우, 정합 회로를 구성하는 소자 값의 미세한 오차에 대한 정합 특성의 민감도가 높다는 단점이 있다.

2. 캐스코드 및 스택(Stack) 구조

캐스코드 구조의 경우, 공통-소스 증폭단과 공통-게이트 증폭단이 캐스케이드로 연결 된 구조로서, 두 개의 트랜지스터가 전압을 분배 하는 방식으로 앞서 기술한 공통-소스 구조와 비교하여 상대적으로 높은 전원 전압을 사용한다.

상대적으로 높은 전원 전압을 사용하는 관계로, 높은 출력 전력의 확보가 용이하며, 50 Ω 부하 조건인 경우, 정합회로를 구성하는 소자값의 오차에 따른 민감도를 낮출 수 있다는 이점이 있다.

구조적인 관점에서 캐스코드 구조와 스택 구조는 매우 유사하지만, 스택 구조의 경우, 이를 구성하고 있는 트랜지스터의 드레인-소스 전압강하를 동일하게 설계 한다는 관점에서는 차별성이 있다. 이를 위하여 캐스코드 구조와는 달리 스택 구조를 형성하고 있는 트랜지스터의 게이트에는 일반적으로 저항 및 캐패시터를 이용한 정합 회로가 구성된다.

스택 구조의 경우, 이를 구성하고 있는 각 트랜지스터의 전압 강하를 통하여 높은 출력 전압 진폭의 확보가 가능한 구조로서, 출력 전력 확보를 위하여 전압 결합 방식을 사용하는 구조이다. 따라서 스택 구조는 캐스코드 구조에 비하여 전압 결합 방식을 좀더 적극적으로 사용한 구조라 할 수 있다.

캐스코드 및 스택 구조는 공통-소스 구조와 비교하여, 적층 되는 트랜지스터의 개수에 비례하여 채널 저항이 증가하게 된다. 따라서 공통-소스와 동일한 전원전압을 사용하는 경우에는 채널 저항에 의하여 출력 전력이 낮아지는 문제점이 있으나, 전원 전압을 높일 수 있으므로, 채널 저항의 증가로 인한 전력 손실보다, 전원 전압의 증가로 인한 전력 확보가 더 주요하게 작용한다.

III. 제안하는 전력 증폭기

본 연구에서는 공통-소스 증폭단 및 스택구조 증

폭단의 이점만을 취하여, 전력 증폭기의 효율을 개선 할 수 있는 전력 증폭기 구조를 제안하였다.

전력 증폭기의 구동 증폭단은 전력 증폭단에 비하여 상대적으로 낮은 출력 전력이 요구 된다. 따라서, 본 연구에서는 높은 출력 전력의 확보는 용이하지 않지만, 전력 소모량이 적은 공통-소스 구조로 구동 증폭단을 구현하였다. 이를 통하여, 전체 전력 증폭기의 전력 소모량을 절감하여 효율을 높이고자 하였다.

전력 증폭단의 경우, 높은 출력 전력의 확보가 주된 역할이므로, 본 논문에서는 전력 증폭단을 스택 구조로 형성하여, 높은 전원 전압을 사용함으로서, 출력 전력의 확보를 용이하게 하였다.

결과적으로 높은 출력 전력의 확보가 필요한 전력 증폭단에만 스택 구조를 적용하고, 구동 증폭단은 전력 소모를 최소화하기 위하여 공통-소스 구조를 적용함으로서, 높은 출력 전력을 확보함과 동시에 효율을 개선 할 수 있는 전력 증폭기를 설계하였다.

Ⅳ. 제안하는 전력 증폭기의 설계

본 논문에서는 제안하는 전력 증폭기의 효용성을 검증하기 위하여 아홉개의 금속층을 제공하는 65-nm RFCMOS 공정을 이용하여 Ku 대역에서 동작하는 전력 증폭기를 설계하였다.

그림 2는 설계된 전력 증폭기의 회로도를 보인 것이다. 입력부와 출력부는 발룬(Balun) 역할을 하는 변압기와 캐패시터를 사용하여 정합 회로부를 완성하였다.

설계한 전력 증폭기의 구동 증폭단은 공통-소스 구조이며, 전력 증폭기의 안정도 확보를 위하여 중화 캐패시터를 차동 구조의 게이트와 드레인 사이에 적용하였다. 구동 증폭단은 공통-소스 구조인 관계로, 트랜지스터의 항복 전압을 고려하여 전원 전압을 1.0 V로 설정하였다.

본 연구에서는 전력 증폭단의 경우 높은 출력 전력 확보를 위하여 스택 구조로 전력 증폭기를 설계하였다. 스택 구조를 형성하는 트랜지스터의 개수는 동작 주파수 및 목표로 하는 출력전력의 크기에 따라 달라진다. Ku 대역에서 최소 20 dBm의 출력 전력을 얻기 위하여 두 개의 트랜지스터를 이용하여 스택 구조를 형성할 경우, 약 17~18 dBm의 최고 출력 전력을 얻었고, 세 개의 트랜지스터를 이용하여 스택 구조를 형성할 경우, 목표치인 20 dBm 이상의 출력 전력을 얻을 수 있었다. 따라서 본 연구에서는 세 개의 트랜지스터로 스택 구조를 형성하였으며, 각 트랜지스터에서의 전압 강하가 같게 형성되도록 적층 트랜지스터의 게이트에는 저항과 캐패시터로 구성되는 정합 회로부를 연결 하였다. 전력 증폭단은 적층 구조로서, 트랜지스터 세 개에 전압이 나뉘어 인가되므로, 2.6 V의 전원 전압을 사용하여 높은 출력 전력의 확보를 용이하게 하였다.

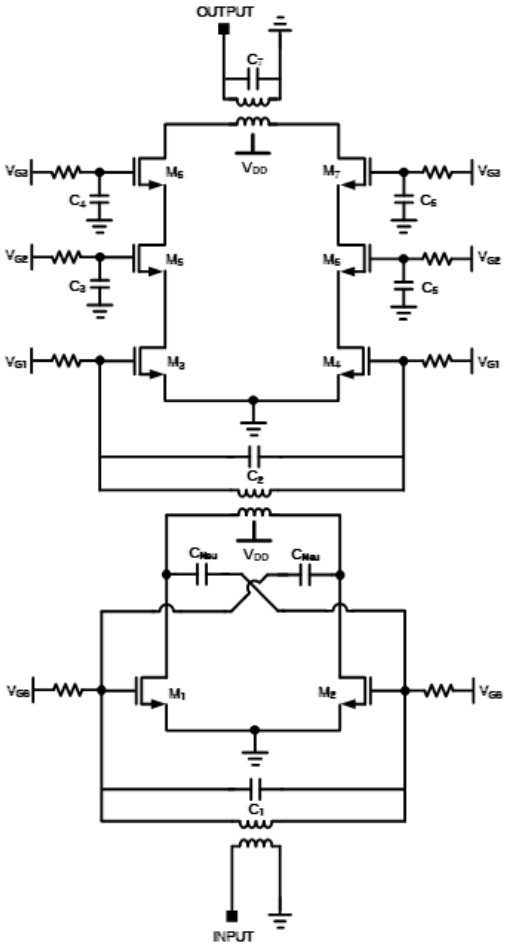

Fig. 2. Schematic of designed power amplifier.
그림 2. 설계된 전력 증폭기의 회로도

구동 증폭단 및 전력 증폭단 사이의 정합 회로부는 변압기를 이용하였으며, 변압기의 중간 탭(Center tap)을 통하여 구동 증폭단의 전원 전압이 인가된다. 설계 된 전력 증폭기는 Class-AB 동작을 위하여 구동 증폭단의 게이트 전압은 0.4 V를 사용하였으며, 전력 증폭단은 게이트 전압은 아래쪽 트랜지스터부터 위쪽 트랜지스터 방향으로 0.3 V, 1.7 V 및 2.5 V를 사용하였다. 이때 P1dB 지점인 20.4

dBm에서 구동 증폭단고 전력 증폭단은 각각 56.4 mA, 154.5 mA의 전류를 소모한다.

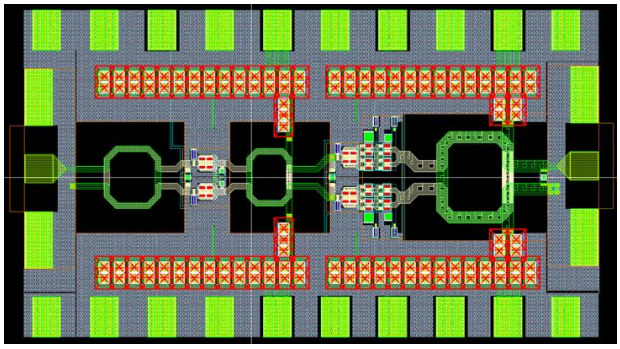

Fig. 3. Layout of designed power amplifier.
그림 3. 설계된 전력 증폭기의 레이아웃

구동 증폭단 및 전력 증폭단에 사용된 트랜지스터는 동일한 크기로서, 65-nm 게이트 길이에 0.48 mm의 게이트 폭을 가진다.

그림 3은 설계 된 전력 증폭기의 레이아웃을 도시 한 것이다. 테스트를 위한 패드(pad)를 포함한 전체 크기는 0.725 × 0.500 mm^2이며, 그림에서 왼쪽이 입력부이고, 오른쪽이 출력부이다.

그림 4는 설계 된 전력 증폭기의 S-parameter를 보인 것이다. 본 논문에서는 Ku대역에 속하는 14 GHz부터 16 GHz를 동작 주파수 목표치로 설정하였다. 전력 증폭기의 출력부는 Power matching 기법을 사용하여 S_{22}의 결과가 S_{11} 대비 다소 높게 설계 되었다.

그림 5는 중심 주파수인 15 GHz에서의 출력 전력에 따른 전력 이득과 Power-added efficiency

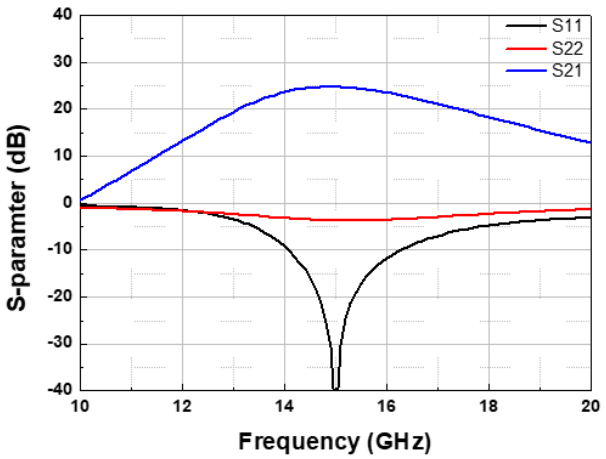

Fig. 4. S-parameters of designed power amplifier.
그림 4. 설계된 전력 증폭기의 S-parameters

(PAE)를 나타낸 것이다. 포화 전력은 22.6 dBm이며 최고 PAE는 28.6%이다.

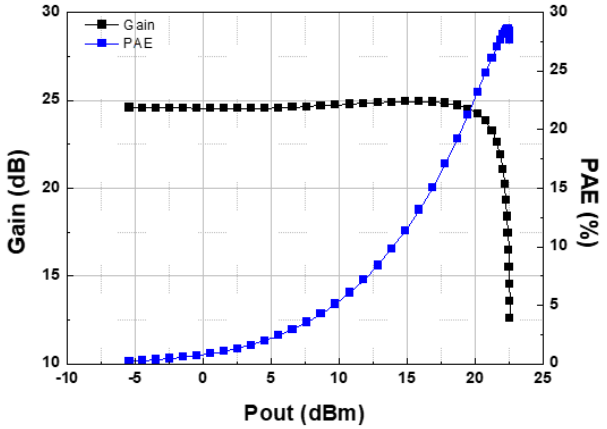

Fig. 5. Gain and PAE according to output power.
그림 5. 출력 전력에 따른 전력 이득 및 PAE

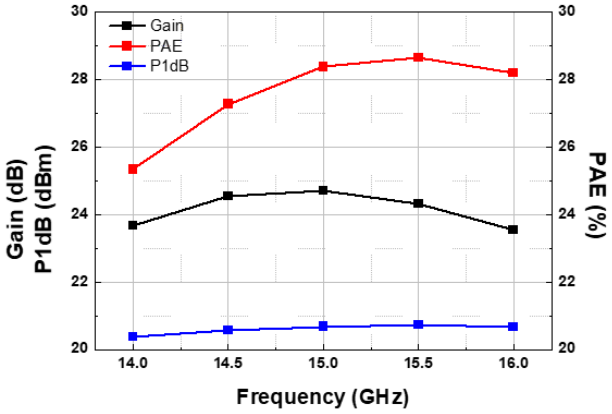

Fig. 6. Gain, P1dB, and PAE according to frequency.
그림 6. 주파수에 따른 Gain, P1dB 및 PAE

그림 6에서는 주파수에 따른 전력 이득, P1dB 및 PAE의 결과를 보이고 있다. 그래프에서와 같이, 전력 이득과 PAE는 주파수에 따라 변화 하지만, 전력 증폭기에서 가장 중요한 지표중 하나인 P1dB의 경우, 14 GHz에서 16 GHz까지 0.36 dB 이하의 변화량으로 단속 되었다. PAE의 경우 15.5 GHz에서 28.65%의 최고값을 가졌다.

표 1은 설계된 전력 증폭기의 성능치를 기존 연구결과와 비교한 것이다. 비교를 위하여 표 1에서 보인 기존 연구의 경우 전력 증폭단이 캐스코드 구조이거나 공통-소스 구조의 전력 증폭기 관련 연구 결과를 보였다. 표 1에서 알 수 있는 바와 같이, 본 논문의 전력 증폭기는 20 dBm 이상의 높은 P1dB 값을 가지면서 25% 이상의 높은 PAE 성능을 보이고 있다.

Table 1. Comparison of power amplifiers.
표 1. 전력 증폭기의 성능 비교

	This work	[3]	[4]	[5]
Tech.	CMOS 65-nm	CMOS 65-nm	CMOS 65-nm	CMOS 65-nm
Freq (GHz)	14-16	18-25	13.7-16.7	13.5-19
Gain (dB)	> 23.5	22	21.9	20.6
P1dB (dBm)	> 20.4	17	-	11.6
PSAT (dBm)	22.6	23.8	14.5	-
PAE (%)	> 25.3	25.1	24.1	20
Size (mm2)	0.45	0.96	0.3	0.5859
Topology	CS*+ 3Stack	2stage cascode	2stage CS*	3stage CS*

* CS: Common-source 구조

V. 결론

본 논문에서는 구동 증폭단은 공통-소스 구조로 설계하고, 전력 증폭단은 스택 구조로 설계함으로서, 전력 증폭기의 높은 출력을 확보함과 동시에 효율을 개선 할 수 있는 구조를 제안하였다. 제안하는 기술의 효용성을 검증하기 위하여 65-nm RFCMOS 공정을 이용하여 14 GHz부터 16 GHz까지 동작하는 전력 증폭기를 설계 하였고, 전력이득 23 dB 이상, PAE 25% 이상 및 P1dB 20 dBm 이상을 확인 하였다.

References

[1] I. Kang, J. Yoo, and C. Park, “1.9-GHz CMOS Power Amplifier Using Adaptive Biasing Technique at AC Ground Node to Enhance Linearity and Efficiency,” *Journal of Information and Communication Convergence Engineering*, vol.17, no.4, pp.285-289, 2019.
DOI: 10.6109/JICCE.2019.17.4.285.

[2] Y. Sim, I. Kang, and C. Park, “A CMOS Power Amplifier Using a Split Cascode Structure to Enhance Its Efficiency,” *Microwave and Optical Technology Letters*, vol.58, no.2, pp.309-312, 2016.
DOI: 10.1002/MOP.29558.

[3] Y. Kawano, A. Mineyama, T. Suzuki, M. Sato, T. Hirose, and K. Joshin, “A Fully-integrated K-band CMOS Power Amplifier with Psat of 23.8 dBm and PAE of 25.1 %,” in *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 1-4, 2011. DOI: 10.1109/RFIC.2011.5940655.

[4] J. Zhong, D. Zhao, and X. You, “A Ku-Band CMOS Power Amplifier With Series-Shunt LC Notch Filter for Satellite Communications,” in *IEEE Trans. Circuits Syst. I-Regul. Pap.*, To appear, 2021. DOI: 10.1109/TCSI.2021.3056537.

[5] B. Chen, L. Lou, K. Tang, Y. Wang, J. Gao, and Y. Zheng, “A 13.5 - 19 GHz 20.6-dB Gain CMOS Power Amplifier for FMCW Radar Application,” *IEEE Microw. Wirel. Compon. Lett.*, vol.27, no.4, pp.377-379, 2013.
DOI: 10.1109/LMWC.2017.2679047.

BIOGRAPHY

Junhyuk Yang (Member)

2019 : BS degree in Electronic Engineering, Soongsil University.
2021 : MS degree in Electronic Engineering, Soongsil University.
2021.03~Present : Full-time researcher, School of Electronic Engineering, Soongsil University

Seonhye Jang (Member)

2021 : BS degree in Electronic Engineering, Soongsil University.
2021~Present : MS degree in Electronic Engineering, Soongsil University.

Hayeon Jung (Member)

2015 : BS degree in Electronic Engineering, Soongsil University.
2015~Present : Ph.D degree in Electronic Engineering, Soongsil University.

Taehwan Joo (Member)

2008 : BS degree in Electrical Engineering, Pusan National University.
2010 : MS degree in Electronic Engineering, KAIST.
2014 : Ph.D degree in Electronic Engineering, KAIST.
2016.10~Present : Agency for Defense Development

Changkun Park (Member)

2001 : BS degree in Electronic Engineering, KAIST.
2003 : MS degree in Electronic Engineering, KAIST.
2007 : Ph.D degree in Electronic Engineering, KAIST.
2007.09~2009.08 : Research Engineer, Hynix Semiconductor Inc.
2009.09~Present : Professor, Dept. of Electronic Engineering, Soongsil University