

주파수 전압 변환기와 루프 필터 전압 변환기를 이용한 저잡음 위상고정루프

최혁환*

A low noise PLL with frequency voltage converter and loop filter voltage detector

Hyek-Hwan Choi*

요약 본 논문은 루프필터 전압 감지기와 주파수 전압 변환기를 이용하여 잡음 특성을 개선한 위상고정루프의 구조를 제안한다. 루프 필터 전압 변화는 저항과 커패시터스로 구성된 회로에 의해서 출력이 결정된다. 시정수 값이 작은 회로를 지나는 신호는 루프 필터의 평균 출력 전압과 거의 같은 값을 가진다. 시정수 값이 큰 회로를 지나는 신호는 루프 필터 평균 출력 값을 가지며, 추가된 루프필터 전압 감지기에서 기준 신호가 된다. 루프필터 전압 감지기 출력은 보조 전하펌프의 전류 크기를 제어한다. 루프 필터 출력 전압이 상승하면 루프필터 전압 감지기는 루프 필터 출력 전압을 하강하게 하고, 또는 루프 필터 출력 전압이 하강하면 루프필터 전압 감지기는 루프 필터 출력 전압을 상승하게 한다. 또한 주파수 전압 변환기도 필터 출력 전압 변동 폭을 줄여주어 제안된 위상고정루프의 잡음 특성을 개선해준다. 제안된 위상고정루프는 1.8V 0.18 μ m CMOS 공정을 이용하여 설계한다. 시뮬레이션 결과는 0.854ps 지터와 30 μ s 위상 고정 시간을 보여준다.

Abstract This paper presents a jitter and phase noise characteristic improved phase-locked loop (PLL) with loop filter voltage detector(LFVD) and frequency voltage converter(FVC). Loop filter output voltage variation is determined through a circuit made of resistor and capacitor. The output signal of a small RC time constant circuit is almost the same as to loop filter output voltage. The output signal of a large RC time constant circuit is the average value of loop filter output voltage and becomes a reference voltage to the added LFVD. The LFVD output controls the current magnitude of sub-charge pump. When the loop filter output voltage increases, LFVD decreases the loop filter output voltage. When the loop filter output voltage decreases, LFVD increases the loop filter output voltage. In addition, FVC also improves the phase noise characteristic by reducing the loop filter output voltage variation. The proposed PLL with LFVD and FVC is designed in a 0.18 μ m CMOS process with 1.8V power voltage. Simulation results show 0.854ps jitter and 30 μ s locking time.

Key Words : PLL, Loop Filter, Voltage Detector, Frequency Voltage Converter, Charge Pump.

1. 서론

위상고정루프(Phase-Locked Loop, PLL)는 반도체 공정이 미세화 됨에 따라 동작 속도가 빨라지고 있다. 최근 들어 전송되는 데이터 양이 급격하게 증가함에

따라 사용되는 위상고정루프의 위상 잡음과 지터는 반드시 고려해야 하는 사항이 되었다[1]. 위상고정루프에서 잡음 특성이 나빠지는 주요 원인은 전압제어발진기(Voltage Controlled Oscillator, VCO)을 제어하는 루프 필터 출력 전압 변화 때문이다. 위상고정루프는

This work was supported by a Research Grant of Pukyong National University(2019)

*Department of Electronic Engineering, Pukyong National University

Received January 20, 2021

Revised January 28, 2021

Accepted January 30, 2021

루프 필터 출력 전압 변화에 따라 주파수가 출력되기 때문에 루프필터의 큰 전압 변동은 위상고정루프의 전압제어발진기의 주파수 특성을 나빠지게 한다. 위상이 고정되면 루프필터의 전압 변화는 최소화 되어야 한다. 이러한 동작은 위상 잡음 특성을 개선해준다[2].

최근 위상고정루프 특성을 개선하기 여러 종류의 구조들이 연구되고 있다. 두 개의 대칭 루프 구조의 위상고정루프는 회로를 복잡하게 하여 칩 크기 증가와 함께 전력 소모를 증가시켰다. 다양한 기율기 값의 전압제어발진기와 이나로그 회로로 루프를 선택하는 구조도 잡음 특성을 개선할 수 있다[3]. 이 구조는 주파수 대역폭을 증가시키기 위하여 두 개의 루프와 스위치 커패시터 회로를 사용하였으나 위상 고정 시간이 증가하는 단점이 있다. 전압 제어발진기의 출력 신호를 기준 신호의 타이밍과 맞추는 기법은 기준 신호 잡음 특성에 크게 영향을 받는 문제점이 있다[4][5]. 이 구조는 제안된 위상고정루프의 잡음 특성을 크게 개선하기가 쉽지 않다. 분주기를 제거하여 위상 잡음 특성과 지터 특성을 개선할 수 있는 기준 신호보다 빠르게 동작하는 위상 감지기를 이용한 위상고정루프가 요즈음 활발히 연구되고 있다[6][7]. 이 구조에서는 초기 위상 고정 에 분주기가 필요하며 주변 환경 잡음에 동작이 불안해질수 있다.

본 논문에서는 루프필터 전압 감지기(Loop Filter Voltage Detector, LFVD)와 주파수 전압 변환기(Frequency Voltage Converter, FVC)를 이용하여 잡음 특성을 개선한 위상고정루프의 구조를 설계하였다. 루프필터 전압 감지기와 주파수 전압 변환기를 이용하여 루프필터의 출력 전압 변동을 최소화한다.

2. 제안된 위상고정루프 회로

위상고정루프의 중요한 특성인 위상 잡음은 전압제어발진기를 제어하는 루프필터의 전압의 변화에 민감하므로 루프필터의 전압 변동 폭을 최소화 하는 것이 설계의 중요한 목표가 된다. 그러므로 루프필터의 전압 변동폭의 크기는 위상고정루프의 위상 잡음 결정하는 좋은 기준이 된다. ΔV_{LPF} 는 위상이 고정된 이후의 루

프필터의 출력 전압 변동폭의 크기를 나타낸다. ΔV_{LPF} 크기는 위상고정루프의 위상잡음 특성을 결정하며, 그 값이 커지면 위상 잡음 특성이 나빠진다. 그러므로 좋은 위상 잡음 특성을 얻기 위해서 ΔV_{LPF} 크기가 작아야 한다. $\Delta \Delta V_{LPF}$ 는 한 주기 동안의 전압 변동폭이며, 기준 신호 의사 잡음 특성을 나타낸다. $\Delta \Delta V_{LPF}$ 이 작을수록 기준 신호 의사 잡음 특성이 개선된다.

그림 1은 하나의 저항과 두 개의 커패시터로 구성된 2차 루프필터를 보여준다. 위상주파수비교기가 기준 신호 한 주기 동안 UP/DN 펄스를 발생시킬 때 먼저 C_p 가 방/충전 된다. UP/DN 펄스가 발생하지 않는 기준 신호 주기 나머지 시간 동안은 작은 크기의 C_p 에서 큰 크기의 C_z 로, 또는 반대로 전하가 이동한다. 이러한 동작을 통해 위상고정루프는 안정하게 동작하며 루프필터의 출력 전압은 ΔV_{LPF} , $\Delta \Delta V_{LPF}$ 와 같은 전압의 변화가 일어나게 된다. 작은 크기의 C_p 의 용량을 증가시키면 루프필터 출력 전압의 변동 폭을 줄일 수 있다. 위상고정루프가 안정하게 동작하기 위해서 큰 용량의 C_z 가 작은 용량의 C_p 보다 최소 7배 이상의 용량이 필요하므로 C_p 의 크기를 증가시키는 것은 한계가 있다. 그러므로 한 주기 동안 루프필터의 전압 변동 폭($\Delta \Delta V_{LPF}$)을 줄이기가 쉽지 않다.

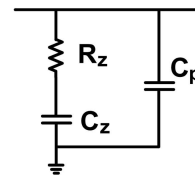


그림 1. 2차 루프필터
Fig. 1. Second-order loop filter

그림 2는 제안된 위상고정루프의 회로이다. 루프필터 전압 감지기(Loop Filter Voltage Detector, LFVD)와 주파수 전압 변환기(Frequency Voltage Converter, FVC)가 포함된 위상고정루프의 회로이다. 루프필터 출력 전압 변화 크기를 줄이기 위하여 루프필터 전압 감지기(LFVD)와 주파수 전압 변환기(FVC)를 추가한다. K_{vco1} 과 K_{vco2} 는 전압제어발진기(VCO) 이득이다.

루프필터 전압 감지기 회로(LFVD)는 전압 플로어, 저항-커패시터 시정수 회로와 래치 버퍼로 구성되어 있다. 루프 필터 전압 감지기는 루프필터의 출력 전압을 전달받아 보조 전하 펌프(Sub Charge Pump, sub CP)를 제어한다. 보조 전하 펌프는 루프필터 방/충전을 도와주는 기능을 한다.

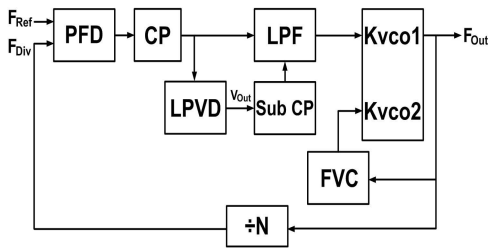


그림 2. 제안된 위상고정루프
Fig. 2. Proposed phase locked loop

그림 3은 추가된 루프 필터 전압 감지기 회로이다. 저항-커패시터로 구성된 두 개의 회로의 시정수를 이용해서 입력 신호 간 크기 차이를 출력한다. 두 개의 출력 값을 비교기를 통하여 '0'과 '1'의 C_{OUT}을 출력한다. C_{IN}은 루프필터의 출력 신호이다. V_{L1}은 작은 시정수 값을 가지는 회로의 출력 신호이다. V_{L1}은 작은 시정수(R_{L1}*C_{L1}) 값을 가지는 회로를 통해 출력되기 때문에 루프 필터 출력 전압과 거의 같은 전압 변화를 보여준다. V_{L2}는 큰 시정수 (R_{L2}*C_{L2}+R_{L3}*C_{L3})를 값을 가지는 회로를 통해 출력되기 때문에 V_{L2}는 루프 필터 출력 전압 평균 값을 가진다. V_{L1}과 V_{L2} 신호 차이는 그림 4와 같이 두 개의 서로 다른 입력 신호를 만들어 내고 비교기의 출력(C_{OUT})은 '0'과 '1'의 값을 출력한다.

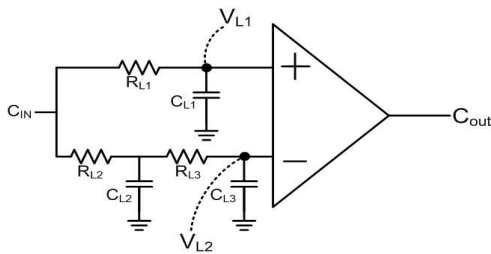


그림 3. RC 시정수회로
Fig. 3. RC time constant circuit

그림 4는 비교기의 입출력 신호를 보여주고 있다. 일정한 값을 가지는 V_{L2}는 기준 신호로 동작하고, V_{L1}은 루프 필터 출력 전압과 같이 변화한다. 그러므로 V_{L1}이 V_{L2}보다 높을 때는 C_{OUT}은 '1'의 값을 출력한다. 이 출력 신호는 보조 전하 펌프를 조절하여 C_Z을 방전시켜 루프필터의 출력 전압을 하강하게 한다. 반대로 V_{L1}이 V_{L2}보다 낮을 때는 C_{OUT}은 '0'의 값을 출력한다. 이 출력 신호는 보조 전하 펌프를 제어하여 C_Z을 충전시켜 루프필터의 출력 전압을 상승하게 한다. 루프 필터 전압 감지기는 루프필터 전압의 변화 방향을 감지하여 루프 필터 전압 변동폭을 최소화 시켜주는 역할을 한다.

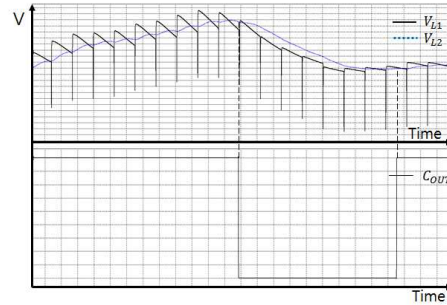


그림 4. 입력신호(V_{L1}, V_{L2})와 출력신호(C_{OUT}).
Fig. 4. Input signals(V_{L1}, V_{L2}) and output signal(C_{OUT}).

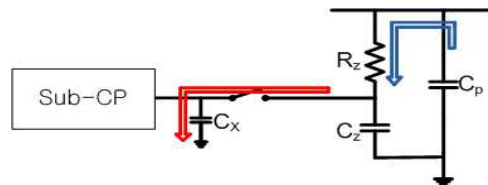


그림 5. C_{OUT}이 '1'의 값을 가질 때 보조 전하 펌프의 동작 원리
Fig. 5. Operation of auxiliary CP(charge pump) when C_{OUT} has '1'

그림 5는 C_{OUT}이 '1'일때 보조 전하 펌프 동작 원리를 보여주고 있다. 그림 6은 그림 2에서 루프필터 전압 감지기와 주파수 전압 변환기가 없는 기존 위상고정루프의 $\Delta\Delta V_{LPF}$ 와 제안된 위상고정루프의 $\Delta\Delta V_{LPF}$ 를 보여주고 있다. 기존의 위상고정루프는 UP 펄스에

의해 생기는 짧은 Δt 시간 동안 전하 펌프의 전류가 C_p 를 충전하여 루프필터 출력 전압이 상승한다. $T_{ref}-\Delta t$ 시간 동안은 작은 용량의 C_p 에서 큰 용량의 C_z 로 전하가 이동하여 초과 위상 변화량(excess phase shift)을 감소시켜 위상고정루프가 안정하게 동작하도록 한다. 제안된 위상고정루프는 $T_{ref}-\Delta t$ 시간 동안 제안된 보조 전하 펌프가 C_z 에서 C_x 로 전하를 이동(방전)시켜 초과 위상 변화량을 감소시켜 위상고정루프가 더 안정하게 동작하도록 해준다. 이에 따른 루프 필터 출력 전압 변동 폭의 감소는 위상고정루프의 위상 잡음 특성을 개선하게 된다[8].

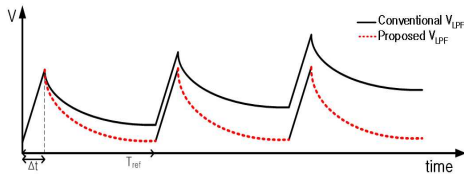


그림 6. 루프필터의 전압이 상승할 때, 기존 위상고정 루프의 $\Delta\Delta V_{LPF}$ 와 제안된 위상고정루프의 $\Delta\Delta V_{LPF}$.
Fig. 6. $\Delta\Delta V_{LPF}$ of conventional PLL and $\Delta\Delta V_{LPF}$ of proposed PLL when output voltage of loop filter increases.

제안된 위상고정루프에서는 루프 필터 전압 감지기와 참고문헌[8]에서 사용된 주파수 전압 변환기를 사용하여 전압제어발진기의 입력 신호인 루프 필터 출력 전압 변동 폭을 감소시켜 잡음 특성을 개선하였다

3. 회로 설계

그림 7은 보조 전하 펌프의 회로를 보여주고 있다. 루프 필터 전압 감지기의 비교기 출력(C_{out})은 보조 전하 펌프의 동작을 제어한다. 보조 전하 펌프의 스위치들은 추가된 커패시터 C_x 을 충전 또는 방전하는 기능을 가지고 있다. C_{out} 이 '1'일 때는 보조 전하 펌프의 NMOSFET가 동작하여 C_x 을 방전하게 된다. 반대로 C_{out} 이 '0'일 때는 보조 전하 펌프는 PMOSFET가 동작하여 C_x 을 충전한다. 스위치를 제어하는 SW_1 은 전압제어발진기의 출력 신호 (F_{out})에 의해서 동작한다. SW_1 은 C_x 의 전하를 C_z 로 전달하여 루프필터 전압의 충/방전 시키는 역할을 한다. 보조 전하 펌프는 C_{out}

의 제어에 의해 루프필터의 출력전압 변동폭을 줄이는 역할을 하게 된다.

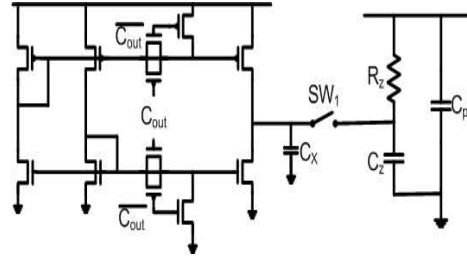


그림 7. 보조 전하 펌프 회로.
Fig. 7. Sub-charge pump circuit.

루프 필터 출력 전압을 비교기 회로에 전달할 때, 전압 플로어를 사용하여 잡음의 영향을 최소화 하였다. 그림 8은 전압 플로어에 사용된 연산증폭기 회로를 보여주고 있다. 이 전압 플로어는 그림 3의 RC 시정수 회로의 입력 신호인 C_{in} 를 출력한다.

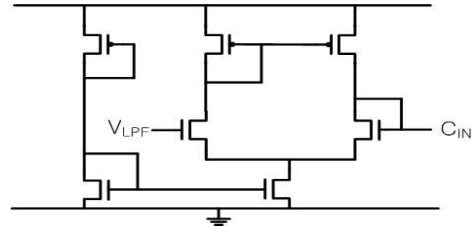


그림 8. 연산증폭기 회로 .
Fig. 8. Circuit of operational amplifier.

그림 9는 비교기 회로이다. 래치 버퍼를 사용하여 비교기 출력 신호가 'high' 또는, 'low'로 안정하게 유지되도록 하였다

4. 시뮬레이션 결과

제안된 위상고정 루프는 18.V 0.18 μ m CMOS공정 변수를 사용하여 Hspice로 시뮬레이션 하였다. 입력 주파수는 31.25MHz이고, 32 분주기를 사용하여 출력 주파수는 1GHz가 되도록 하였다. 안정하게 동작하기 위한 충분한 위상 여유를 가지도록 변수를 정하였다.

기존 구조의 전하 펌프 전류는 $200\mu\text{A}$, 전압제어 발진기이득은 330MHz/V 이며, 루프 필터 변수 값은 $R_z=1.5\text{K}\Omega$, $C_z=1.5\text{nF}$, $C_p=100\text{pF}$ 이다. 추가된 루프 필터 변환기의 보조 전하 펌프 전류는 16nA , $C_x=0.1\text{pF}$ 이며, 주파수 전압 변환기의 전류는 $25\mu\text{A}$, 커패시턴스 크기는 각각 10pF 이다.

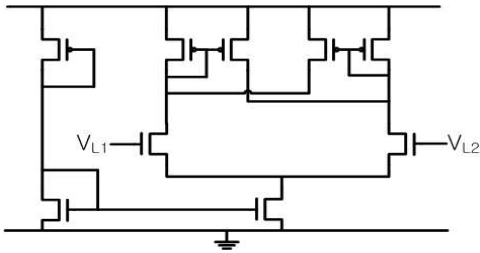
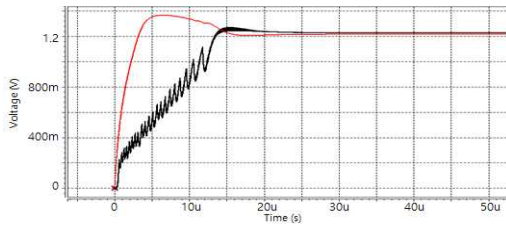
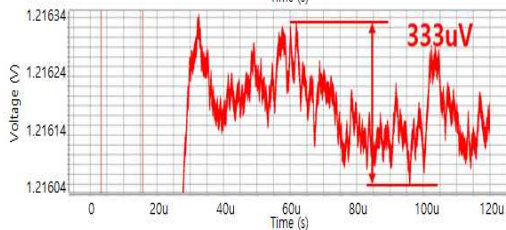
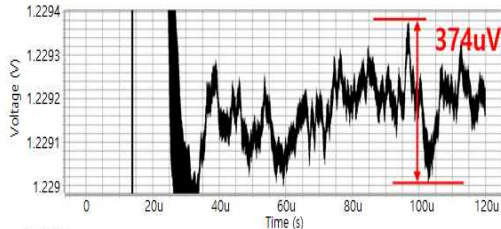


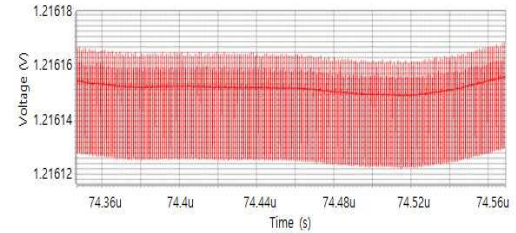
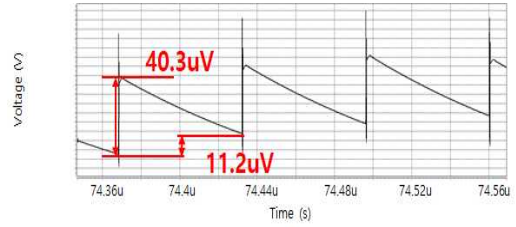
그림 9. 비교기 회로.
Fig. 9. Comparator circuit.



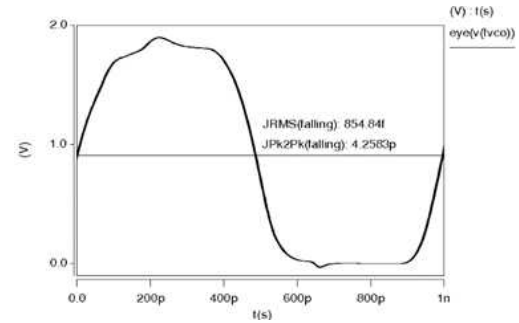
(a)



(b)



(c)



(d)

그림 10. 제안된 위상고정루프의 시뮬레이션 결과

- (a) 위상 고정 시간 (b) 루프 필터와 주파수 전압 변환기 출력 전압
- (c) 한주기당 발생하는 루프 필터와 주파수 전압 변환기 출력 전압
- (d) 지터특성

Fig.10. Simulation results of the proposed PLL

- (a) Locking time (b) Loop filter and FVC output voltage (c) Loop filter and FVC output voltage for each period (d) Jitter characteristic

표 1. 기존 PLL과 제안된 PLL의 시뮬레이션 결과

Table 1. Simulation results of the conventional and proposed PLLs

Parameter name	Simulation result	
	Conventional PLL	Proposed PLL
Lock time	$30\mu\text{s}$	$30\mu\text{s}$
ΔV_{LPF}	$611\mu\text{V}$	$374\mu\text{V}$
$\Delta\Delta V_{LPF}$	$114\mu\text{V}$	$40.3\mu\text{V}$
Jitter(RMS)	2.167ps	0.854ps

ΔV_{LPF} 와 $\Delta \Delta V_{LPF}$ 는 위상이 고정된 후의 루프 필터 출력 변동 폭과 기준 신호 한주기당 발생하는 루프 필터 출력 변동 폭이다. ΔV_{LPF} 크기는 잡음 특성, $\Delta \Delta V_{LPF}$ 는 스퍼 크기에 중요한 요소이다. 기존 구조의 값들과 비교하면 제안한 구조의 값들이 많이 감소하였음을 알 수 있다. 또한 지터 크기도 2.167ps에서 0.854ps로 1/3정도로 감소한 것을 보여주고 있다.

5. 결론

본 논문에서는 루프필터 전압 감지기와 주파수 전압 변환기를 이용하여 지터 특성을 개선한 위상고정루프의 구조를 설계하였다. 루프필터 전압 감지기와 주파수 전압 변환기를 이용하여 루프필터의 출력 전압 변동을 최소화하였다. 최소화된 전압제어발진기의 입력 전압인 루프필터의 출력 전압은 안정한 출력 주파수로 이어진다. 결과적으로 전체 위상고정루프 회로의 위상 잡음과 지터의 크기를 개선할 수 있다. 기존 하나의 부궤환 루프를 가진 위상고정루프에 루프필터 전압 감지기에서 루프 필터로 연결된 피드포워드 경로를 주파수 전압 변환기에서 루프 필터로 연결된 피드백 경로를 포함한 새로운 구조에 관한 연구가 향후 진행될 것이다.

REFERENCES

[1] A. Arakali, N. Talebbeydokthi, S. Gondi and P. K. Hanumolu, "Supply-noise mitigation techniques in phase-locked loops," Solid-State Circuits Conference, pp. 374-377, 2008.

[2] H. Arora, N. Klemmer, J. C. Morizio and P. D. Wolf, "Enhanced phase noise modeling of fractional-N frequency synthesizers," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 52, no. 2, pp. 379-395, Feb. 2005.

[3] Tsung-Hsien Lin and W. J. Kaiser, "A 900-MHz 2.5-mA CMOS frequency synthesizer with an automatic SC tuning loop," in IEEE Journal of Solid-State Circuits, vol. 36, no. 3, pp. 424-431, Mar.

2001.

[4] Sheng Ye, L. Jansson and I. Galton, "A multiple-crystal interface PLL with VCO realignment to reduce phase noise," in IEEE Journal of Solid-State Circuits, vol. 37, no. 12, pp. 1795-1803, Dec. 2002.

[5] Z. Zhang, L. Liu, P. Feng and N. Wu, "A 2.4-3.5-GHz Wideband Subharmonically Injection-Locked PLL With Adaptive Injection Timing Alignment Technique," IEEE Tran. VLSI Systems, vol. 25, no. 3, 929-941, Mar. 2017.

[6] Z. Zhang, G. Zhu and C. Patrick Yue, "A 0.65V 12-to-16GHz Sub-Sampling PLL with 56.5fs Integrated Jitter and -256.4dBm FoM," IEEE ISSSC, pp. 488-489, Feb. 2019.

[7] Z. Yang, Y. Chen, S. Yang, P. Mak, R. Matins, "A 25.4-to-29.5 GHz 10.2mW isolated subsampling PLL achieving -252.9dB jitter-power FoM and -63dBc reference spur," IEEE ISSCC, pp. 270-271, Feb. 2019.

[8] Young-Shig Choi, Jung-dae Oh, Hyek-Hwan Choi, "A Phase-Locked Loop with a Self-Noise Suppressing Voltage Controlled Oscillator," IEEE TC, vol. 47, no. 8, pp. 689-694, Aug. 2010.

저자약력

최혁환 (Hyek-Hwan Choi)

[일반회원]



- 1990년 : Arizona State University 전자공학과(공학석사)
- 1993년 : Arizona State University 전자공학과(공학박사)
- 1993년 ~ 현재 : 부경대학교 전자공학과 교수

<관심분야> RF 집적회로 설계, 아날로그 IC 설계