

게이티드 링 발진기를 이용한 UWB 임펄스 생성기

UWB impulse generator using gated ring oscillator

장 준 영**, 김 태 욱*

Junyoung Jang**, Taewook Kim*

Abstract

This paper proposes a UWB (Ultrawideband) impulse generator using the gated ring oscillator. The oscillator and PLL circuits which generate a several GHz LO signal for the conventional architecture are replaced with the gated ring oscillator. Therefore, the system complexity is decreased. The proposed architecture controls the duty of enable signal, which is used for the head switch of ring oscillator. The control of the duty enables to turn off the oscillator during the guard interval and stop wasting the power consumption. The pulse shaping method using the counter makes the small side lobe and preserves the bandwidth regardless of the change on the center frequency. Designed UWB impulse generator could change the center frequency from 6.0 GHz to 8.8 GHz with a digital bit control, while it preserves the bandwidth as about 1.5 GHz.

요 약

본 논문은 게이티드 링 발진기를 이용한 UWB(Ultrawideband) 임펄스 생성기 구조에 관한 내용이다. 기존 구조에서 필요로 하던 수 GHz의 발진기 및 PLL 회로를 게이티드 링 발진기로 대체하여 회로의 복잡도와 전력 낭비를 줄였다. 제안하는 방식은 링 발진기의 Head switch에 인가되는 Enable 신호의 길이를 조정함으로써 필요한 구간에만 발진기를 동작시키고 임펄스를 생성함으로써 출력 없이 쉬는 시간 동안 낭비되는 전력을 줄였다. 그리고 카운터를 통한 Pulse shaping 방법을 통해 사이드 로브의 발생을 억제하고 주파수 대역 변경을 위해 중심 주파수 변경시 대역폭 변화를 막을 수 있었다. 설계된 UWB 임펄스 생성기는 디지털 비트를 조정함으로써 6.0GHz에서 8.8GHz의 중심 주파수를 변경할 수 있으며 또한 사용 대역폭을 약 1.5GHz로 유지할 수 있음을 검증하였다.

Key words : UWB, impulse signal, gated ring oscillator, digital transmitter, pulse shaping

1. 서론

로봇, 드론이나 VR 게임 기기 등 정밀한 위치 추적이 필요한 분야와 저전력 근거리 통신 분야에 대한 솔루션으로 초광대역(UWB) 통신이 주목받으며

이에 관한 연구가 진행됐다[1-5]. UWB 통신은 넓은 대역폭을 갖는 임펄스 신호를 이용한다. 이 신호는 데이터 통신뿐만 아니라 좁은 구간에서만 신호가 존재하는 특성으로 정밀한 거리 측정 방안으로도 사용될 수 있었다.

* Dept. of Electrical & Electronics Engineering, Yonsei University

** BIT Micro FAB Research Center, Yonsei University

★ Corresponding author

E-mail : taewook.kim@yonsei.ac.kr, Tel : +82-2-2123-5770

※ Acknowledgment

This work was supported by the National Research Foundation of Korea (NRF) grant funded by the Korea government (MEST) (No. NRF-2019R1A2C108810113).

Manuscript received Nov. 19, 2021; revised Dec. 15, 2021; accepted Dec. 29, 2021.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

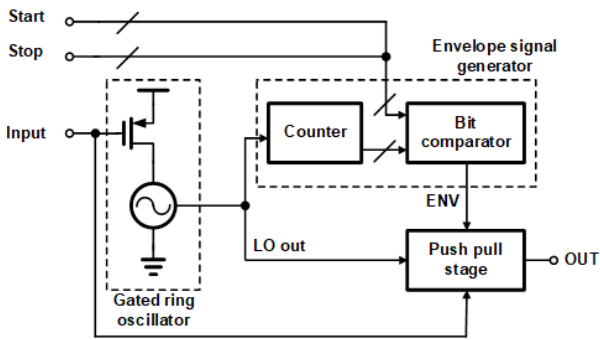


Fig. 1. The proposed architecture for the impulse generator.
그림 1. 제안하는 임펄스 생성기 구조

본 논문에서는 UWB 송신기에 필요한 새로운 임펄스 생성기 구조를 제안한다. 일반적으로 임펄스 생성기는 LC 전압 제어 발진기 또는 디지털 제어 발진기를 이용하여 임펄스의 중심 주파수를 결정한다[6-8]. 제안하는 구조는 게이트드 링 발진기를 이용하여 중심 주파수를 결정하고 신호를 생성함으로써 송신이 발생하지 않는 시간 동안 낭비되는 전력 소비와 시스템의 복잡도를 낮추도록 하였다.

전체 구성은 다음과 같다. 그림 1과 같이 Input 신호에 따라 임펄스 생성 구간에서만 동작하여 중심 주파수를 결정하는 게이트드 링 발진기, 발진기의 출력 신호(LO out)의 횟수를 세고 입력된 디지털 신호(Start, Stop)에 따라 임펄스의 형태와 대역폭을 결정하는 포락선 신호 생성기 그리고 두 회로에서 발생한 신호를 결합하여 임펄스를 생성하는 푸시-풀 단으로 구성된다. 특히 포락선 신호 생성기는 디지털 신호에 따라 포락선 신호(ENV)의 생성 구간을 자유롭게 설정함으로써 임펄스의 형태를 조정할 수 있다.

II. 본론

1. 게이트드 링 발진기

본 논문에서 사용한 게이트드 링 발진기 회로는 그림 2와 같다. 기존의 디지털 제어 발진기[7-8]과 같이 D만큼의 지연시간을 갖는 지연 블록(인버터)을 다단 연결 후 피드백으로 인가하여 발진기를 구성하였다. 그에 더해 pMOS 헤드 스위치인 M2와 3을 지연 블록과 VDD 사이에 추가하여 Input 신호의 구간(Duty)에만 동작하도록 하였다. 기존의 발진기들은 동작 시작부터 수 ns의 정착 시간이 필요하지만 제안하는 구조에서는 M1의 게이트는 항상

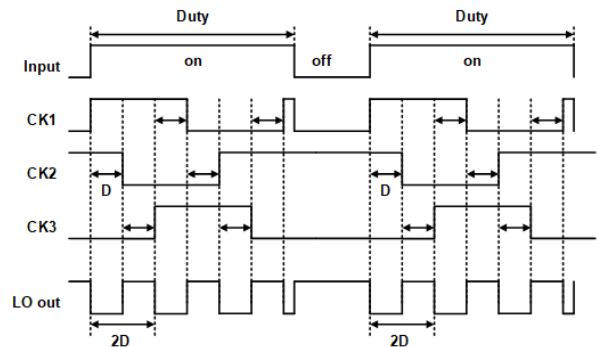
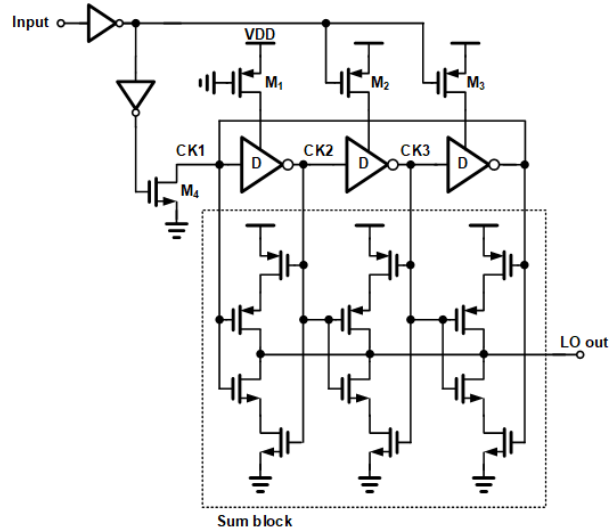


Fig. 2. The schematic of the gated ring oscillator.
그림 2. 게이트드 링 발진기 회로도

연결하고 M4를 이용하여 가동 전까지 CK1 노드에 전압을 인가함으로써 정착 시간을 최소화하였다.

디지털 제어 발진기는 최소 3개의 지연 블록을 지나며 발진하기 때문에 각 블록의 지연 시간 대비 6배의 발진 주기를 갖는다. 하지만 그림 2와 같이 본 회로에서는 Sum block을 추가하여 발진 주기를 지연시간 대비 2배로 줄였다. 자세한 동작은 그림 2의 아래 시간 다이어그램에서 확인할 수 있다. 지연 블록의 입출력에 해당하는 CK1, 2, 3은 Input 신호 상승부터 D의 지연시간을 갖으며 전달된다.

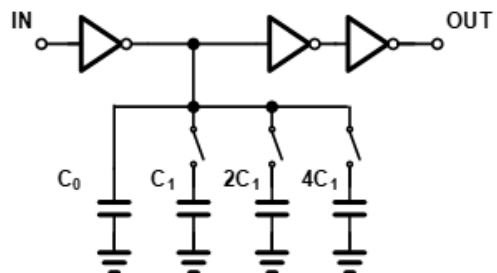


Fig. 3. The schematic of the delay cell.
그림 3. 지연 블록 회로도

Sum block은 이 지연시간 동안 신호가 겹치게 될 때 LO out 신호를 상승 또는 하강 시키며 발진 신호를 생성하게 된다.

각 지연 블록은 지연을 인가하기 위해 그림 3과 같이 인버터와 캐퍼시터를 함께 사용하였다. 그리고 스위치를 통해 캐퍼시터의 크기를 조절함으로써 지연시간 D를 조절할 수 있도록 하였다.

2. 포락선 신호 생성기

임펄스 신호의 포락선은 스펙트럼을 결정하는 요소로 목표 주파수 대역 외 발생하는 사이드 로브 주파수를 줄이기 위해 포락선의 형태를 조정할 필요가 있다[8]. 최근 UWB 임펄스 생성기는 디지털 방식의 포락선 생성 방식을 이용하는 추세로 본 논문에서도 이 방식을 이용했다[7-8].

제안하는 포락선 신호 생성기 회로는 LO out 신호와 함께 카운터 및 디지털 비트 비교기를 이용하여 구성했다. 생성되는 포락선 신호는 비교기의 입력 비트를 통해 가변할 수 있다.

그림 4는 링 발진기 출력의 상승 에지를 세는 4비트 카운터이다. 링 발진기에서 생성된 LO out 신호를 상승 에지마다 1씩 증가한다. 카운터는 4개의 D-FF(flip-flop)으로 구성했으며 출력 천이 간에 발생하는 에러를 제거하기 위해 LO out의 하강 에지에서 카운터 출력을 동시에 저장하는 4개의 D-FF이 추가로 사용되었다.

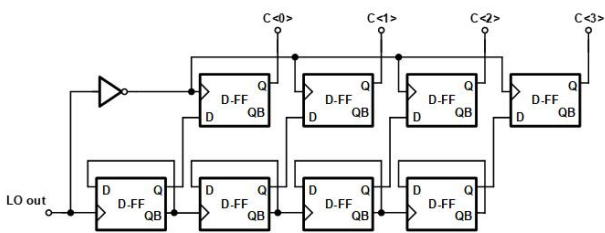


Fig. 4. 4bit counter.
그림 4. 4비트 카운터

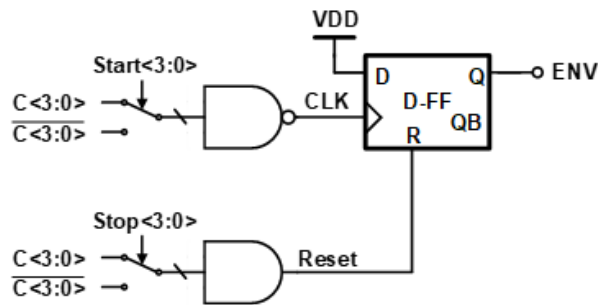


Fig. 5. Digital bit comparator.
그림 5. 디지털 비트 비교기

그림 5의 디지털 비트 비교기는 카운터의 출력 비트 (C<3:0>)가 상승하며 다른 입력 비트 Start <3:0>와 같아지는 시점에 CLK 신호가 움직여 출력 신호 ENV가 1로 상승하고 Stop<3:0>과 같아지는 시점에 Reset 신호가 발생하여 ENV를 다시 0으로 감소한다.

따라서 Start<3:0>와 Stop<3:0> 비트에 따라 듀티사이클이 결정된 ENV 신호를 생성할 수 있으며 이 비교기를 다수 사용하여 다수의 ENV 신호를 다양하게 생성할 수 있다. 본 논문에서는 4개의 비교기를 사용하였다.

3. 푸시-풀 단

푸시-풀 단은 앞의 두 회로 출력을 결합하여 최종적으로 임펄스를 생성하기 위한 단으로 푸시-풀 유닛(PP Unit)으로 구성된다(그림 6. 좌). 이 유닛은 ENV 신호 LO out을 곱하여 출력을 생성한다. NAND와 NOR 로직이 ENV 신호가 VDD로 유지되는 구간 동안 LO out 신호를 pMOS (Mp1)과 nMOS (Mn1)에 전달하며 OUT 노드를 상승 하강 시킨다. 그리고 ENV 신호가 GND로 유지되는 동안은 두 MOS를 개방상태로 유지된다.

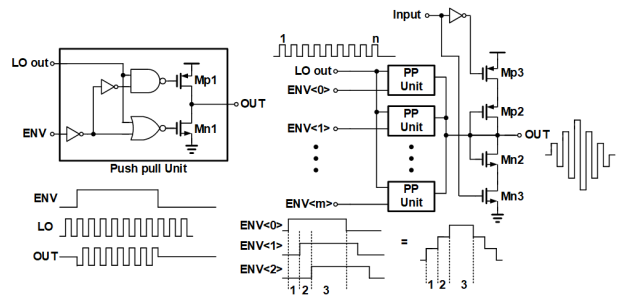


Fig. 6. Block diagram of the push-pull stage.
그림 6. 푸시-풀 단 블록 다이어그램

다수의 ENV 신호들이 각각의 푸시-풀 유닛을 구동하며 그림 6의 ENV<0:2>와 같이 ENV 신호가 겹치는 구간에서는 임펄스 신호의 크기가 증가하는 효과를 보인다. 최종적인 출력 임펄스 신호의 포락선은 ENV 신호가 결합된 형태로 결정되며 중심 주파수는 LO out의 속도로 결정된다.

마지막의 Mp2, Mn2 트랜지스터는 다이오드 형태의 연결로 출력의 중심 전압을 잡고 50 ohms 매칭을 수행하며 Mp3, Mn3 트랜지스터를 스위치로 사용하여 신호 생성 구간 이외에는 개방시켜 전류 낭비를 막았다.

4. 시뮬레이션 결과

제안하는 회로는 65nm CMOS 공정으로 설계되었으며 Cadence사의 MMSIM 시뮬레이터로 검증되었다(pre simulation). 다만 고속 동작으로 기생 캐퍼시턴스에 민감한 게이트드 링 발진기와 포락선 신호 생성기 내의 카운터는 post-layout simulation 으로 검증하였다.

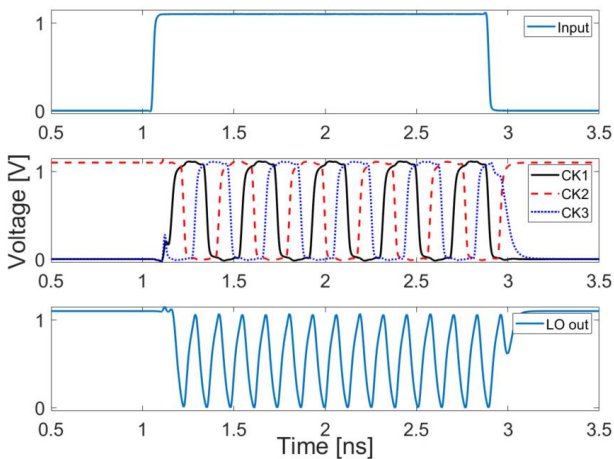


Fig. 7. The simulation result of the gated ring oscillator.
그림 7. 게이트드 링 발진기의 시뮬레이션 결과

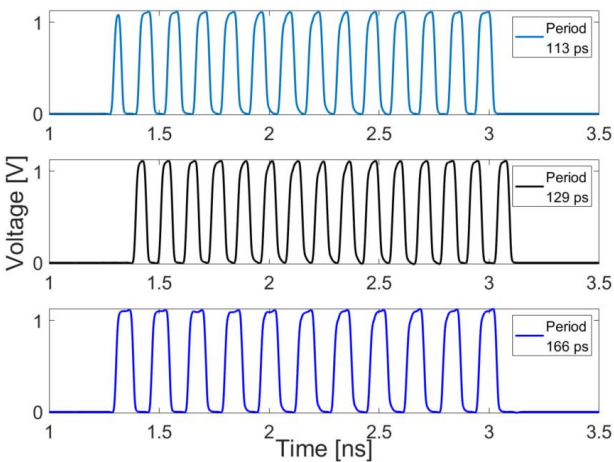


Fig. 8. The variation of period through the delay cell control.
그림 8. 지연 회로 조절을 통한 신호 주기 변경

가. 게이트드 링 발진기

그림 7은 게이트드 링 발진기의 시뮬레이션 결과이다. Input 신호의 상승과 함께 링 발진기가 동작하며 각 지연 회로의 출력(CK1, 2, 3)이 D의 지연 시간을 갖고 움직이게 된다. 결과적으로 2D의 주기를 갖는 LO out 출력 신호가 생성된다. 그리고 앞서 언급했듯이 제안하는 발진기는 시작부터 정착

까지 약 130 ps의 짧은 시간이 소요된다.

그림 3의 스위치 조정 시 지연시간을 조정할 수 있으며 이는 LO out의 주기 조정으로 이어진다. 그림 8의 시뮬레이션 결과는 스위치 조절을 통해 LO out 주기를 113~166ps까지 조정할 것을 보여준다. 이는 6.0GHz~8.8GHz의 중심 주파수 범위에 해당한다.

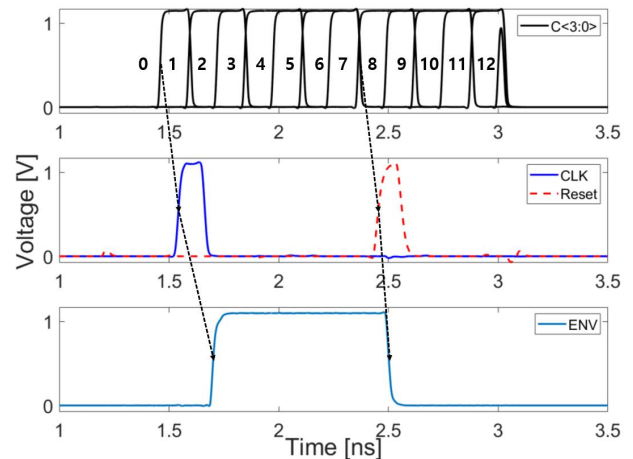


Fig. 9. The simulation result of the envelope signal generator.
그림 9. 포락선 신호 생성기 시뮬레이션 결과

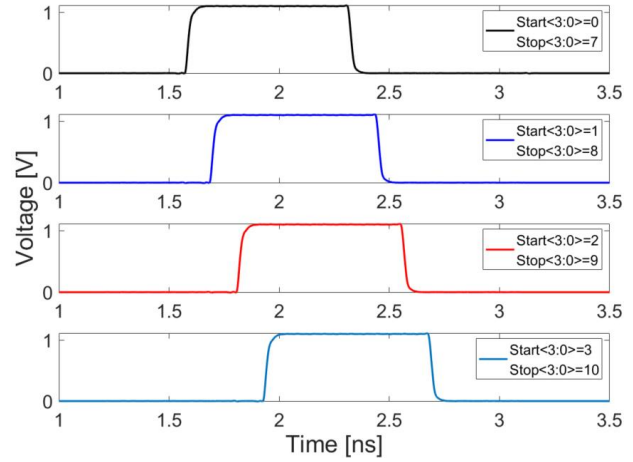


Fig. 10. The simulation result of the envelope signal.
그림 10. 포락선 신호 시뮬레이션 결과

나. 포락선 신호 생성기

그림 9는 포락선 신호 생성기의 시뮬레이션 결과이다. 제일 윗줄은 카운터 결과로 LO out 신호에 따라 1씩 증가하고 있다. 시뮬레이션에서는 Start<3:0>=1, Stop<3:0>=8을 사용하여 검증하였으며 결과적으로 C<3:0>=1일 때 CLK, 8일 때 Reset 신호가 발생하고 D-FF을 통해 ENV 신호가 발생함

을 확인할 수 있다.

앞서 언급했듯이 제안하는 회로에서는 4개의 포락선 신호를 사용하였다. 각각의 start, stop<3:0> 비트를 다르게 인가하여 그림 10과 같이 ENV 신호를 생성하여 사용하였다.

카운터와 디지털 비트를 통해 신호의 시작, 끝 지점을 설정하기 때문에 필요에 따라 변경도 가능하며 이는 중심 주파수 변경시 대역폭 유지에서 중요한 역할을 한다.

다. 푸시-풀 단

그림 11은 푸시-풀 단에서 앞선 LO out 신호와 ENV 신호를 결합하여 생성한 임펄스 신호이다. 왼쪽은 시간 축에서 나타나는 임펄스의 형태로 그림 9의 ENV 신호들을 결합한 형태의 포락선을 나타내며 LO out 신호의 속도로 움직인다.

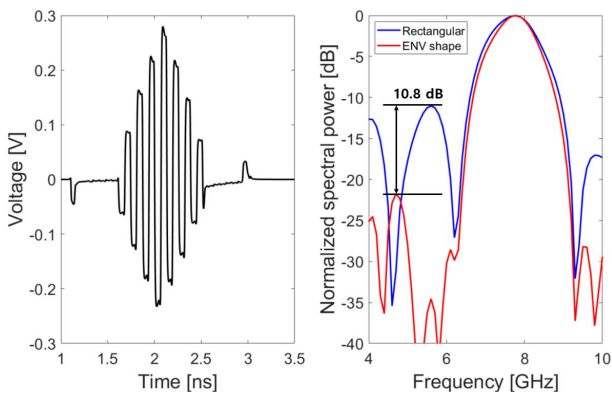


Fig. 11. The transient result and spectrum of UWB impulse signal.

그림 11. UWB 임펄스 신호의 시간과 주파수 특성

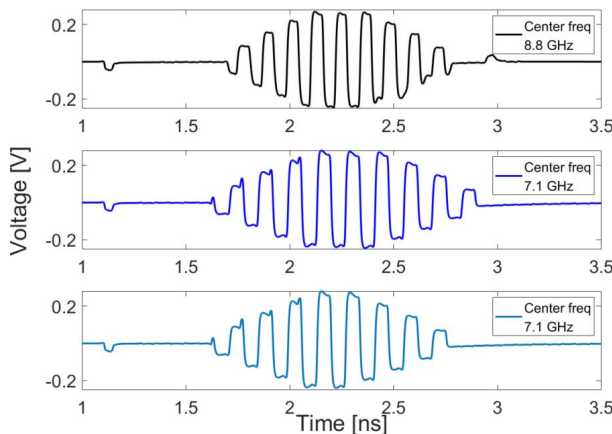


Fig. 12. The bandwidth and center frequency control of UWB impulse signal.

그림 12. UWB 임펄스 신호의 중심 주파수 및 대역폭 조절

Table 1. The performance summary of the proposed architecture.

표 1. 제안하는 구조의 성능 요약

Parameters	This work	[6]	[8]
Technology	65nm CMOS	130 nm CMOS	28 nm CMOS
Power consumption [pJ/pulse]	4.1 @ 10 MHz	39.6 @ 10 MHz	16 @ 1.95 MHz*
Frequency range [GHz]	6.0-8.8	6.5-9.5	3-10
Bandwidth range [GHz]	1 -2.5 @ 7.7 GHz	2	0.5, 1

* Calculated from a symbol repetition frequency (31.2 MHz) and the symbol of 16-pulse

오른쪽은 이에 대한 주파수 특성으로 포락선에 의한 사이드 로브 감소를 비교하기 위해 Start, Stop<3:0>을 하나로 일치시킨 직사각형 형태의 포락선을 갖는 임펄스와 비교하였다. 그림 11에 나타냈듯이 포락선 형태에 의해 가장 큰 사이드 로브가 약 10.8 dB 감소한다.

제안하는 회로는 임펄스의 중심 주파수를 결정하는 LO out 신호를 카운트에도 사용하여 포락선 신호를 생성하기 때문에 게이트드 링 발진기의 지연 시간을 조절하여 중심 주파수를 변경할 때 포락선의 너비도 함께 영향을 받는다. 다만, 디지털 비트 비교기에 입력되는 Stop<3:0> 비트를 조절함으로써 이러한 영향을 보상하여 신호의 대역폭이 중심 주파수 변화에 둔감하게 할 수 있다.

그림 12는 이러한 보상을 실제 시뮬레이션으로 검증한 결과이다. 중심 주파수를 8.8 GHz에서 7.1 GHz로 조정할 때 Stop<3:0>을 일정하게 유지하면 그만큼 신호의 길이가 길어지며 대역폭이 감소하게 된다. 하지만 Stop<3:0> 비트를 적절히 조정하면 다시 신호의 길이를 줄이고 대역폭의 감소를 막을 수 있다.

수 GHz의 카운트와 디지털 방식으로 대역폭을 조정하는 만큼 1~2.5 GHz의 넓은 조정 범위를 갖지만 조정 분해능 때문에 불연속적인 조정값을 나타낸다. 따라서 서로 다른 중심 주파수의 임펄스 간에 완벽하게 같은 대역폭을 부여하는 것은 힘들다. 하지만 발생하는 오차는 발진 신호 주기의 절반 이내로 크지 않다.

표 1은 제안하는 UWB 임펄스 생성기의 성능과 이전 연구 결과 사이의 비교이다. 제안하는 구조의

평균 전력 소비는 10MHz의 속도로 임펄스를 생성할 경우(pulse repetition rate, PRF) 약 411 uW로 이는 기존 결과들 대비 낮은 약 4.1 pJ/pulse에 해당한다. 더욱이 제안하는 구조는 임펄스 생성 구간에서만 동적 소비 전력이 발생하는 만큼 센서 또는 저속 통신 등 유휴 시간이 긴 애플리케이션에서 동적 소비 전력을 더욱 낮출 수 있다.

III. 결론

본 논문에서는 65nm CMOS 공정을 이용한 UWB 임펄스 생성기를 제안하였다. 이 생성기는 게이트드 링 발진기를 이용함으로써 기존에 사용되었던 발진기와 PLL을 대체하고 신호가 생성되지 않는 시간 동안 소비 전력의 낭비를 줄이도록 하였다. 또한 디지털 포락선 생성 방식을 카운터를 이용하여 구현함으로써 포락선의 디지털 조정 및 중심 주파수 변화에 둔감한 대역폭을 유지하도록 만들었다.

디지털 로직 회로들을(인버터, AND 게이트, 스위치 등) 이용하여 대부분 블록을 구성함으로써 중심 주파수 조절, 대역폭 조절을 디지털 방식으로 수행하였고 결과적으로 약 0.41 mW의 전력 소비에서 임펄스의 중심 주파수가 6.0~8.8GHz의 범위에서 선택할 수 있도록 하였다.

References

- [1] J. M. Lee, M. C. Park, Y. S. Eo, "A CMOS IR-UWB RFIC for Location Based Systems," *Journal of The Institute of Electronics Engineers of Korea*, Vol.52, no.12, pp.67-74, 2015. DOI: 10.5573/ieie.2015.52.12.067
- [2] M. C. Park, W. I. Chang, J. O. Ha, Y. S. Eo, "A Non-coherent IR-UWB RF Transceiver for WBAN Applications in 0.18 μ m CMOS," *Journal of The Institute of Electronics Engineers of Korea*, Vol.53, no.2, pp.36-44, 2016. DOI: 10.5573/ieie.2016.53.2.036
- [3] S. Geng, D. Liu, Y. Li, H. Zhuo, W. Rhee, Z. Wang, "A 13.3 mW 500 Mb/s IR-UWB Transceiver With Link Margin Enhancement Technique for Meter-Range Communications," *IEEE Journal of Solid-State Circuits*, Vol.50, no.3, pp.669-678, 2015. DOI: 10.1109/ISSCC.2014.6757381
- [4] H. G. Han, B. G. Yu, T. W. Kim, "A 1.9 mm-precision 20GS/S real-time sampling receiver using time-extension method for indoor localization," *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, pp.352-353, 2015. DOI: 10.1109/ISSCC.2015.7063071
- [5] G. Lee, J. Park, J. Jang, T. Jung, T. W. Kim, "An IR-UWB CMOS Transceiver for High-Data-Rate, Low-Power, and Short-Range Communication," *IEEE Journal of Solid-State Circuits*, Vol.54, no.8, pp.2163-2174, 2019. DOI: 10.1109/JSSC.2019.2914584
- [6] W. Jang, W. Choi, T. Kong, M. Park, and Y. Eo, "A Power Efficient Impulse Generator for 6-9 GHz UWB Applications," *Microwave and Optical Technology Letters*, vol.61, pp.587-591, 2019. DOI: 10.1002/mop.31642
- [7] P. P. Mercier, D. C. Daly, and A. P. Chandrakasan, "An energy-efficient all-digital uwb transmitter employing dual capacitively coupled pulse-shaping drivers," *IEEE Journal of Solid-State Circuits*, Vol.44, no.6, pp.1679-1688, 2009. DOI: 10.1109/JSSC.2009.2020466
- [8] Allebes, Erwin, Gaurav Singh, Yuming He, Evgenii Tiurin, Paul Mateman, Ming Ding, Johan Dijkhuis et al. "21.2 A 3-to-10GHz 180pJ/b IEEE802. 15.4 z/4a IR-UWB Coherent Polar Transmitter in 28nm CMOS with Asynchronous Amplitude Pulse-Shaping and Injection-Locked Phase Modulation," *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, pp.304-306. 2021. DOI: 10.1109/ISSCC42613.2021.9365841

BIOGRAPHY

Junyoung Jang (Member)



2014 : BS degree in Electrical & Electronic Engineering, Yonsei University.

2014~ : PhD student in Electrical & Electronic Engineering, Yonsei University.

Taewook Kim (Member)

2000 : BS degree in Electrical Engineering, Yonsei University.
2002 : MS degree in Korea Advanced Institute of Science and Technology (KAIST).
2005 : PhD degree in Korea Advanced Institute of Science and Technology (KAIST).

Since September 2007, he has been with the School of Electrical and Electronic Engineering, Yonsei University, where he is currently a professor.