

Parallel NPN BJT로 인한 높은 홀딩 전압을 갖는 SCR 기반 양방향 ESD 보호 소자에 관한 연구

A study on SCR-based bidirectional ESD protection device with high holding voltage due to parallel NPN BJT

정 장 한*, 우 제 욱*, 구 용 서*

Jang-Han Jung*, Je-Wook Woo*, Yong-Seo Koo*

Abstract

In this paper, we propose a new ESD protection device with high holding voltage with low current gain of parasitic NPN BJT by improving the structure of the existing LTDDSCR. The electrical characteristics of the proposed protection device were analyzed by HBM simulation using Synopsys' TCAD simulation, and the operation of the added BJT was confirmed by current flow, impact ionization and recombination simulation. In addition, the holding voltage characteristics were optimized with the design variables D1 and D2. As a result of the simulation, it was verified that the new ESD protection device has a higher holding voltage compared to the existing LTDDSCR and has a symmetrical bidirectional characteristic. Therefore, the proposed ESD protection device has high area efficiency when applied to an IC and is expected to improve the reliability of the IC.

요 약

본 논문에서는 기존의 LTDDSCR의 구조를 개선하여 기생 NPN BJT의 낮은 전류이득으로 높은 홀딩전압을 갖는 새로운 ESD 보호 소자를 제안한다. 제안된 보호 소자는 Synopsys사의 TCAD simulation을 이용하여 HBM simulation으로 전기적 특성을 분석하였고 current flow와 impact ionization 및 recombination Simulation으로 추가된 BJT가 동작하는 것을 확인하였다. 또한, 설계변수 D1, D2로 홀딩전압 특성을 최적화하였다. Simulation 수행결과, 새로운 ESD 보호 소자는 기존의 LTDDSCR과 비교하여 높은 홀딩전압을 갖는 것이 검증되었고 대칭적인 양방향 특성을 갖는 것이 확인되었다. 따라서 제안된 ESD 보호 소자는 IC에 적용될시 높은 면적 효율성을 가지며 IC의 신뢰성을 향상시킬 것으로 기대된다.

Key words : ESD, Latch-up, SCR, LTDDSCR, Holding Voltage

* Dept. of Electronics Engineering, Dankook University

★ Corresponding author

E-mail : wkdgks0248@naver.com, Tel : +82-031-8005-3625

※ Acknowledgment

This research was supported by the MSIT(Ministry of Science and ICT), Korea, under the ITRC(Information Technology Research Center) support program(IITP-2020-2018-0-01421) supervised by the IITP(Institute for Information & Communications Technology Planning & Evaluation). This work was supported by the National Research Foundation of Korea(NRF) grant funded by the Korea government Ministry of Education(NRF-2021R1F1A1049866)

Manuscript received Dec. 20, 2021; revised Dec. 28, 2021; accepted Dec. 29, 2021.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

일상생활에서 건조한 날에 자동차 문손잡이 또는 전자제품을 만질 때 정전기 방전을 흔히 경험할 수 있다. 이처럼 대전된 물체가 접촉할 때 축적되어있던 전하들이 순간적으로 빠르게 방전되는 현상을 ESD (Electro-static Discharge)라고 한다. 큰 범주로는 공급전원의 불안정, 낙뢰, 래치업 현상이 주원인인 EOS(Electrical Overstress)가 있다. 이러한 현상은 반도체 IC(Integrated Circuit)에서 특히 문제가 되고 있다. 반도체 공정 과정에서 대전된 인체나 기계가 IC의 외부 핀과 접촉할 가능성은 높으며 이때, IC 내부의 소자 및 금속 배선을 파괴하고 회로의 오작동이 일어날 수 있다[1]. 현재 ESD 현상은 IC 불량률의 상당한 부분인 25~30%를 차지한다. 이러한 문제는 Gate Oxide Down Scaling, 반도체 소형화와 같은 공정기술의 발달에 따라 큰 문제로 다가오고 있다[2][3].

따라서 ESD 현상에 대한 IC의 보호는 필수적이며 다양한 연구가 진행되어오고 있다. 대표적으로 GGNMOS(Gate-Grounded NMOS) 보호 소자의 전류 구동능력이 낮다는 단점을 보완하기 위해 SCR (Silicon-Controlled-Rectifier)에 대한 연구가 활발하게 진행되고 있다[4]. SCR은 기생 NPN, PNP BJT (Bipolar Junction Transistor)의 정제환 동작을 이용하여 우수한 전류구동능력을 갖는다. 하지만 동작 시에 P-WELL과 N-WELL 접합영역에서 Avalanche Breakdown이 일어나기 때문에 높은 트리거전압과 낮은 홀딩전압을 가지므로 IC에 적용하는 데에 어려움을 겪고 있다[5], [6].

LVTSCR(Low-Voltage-Trigger SCR)은 이러한 전기적 특성을 개선하기 위해 브릿지 영역을 추가한 소자이다. 또한, 일반적인 SCR은 단방향 ESD 경로로 인해 음의 ESD 서지에 취약하고 이로 인해 2개의 SCR로 구성된 솔루션은 큰 면적을 차지하게 된다. 때문에 양방향 ESD 경로를 갖는 LTDDSCR (Low-Triggering Dual Directional SCR)이 연구되었으나 긴 방전경로로 인한 큰 온 저항과 낮은 홀딩 전압 특성을 갖는다[7].

따라서 본 논문에서는 루프 Gain 감소로 높은 홀딩전압을 갖는 양방향 SCR ESD 보호소자를 제안한다. 이는 Synopsys사의 TCAD를 이용하여 검증되었으며 DB HiTek 사의 0.18um BCD(Bipolar-

CMOS-DMOS) 공정을 이용하여 설계하였고, TLP 측정을 통해 전기적 특성을 검증하였다. 또한, 신뢰성 검증을 위한 HBM(Human Body Model) Test 를 수행하였다.

II. 본론

1. 기존의 ESD 보호소자

기존의 LTDDSCR의 단면도와 등가회로를 각각 그림 1, 2에 나타내었다. LTDDSCR은 SCR을 대칭 구조로 형성하여 ESD 서지가 어느 쪽으로 인가되든지 상관없이 SCR 전류 경로를 형성하여 서지를 방전할 수 있다.

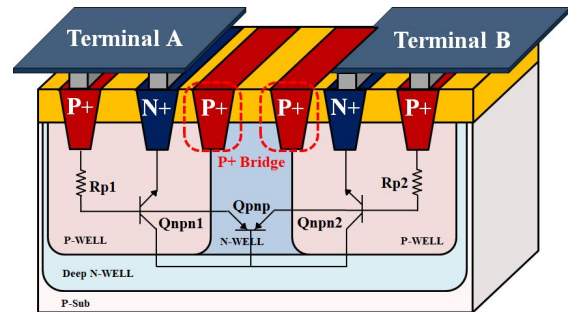


Fig. 1. Cross section of the conventional LTDDSCR.
그림 1. 일반적인 LTDDSCR의 단면도

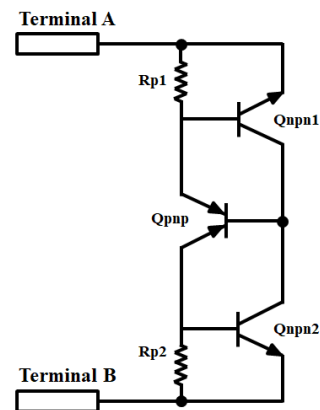


Fig. 2. Equivalent circuit of the conventional LTDDSCR.
그림 2. 일반적인 LTDDSCR의 등가회로

LTDDSCR의 동작원리는 다음과 같다. 양의 ESD 서지가 Terminal A로 인가되면 N-WELL의 전위가 상승하며 P+ 브릿지 간에 역방향 바이어스가 형성된다. 이때, 지속적으로 인가되는 ESD 서지가 P+ 브릿지와 N-WELL간의 임계전압에 도달하면 Avalanche Breakdown이 발생하고 이는 접합 부에

다량의 EHP(Electron-Hole-Pair)를 생성한다. 이때, 생성된 EHP 중에서 Hole은 P-WELL을 통해 Terminal B로 빠져나가며 P-WELL 저항 R_{p2} 로 인해 전압강하가 발생한다. 이 전압강하가 기생 Q_{npn2} 의 Base-Emitter 간의 순방향 Turn-on 전압에 도달하면 Q_{npn2} 가 동작하게 된다. Q_{npn2} 의 동작으로 인해 Q_{pnp} 가 동작하게 되고 서로 Base 전류를 공급해주는 정제환 루프를 형성하게 된다. 따라서 일정 전압 아래로 내려갈 때 까지 Snapback 되어 ESD 서지를 방전하게 된다. 음의 ESD 서지가 인가될 때는 Q_{npn1} 과 Q_{pnp} 가 동작하여 동일한 원리로 서지를 방전하게 된다. 하지만 앞서 다뤘듯이 큰 전류 구동능력으로 인한 낮은 홀딩전압을 가지며 래치업 이슈 등 IC 보호에서 문제가 될 가능성이 있다.

2. 제안된 ESD 보호소자

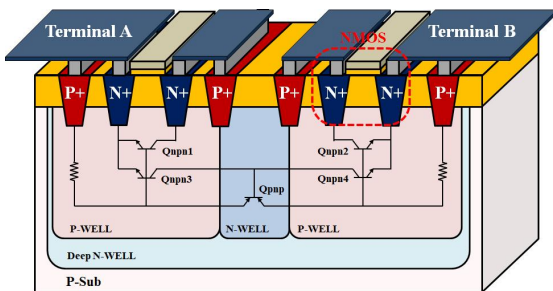


Fig. 3. Cross section of the proposed ESD protection circuit.
그림 3. 제안된 ESD 보호소자의 단면도

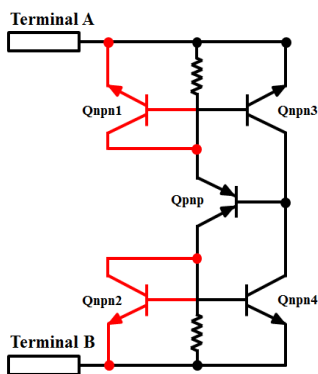


Fig. 4. Equivalent circuit of the proposed ESD protection circuit.
그림 4. 제안된 ESD 보호소자의 등가회로

그림 3, 4에 각각 제안된 보호소자의 단면도와 등가회로를 나타내었다. 제안된 보호소자는 기존 LTDDSCR의 단점을 보완하기 위해 LTDDSCR 구조에 GGNMOS 형태를 삽입하여 기존의 SCR 루프에 추가적인 기

생 Q_{npn1} , Q_{npn2} 를 형성함으로써 SCR의 정제환 루프의 Gain을 낮춤으로써 높은 홀딩전압을 갖도록 하였다. 또한, P+ 브릿지 영역으로 인해 보다 높은 농도에서 Avalanche Breakdown이 일어나도록 유도하여 트리거 전압을 낮추었다.

구조는 일반적인 LTDDSCR과 유사하나 2개의 GGNMOS 구조가 삽입되어 있으며 각각의 NMOS의 Drain영역은 P+ 브릿지 영역과 전기적으로 연결된다. 이외의 P+와 NMOS의 Source 영역은 전기적으로 연결되어 Terminal A, Terminal B를 구성한다.

동작원리는 위에 다루었던 LTDDSCR와 동일하며 달라지는 점은 다음과 같다. Terminal A에 인가되는 양의 ESD 서지를 가정하였을 때, 순방향 Turn-on된 Q_{npn2} , Q_{npn4} 중 Q_{npn4} 는 Q_{pnp} 와 SCR 경로를 구성하여 다량의 ESD 전류를 방전시키고 GGNMOS 구조의 삽입으로 형성된 Q_{npn2} 는 Q_{npn4} 의 Base로 유입되는 Q_{pnp} 의 Collector 전류를 일부 방전하여 SCR 경로의 루프 Gain을 감소시킨다. 따라서 높은 홀딩전압을 갖게 된다. Terminal B 단자에 ESD 서지가 인가될 경우에도 동일하게 Q_{npn1} , Q_{npn3} 가 동작하여 ESD 전류를 방전하게 된다.

3. 시뮬레이션 결과

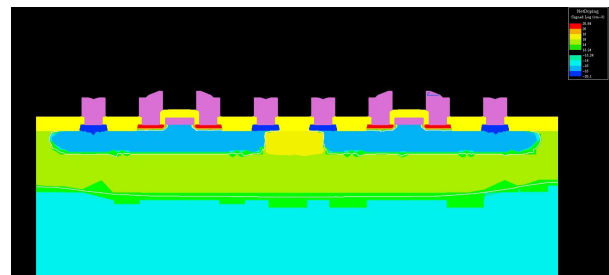


Fig. 5. Simulation structure of the proposed ESD protection device.
그림 5. 제안된 ESD 보호소자의 Simulation 구조

본 논문에서는 제안된 ESD 보호소자의 전기적 특성 분석을 위해 Synopsys사의 TCAD Simulator를 사용하였다. 그림 5, 6은 제안된 ESD 보호소자의 TCAD Simulator로 구현한 단면도와 HBM 4kV I-V 전기적 특성 결과이다.

그림 6에서 비교된 두 구조 모두 정방향, 역방향 I-V 특성이 대칭적인 것을 확인하였으며 기존의 LTDDSCR의 홀딩전압은 1.9V이고, 제안된 ESD

보호소자의 홀딩전압은 4.1V로 약 2.2V 상승하였음을 확인하였다.

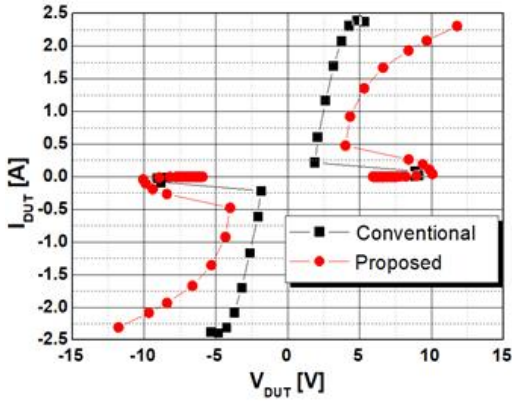


Fig. 6. HBM 4kV Simulation Results of conventional LTDDSCR and Proposed ESD Protection Device.
그림 6. 일반적인 LTDDSCR 과 제안된 ESD 보호소자의 HBM 4kV Simulation 결과

다음으로는 홀딩전압의 상승의 원인이 추가로 삽입된 Qnpn임을 확인하기 위해 Time Simulation을 진행하였다. 이는 아래 그림 7에 나타내었다.

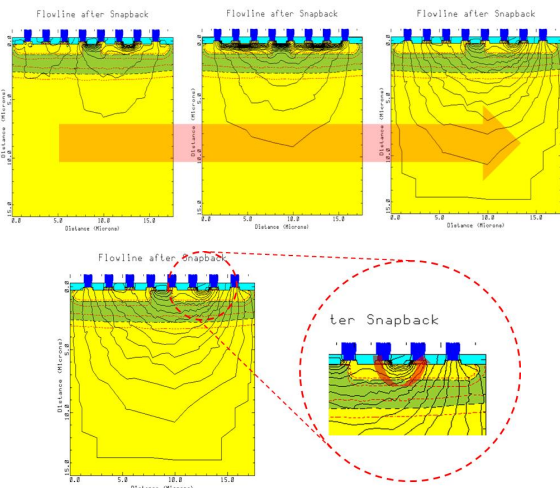


Fig. 7. Current flow simulation results of the proposed ESD protection device.
그림 7. 제안된 ESD 보호소자의 시간에 따른 Current Flow Simulation 결과

결과에 따르면, 제안된 ESD 보호 소자가 완전히 Turn-on 되었을 때 추가로 발생한 Qnpn의 Current Flow가 확인되었다. 따라서, 기존의 SCR 루프에서 Qnpn의 Collector 전류를 일부 방전하는 것을 확인할 수 있다.

다음으로 Impact Ionization 및 Recombination

Simulation을 통해 추가로 형성된 Qnpn의 Turn-on 여부를 검증하였고 그림 8에 나타내었다.

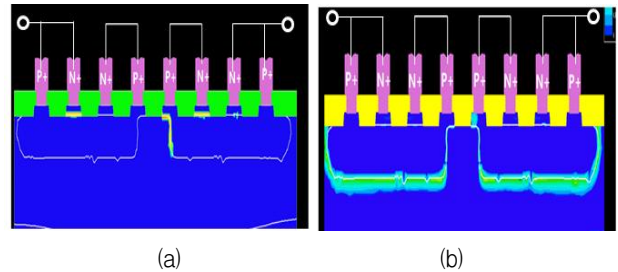


Fig. 8. Result of Proposed ESD Protection Device
(a) Impact Ionization Simulation
(b) Recombination Simulation Result.

그림 8. 제안된 ESD 보호소자의 (a) Impact Ionization Simulation 결과 (b) Recombination Simulation 결과

Simulation 결과로 추가로 형성된 Qnpn의 Collector 접합부의 Impact Ionization이 확인되었으며, 접합부의 Recombination이 발생하는 것을 확인하였다.

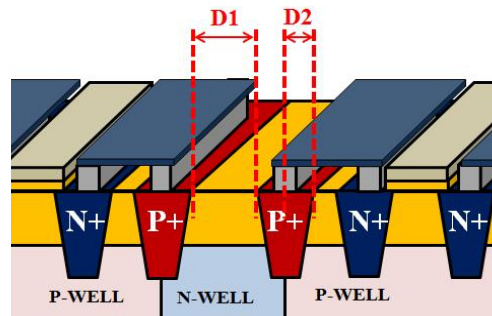


Fig. 9. Design variable of the proposed ESD protection device.

그림 9. 제안된 ESD 보호 소자의 설계 변수

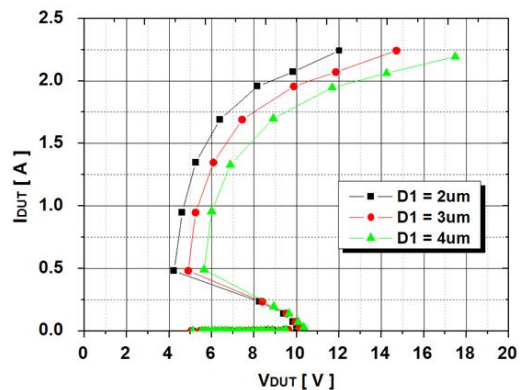


Fig. 10. Simulation of I-V characteristics of the proposed ESD protection device according to D1.

그림 10. 설계변수 D1에 따른 제안된 ESD 보호 소자의 I-V 특성 시뮬레이션

본 논문에서는 홀딩전압 특성 분석을 위하여 유효 Base Length에 해당하는 설계변수 D1, D2를 설정하였다. D1은 Qnpn의 Base Length를 나타내며 D2는 Qnpn2의 Base Length를 나타낸다. 설계 변수의 위치는 그림 9에 나타내었으며 다음은 설계 변수에 따른 I-V 특성 곡선과 정리표이다.

Table 1. Holding voltage with design variable D1.

표 1. 설계변수 D1에 따른 홀딩 전압 변화

D1	Holding Voltage
2um	4.1 V
3um	4.8 V
4um	5.6 V

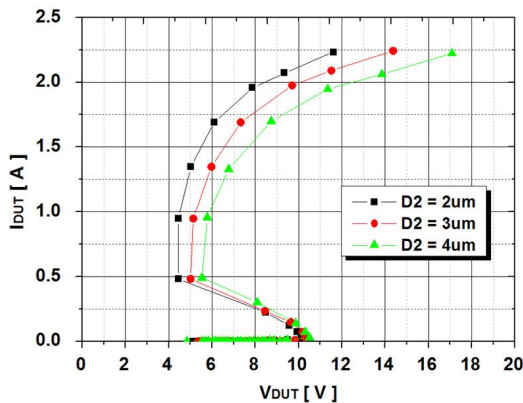


Fig. 11. Simulation of I-V characteristics of the proposed ESD protection device according to D2.

그림 11. 설계변수 D2에 따른 제안된 ESD 보호 소자의 I-V 특성 시뮬레이션

Table 2. Holding voltage with design variable D2.

표 2. 설계변수 D2에 따른 홀딩 전압 변화

D2	Holding Voltage
2um	4.3 V
3um	5.0 V
4um	5.6 V

모든 설계변수에서 홀딩 전압이 증가하는 이유는 유효 Base Length가 늘어남에 따라 전류 이득이 감소하기 때문이다.

III. 결론

본 논문에서는 기존 LTDDSCR 구조의 단점을 보완한 새로운 구조의 ESD 보호 소자를 제안하였

다. 기존의 ESD 보호소자인 LTDDSCR은 동작시 SCR 구조의 정궤환 루프 형성으로 낮은 홀딩 전압을 가져 IC 적용시 래치업 이슈에 취약하다는 단점을 갖는다. 따라서 새로운 ESD 보호 소자는 GGNMOS 구조 삽입으로 기생 BJT의 전류이득을 감소시켜 높은 홀딩전압을 갖는다. 또한, 양방향 특성을 그대로 유지하여 단방향 SCR보다 면적 효율이 우수한 소자이다. 본 논문은 TCAD 시뮬레이션을 통하여 제안된 ESD 보호 소자의 전기적 특성을 분석하였으며 설계변수를 조정하여 홀딩전압의 상승을 확인하였다. 설계변수를 사용하여 본 논문의 보호 소자를 적용하는 어플리케이션의 홀딩 전압을 최적화할 수 있다. 결과적으로 제안된 ESD 보호 소자는 IC 신뢰성 향상에 기여할 것으로 사료된다.

References

[1] Hyun-Young Kim, "A Study on the Electrical Characteristic of SCR-based Dual-Directional ESD Protection Circuit According to Change of Design Parameters," *j.inst.Korean.electr.electron.eng*, Vol.19, No.2, pp.265-270. 2015.
DOI: 10.7471/ikeee.2015.19.2.265

[2] Albert Z. H. Wang, *On-Chip ESD Protection for Integrated Circuits 2nd ed*, Springer, 2002.

[3] M. D. Ker and C. C. Yen, "Investigation and Design of On-Chip Power-Rail ESD Clamp Circuits Without Suffering Latch up-Like Failure During System-Level ESD Test," *IEEE J.Solid-State Circuits*, vol.43, no.11, pp.2533-2545. 2008.
DOI: 10.1109/JSSC.2008.2005451

[4] Puligandla Viswanadham, Pratap Singh, *Failure Modes and Mechanisms in Electronic Packages*, Chapman&Hall International Thomson Publishing, pp.262-269, 1998.

[5] O. Quittard, Z. Mrcarica, F. Blanc, G. Notermans, T. Smedes, and H.van Zwol, "ESD protection for high-voltage CMOS technologies," *in Proc. EOS/ESD Symp.*, pp.77-86. 2006.
DOI: 10.1109/EOSESD.2006.5256797

[6] K. D Kim "A Study on the Novel SCR Nano ESD Protection Device Design and Fabrication," *j.inst.Korean.electr.electron.eng*, vol.9, no.2, pp.83-91,

2005.

[7] R. G. Wagner, J. Soden and C. F. Hawkins,
“Extend and Cost of EOS/ ESD Damage in an IC
Manufacturing Process,” in *Proc. of the 15th EOS/
ESD Symp.*, pp.49-55, 1993

BIOGRAPHY

Jang-Han Joung (Member)



2021 : BS degree in Electrical
Engineering, DanKook University.
2021 ~ : Unified course of the
master's in Electronics and
Engineering, DanKook University.

Je-Wook Woo (Member)



2019 : BS degree in Electrical
Engineering, SeoKyeong University.
2019 ~ : Unified course of the
master's in Electronics and
Engineering, DanKook University.

Yong-Seo Koo (Member)



1981 : BS degree in Electronics
Engineering, Sogang University.
1983 : MS degree in Electronics
Engineering, Sogang University.
1992 : Ph.D degree in Electronics
Engineering, Sogang University.
Current research interest : integrated
circuit, micro processor