

디지털 스위칭 노이즈를 감소시킨 베타선 센서 설계

김영희*, 김홍주*, 차진솔*, 황창윤**, 이동현**, R. M. Salman*, 박경환***, 김종범****, 하판봉*

A Study on the Design of a Beta Ray Sensor Reducing Digital Switching Noise

Young-Hee Kim*, Hong-Zhou Jin*, Jin-Sol Cha*, Chang-Yoon Hwang**, Dong-Hyeon Lee** , R. M. Salman*, Kyung-Hwan Park***, Jong-Bum Kim****, Pan-Bong Ha*

요약 기존에 진성난수 생성기를 위한 베타선 센서 회로의 아날로그 회로와 비교기 회로에 사용되는 파워와 그라운드 라인은 서로 공유하므로 비교기 회로의 디지털 스위칭에 의해 발생하는 파워와 그라운드 라인에서의 전압강하가 CSA를 포함한 아날로그 회로의 출력 신호 전압이 감소하는 원인이었다. 그래서 본 논문에서는 디지털 스위칭 노이즈의 source인 비교기 회로에 사용되는 파워와 그라운드 라인을 아날로그 회로의 파워와 그라운드 라인과 분리하므로 CSA(Charge Sensitive Amplifier) 회로를 포함한 아날로그 회로의 출력신호전압이 감소되는 것을 줄였다. 그리고 VREF(=1.195V) 전압을 VREF_VCOM과 VREF_VTHR 전압으로 변환해주는 전압-전압 변환기 회로는 PMOS current mirror를 통해 IREF를 구동할 때 PMOS current mirror의 드레인 전압이 다른 경우 5.5V의 고전압 VDD에서 channel length modulation effect에 의해 각각의 current mirror를 통해 흐르는 구동 전류가 달라져서 VREF_VCOM과 VREF_VTHR 전압이 감소하는 문제가 있다. 그래서 본 논문에서는 전압-전압 변환기 회로의 PMOS current mirror에 PMOS 다이오드를 추가하므로 5.5V의 고전압에서 VREF_VCOM과 VREF_VTHR의 전압이 down되지 않도록 하였다.

Abstract Since the analog circuit of the beta ray sensor circuit for the true random number generator and the power and ground line used in the comparator circuit are shared with each other, the power generated by the digital switching of the comparator circuit and the voltage drop at the ground line was the cause of the decrease in the output signal voltage drop at the analog circuit including CSA (Charge Sensitive Amplifier). Therefore, in this paper, the output signal voltage of the analog circuit including the CSA circuit is reduced by separating the power and ground line used in the comparator circuit, which is the source of digital switching noise, from the power and ground line of the analog circuit. In addition, in the voltage-to-voltage converter circuit that converts VREF (=1.195V) voltage to VREF_VCOM and VREF_VTHR voltage, there was a problem that the VREF_VCOM and VREF_VTHR voltages decrease because the driving current flowing through each current mirror varies due to channel length modulation effect at a high voltage VDD of 5.5V when the drain voltage of the PMOS current mirror is different when driving the IREF through the PMOS current mirror. Therefore, in this paper, since the PMOS diode is added to the PMOS current mirror of the voltage-to-voltage converter circuit, the voltages of VREF_VCOM and VREF_VTHR do not go down at a high voltage of 5.5V.

Key Words : beta ray sensor, Charge Sensitive Amplifier, Digital Switching Noise, true random number generator, Voltage-to-Voltage Converter

This research was supported by Nuclear Technology Research Program through the National Research Foundation of Korea(NRF) funded by the Ministry of Science, ICT & Future Planning (No. 2018M2A8A1083094). The EDA tool was also supported by the IC Design Education Center(IDE0), Korea.

*Department of Electronic Engineering, Changwon National University

**Department of Smart Manufacturing Engineering, Changwon National University

***Electronics and Telecommunications Research Institute

****Korea Atomic Energy Research Institute

*Corresponding Author : Department of Electronic Engineering, Changwon National University
 (youngkim@changwon.ac.kr)

Received October 11, 2020

Revised October 15, 2020

Accepted October 16, 2020

1. 서론

진성난수 (true random number)는 갈수록 고도화되고 있는 해킹을 방지하는데 가장 효과적이므로 높은 보안등급, 고신뢰성을 요구하는 IoT(Internet of Things) 보안(security) 분야에서 암호화와 모의실험 등에 많이 사용되고 있다 [1][2].

붕괴 이벤트의 랜덤성, 이전 이벤트와의 무상관성, 물리적 환경 조건에 무관성 등 진성 난수용 엔트로피로 사용될 수 있는 특징을 모두 가지고 있는 베타선(Beta ray)의 자연붕괴 현상은 하드웨어 기반의 난수생성기중 이상적인 난수를 발생할 수 있으며, 방사선 동위원소 기반의 난수생성기에 대한 연구결과는 많이 발표되었다[3-9]. 한편 Ni-63 베타선원은 PIN 다이오드에서 생성된 EHP(Electron-Hole Pair)에 의한 전하를 CSA(Charge Sensitive Amplifier) 회로를 이용한 베타선 센서 회로에서 검출이 가능하며, CMOS 공정을 이용한 실리콘 반도체 칩으로 구현이 가능하다[9].

CMOS 베타선 센서 회로는 CSA 회로, voltage follower, 미분기 회로, 적분기 회로와 비교기 회로 등으로 구성되어 있다[9]. CMOS 베타선 센서 회로의 미분기와 적분기 회로는 pulse shaper 역할을 하고, 비교기 회로는 적분기의 출력 신호와 VTHR (Threshold Voltage) 전압과 비교하여 PIN 다이오드에 베타선이 들어왔는지 감지한다[9].

만약 베타선 센서 회로의 전압원 (power supply voltage)와 그라운드 라인을 아날로그 회로와 디지털 회로를 구분하지 않고 공유해서 VDD와 VSS만 사용하는 경우 디지털 회로인 비교기 회로의 내부 노드들이 스위칭할 때 디지털 스위칭 노이즈가 아날로그 회로의 파워인 VDD와 VSS 라인을 통해 피드백 되어 CSA 회로의 출력 신호인 CSA_OUT의 신호전압 (signal voltage)가 줄어들어 노이즈 보다 작게 되면 베타선 센서의 계수효율이 떨어지는 문제가 있을

수 있다.

그리고 기존의 베타선 센서 회로의 전압-전압 변환기 회로는 BGR(Bandgap Reference) 회로를 이용하여 VREF(Reference Voltage) 전압을 먼저 만든 뒤, 전압-전류 변환기 회로에서 VREF를 IREF(Reference Current) 전류로 변환시킨다. 전압-전류 변환기 회로에서 IREF 전류가 저항 분배기에 흐르게 되면 VREF_OUT, VREF_VCOM과 VREF_VTHR 전압을 발생시킨다. 이렇게 하므로 VREF의 입력 전압을 VREF_VCOM, VREF_VTHR과 VREF_OUT 전압으로 변환된다. VREF_VCOM과 VREF_VTHR은 VCOM(Common Voltage) 전압 구동회로와 VTHR(Threshold Voltage) 전압 구동회로의 기준 전압이다. 이때 VCOM과 VTHR 회로는 voltage follower 회로를 사용하여 VREF_VCOM과 VREF_VTHR 전압을 버퍼링 시켜준다. 그런데 전압-전압 변환기 회로에서 PMOS current mirror를 통해 IREF를 구동하는 경우 각각의 PMOS current mirror의 드레인 전압이 다른 경우 5.5V의 고전압 VDD에서 channel length modulation 효과에 의해 각각의 current mirror를 통해 흐르는 전류가 달라지므로 VREF_VTHR 전압이 감소하는 문제가 있다.

그래서 본 논문에서는 CMOS 베타선 센서 회로의 비교기에 사용되는 전압원과 그라운드 라인을 아날로그 회로(CSA 회로, voltage follower, 미분기 회로와 적분기 회로)의 VDD/VSS 라인과 분리하여 디지털 파워와 그라운드인 VIO/VSSD 라인으로 분리하였다. 이렇게 디지털 회로와 아날로그 회로에 사용되는 파워와 그라운드 라인을 분리하므로 베타선에 의해 발생된 전하가 CSA로 입력되어 아날로그 회로의 최종단인 적분기의 출력 신호에 short pulse가 나타나는 경우 이 적분기 출력 신호가 VTHR 전압보다 낮을 때에는 비교기 회로가 스위칭 하면서 VIO와 VSSD에 발생하는 스위칭 노이즈가 아날로그 회로의 VDD와 VSS에 피드백 되는 것을 차단하므로 아

날로그 회로가 안정적으로 동작하도록 하였다. 그리고 비교기 회로는 차동증폭기를 사용하는 대신 출력 스윙 전압이 큰 folded cascode CMOS OPAMP를 사용하였다. 또한 VREF를 VREF_VCOM과 VREF_VTHR로 변환해주는 전압-전압 변환기 회로의 PMOS current mirror에 PMOS 다이오드를 각각 추가하므로 PMOS current mirror의 드레인-소스 전압인 $|V_{DS}|$ 를 줄여서 channel length modulation 효과에 의한 영향을 줄이도록 설계하였다. 설계된 CMOS 베타선 센서 회로는 0.35 μ m CMOS 공정을 이용하였으며, 아날로그와 디지털 파워를 분리시킨 결과 post-layout simulation을 통해 CSA 회로, 미분기 회로와 적분기 회로와 같은 아날로그 회로의 출력 신호가 증가하는 것을 확인하였다. 또한 전압-전압 변환기 회로의 PMOS current mirror에 PMOS 다이오드를 추가하므로 5.5V의 고전압에서 VREF_VCOM과 VREF_VTHR의 전압이 down되지 않도록 하였다.

2. 회로 설계

CMOS 베타선 센서 회로에서 PIN 다이오드에 베타선원인 Ni-63를 통해 베타선이 들어오면 EHP 전하가 발생한다. CSA 회로에 의해 전하를 적분하여 CSA 출력인 CSA_OUT에 신호전압인 ΔV_s 를 출력한다[9]. Pulse shaper 기능을 하는 회로는 미분기 회로와 적분기 회로가 사용되는데 pulse shaper의 출력 신호인 INT_OUT 신호와 VTHR 전압을 비교하여 INT_OUT 전압이 VTHR 이하로 떨어지면 비교기 출력에 COMP_OUT 신호에 high 펄스를 출력한다. 그림 1은 차동증폭기를 이용한 비교기 회로와 OPAMP 회로를 이용한 비교기 회로를 보여주고 있다. 그림 1(a)의 차동증폭기를 사용한 비교기 회로에서 차동증폭기 출력인 DIF_OUT의 출력 스윙 전압 범위는 $V_{THR} - V_{TN.MN2}$ 에서 $V_{DD} - |V_{DSAT.MP2}|$ 이고, 그림 1(b)의 OPAMP를 사용한 비교기 회로에서 OPAMP의 출력인 OPAMP_OUT의 출력 스윙 전압은 $V_{DSAT.MN5} +$

$V_{DSAT.MN7}$ 에서 $V_{DD} - |V_{DSAT.MP2}| - |V_{DSAT.MP4}|$ 이다. 그래서 OPAMP의 출력 스윙 전압은 차동증폭기 출력 스윙 전압보다 더 크므로 본 논문에서는 비교기 회로의 입력단 회로로 folded cascode CMOS OPAMP 회로를 사용하였다.

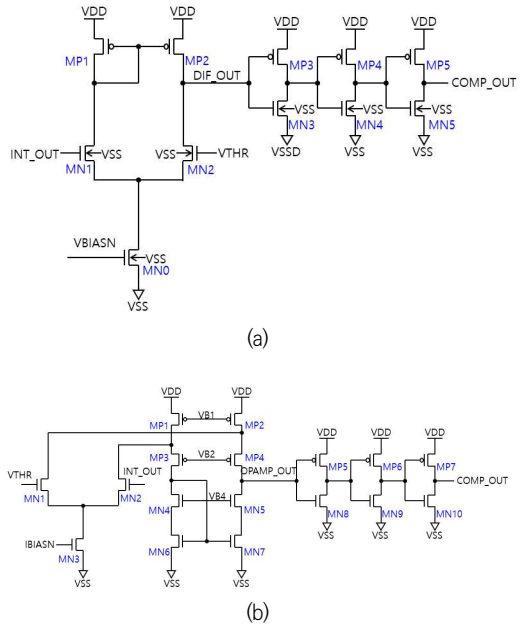


그림 1. 비교기 회로 (a) 차동증폭기를 이용한 경우 (b) folded cascode CMOS OPAMP를 이용한 경우.
Fig. 1. Comparator circuit: (a) in case of using differential amplifier and (b) in case of using folded cascode CMOS OPAMP.

한편 그림 2는 그림 1(b)의 folded cascode CMOS OPAMP 회로를 이용한 비교기 회로를 사용하여 설계된 베타선 센서 회로의 pre-layout 모의실험 결과와 post-layout 모의실험 결과를 $V_{DD}=5V$, typical model parameter, $Temp.=25^{\circ}C$ 에서 비교한 것이다. 그림 2(b)의 post-layout 모의실험 결과에서 보는바와 같이 CSA의 출력 신호인 CSA_OUT는 그림 2(a)의 pre-layout 모의실험 결과보다 신호전압이 줄어들었고 노이즈가 많이 포함된 것을 볼 수 있다. 분석 결과 비교기 회로를 레이아웃 상에서 제외시켰을 때 CSA의 신호전압 ΔV_s 가

증가하는 것을 확인하였다. 그래서 디지털 회로인 비교기 회로의 내부 노드들이 스위칭하는 경우 디지털 스위칭 노이즈가 아날로그 회로의 파워와 VSS 라인을 통해 피드백 되어 CSA 회로의 출력 신호인 CSA_OUT의 신호전압 ΔV_s 가 줄어드는 것으로 판단하였으며, 본 논문에서는 그림3에서 보는바와 같이 비교기 회로에 사용되는 전압원과 그라운드 라인을 아날로그 회로의 VDD/VSS 라인과 분리하여 디지털 파워와 그라운드인 VIO/VSSD 라인으로 사용하였다.

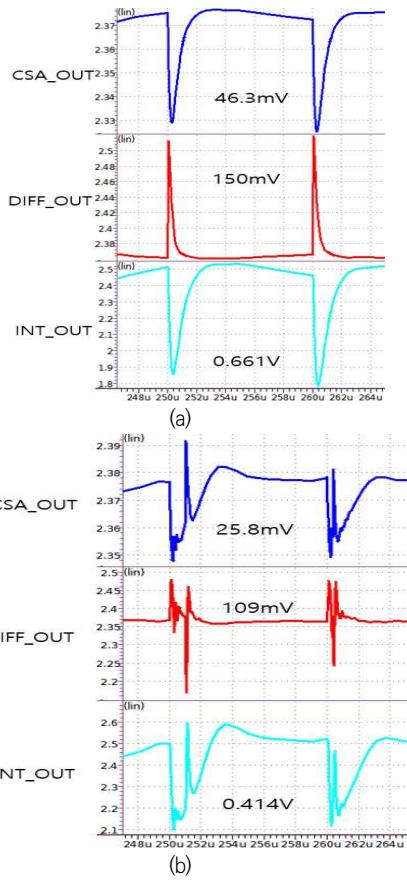


그림 2. 그림 1(b)의 비교기 회로를 사용한 베타선 센서 회로의 모의실험 결과 (a) pre-layout (b) post-layout.

Fig. 2. Simulation results of beta-ray sensor circuit using the comparator circuit of Fig. 1(b): (a) pre-layout and (b) post-layout.

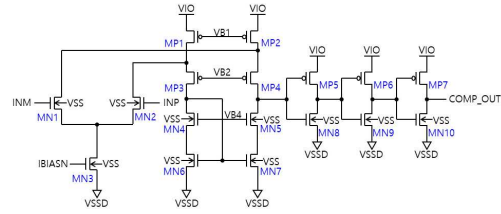


그림 3. 디지털 파워와 그라운드인 VIO/VSSD 라인을 사용한 비교기 회로.

Fig. 3. Comparator circuit with digital power and ground VIO/VSSD lines.

베타선 센서 회로의 비교기 회로는 BGR 회로를 이용한 VREF 발생 회로와 전압-전압 변환기 회로가 요구된다. 전압-전압 변환기 회로는 VREF 전압을 IREF 전류로 변환시키는 전압-전류 변환기 회로와 IREF를 이용하여 VREF_OUT, VREF_VCOM과 VREF_VTHR 전압을 발생시키는 저항 분배기 회로를 포함한다. 그림 4는 npn BJT를 사용한 BGR 회로를 보여주고 있으며, 1.195V의 VREF 전압을 만들어준다. 그림 4의 BGR 회로에서 보는바와 같이 vertical npn BJT 트랜지스터인 Q1 : Q2 : Q3의 에미터 면적 비는 1 : N(=8) : 1이다. 그리고 BGR 회로의 VREF는 식 (1)에서 보는바와 같으며, 식 (1)의 첫 번째 항은 온도에 반비례하는 항이고 두 번째 항은 온도에 비례하는 항의 합이다.

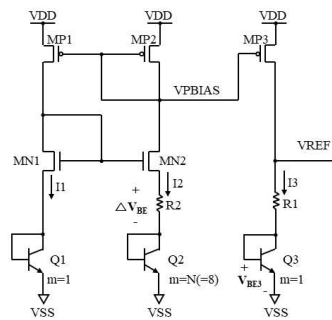


그림 4. npn BJT를 사용한 BGR 회로도[10][11].

Fig. 4. BGR circuit diagram using npn BJT[10][11].

$$VREF = V_{BE3} + \frac{R1}{R2} \cdot V_T \cdot \ln N \quad (1)$$

기존의 전압-전류 변환기 회로는 그림 5에서 보는 바와 같이 차동증폭기(MP1, MP2, MN1, MN2과 MN3), 공통 소스 증폭기(MP3와 MP4)와 저항 R1에 걸리는 VREF_FB 전압의 negative 피드백 동작에 의해 정상상태에서는 VREF_FB 전압이 VREF 전압과 같게 된다. 이렇게 되면 MP3 트랜지스터를 통해 흐르는 전류는 VREF/R1인 2.5 μ A이며, MP3와 MP4는 current mirror 형태이고 multiplier가 6이므로 MP4를 통해 흐르는 IREF는 15 μ A이다.

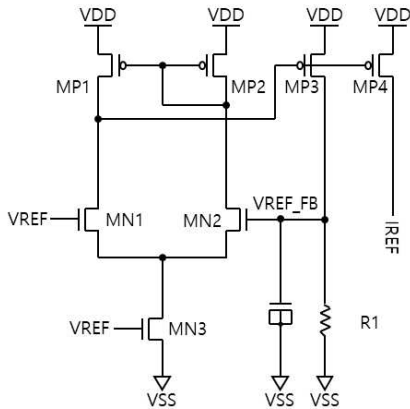
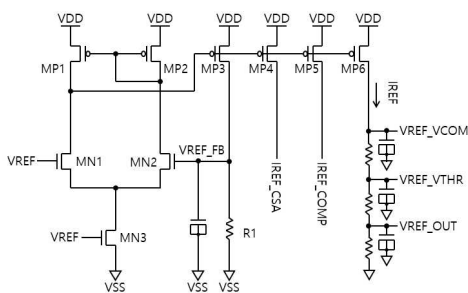
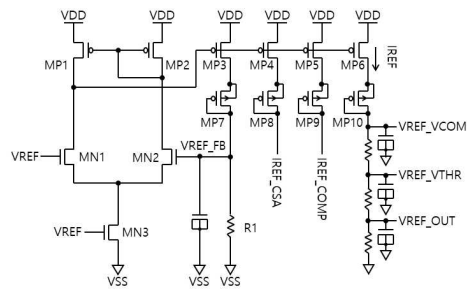


그림 5. 기존의 전압-전류 변환기 회로[12].
Fig. 5. Conventional voltage-to-current converter circuit [12].



(a) channel length modulation effect가 큰 경우



(b) channel length modulation effect가 작은 경우

그림 6. 전류-전압 변환기를 이용하여 설계한 전압-전압 변환기 회로.

Fig. 6. Voltage-to-voltage converter circuit designed using current-to-voltage converter: (a) when the channel length modulation effect is large and (b) when the channel length modulation effect is small.

그림 6(a)는 그림 5의 전압-전압 변환기를 이용하여 PMOS current mirror(MP4, MP5와 MP6)를 통해 IREF_CSA, IREF_COMP, IREF (=15 μ A)를 공급한다. 그런데 그림 6(a)의 전압-전압 변환기 회로에서 PMOS current mirror를 통해 IREF 전류를 구동하는 경우 PMOS current mirror인 MP3와 MP6의 드레인 전압이 다른 경우 5.5V의 고전압 VDD에서 channel length modulation 효과에 의해 각각의 PMOS current mirror를 통해 흐르는 전류가 달라져서 그림 7의 all corner 조건에서 HSPICE 모의실험 결과에서 보는바와 같이 VREF_OUT, VREF_VTHR와 VREF_VCOM 전압이 점선 원으로 표시한 부분에서와 같이 감소하는 문제가 있다. 정상적인 회로에서는 VREF_OUT, VREF_VTHR와 VREF_VCOM 전압이 고전압에서 감소하지는 않는다. 그래서 본 논문에서는 그림 6(b)에서 보는바와 같이 전압-전압 변환기 회로의 PMOS current mirror에 PMOS 다이오드(MP7, MP8, MP9와 MP10)를 각각 추가하므로 5.5V의 고전압에 VREF_VCOM과 VREF_VTHR의 전압이 감소되지 않도록 하였다.

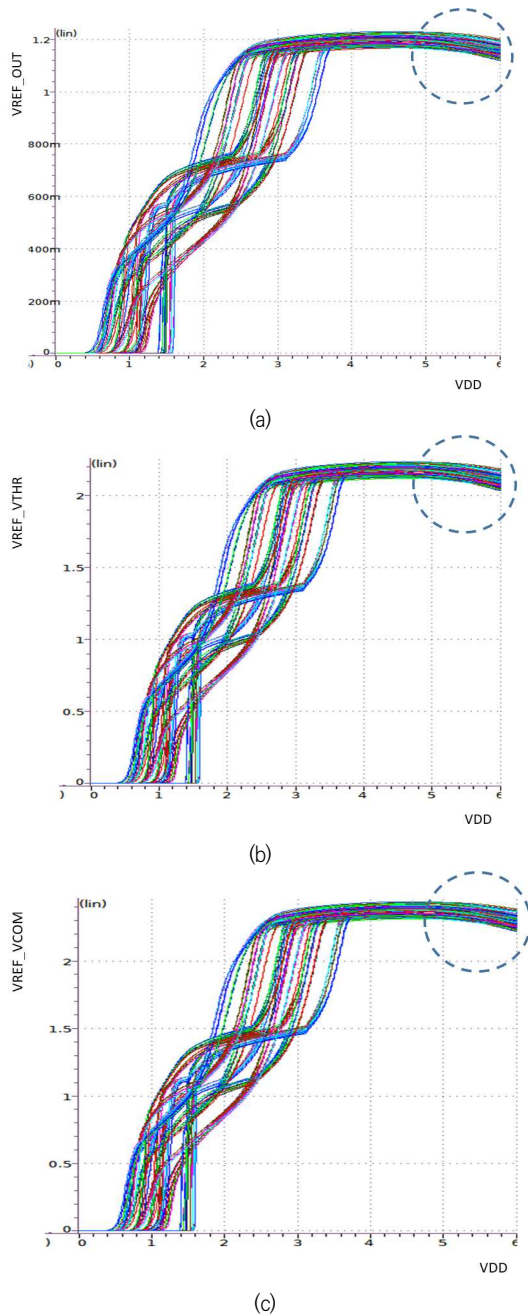
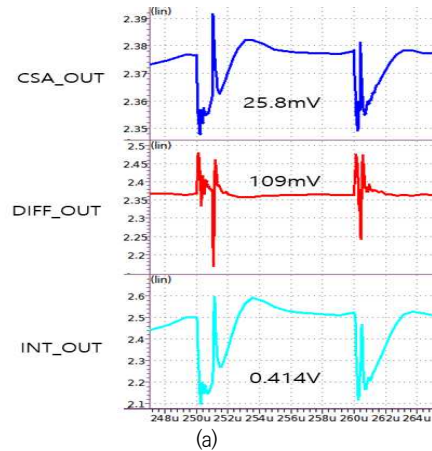


그림 7. 그림 6(a)의 전압-전압 변환기 회로를 이용하여 설계된 출력 전압의 모의실험 결과 (a) VREF_OUT (b) VREF_VTHR (c) VREF_VCOM.

Fig. 7. Simulation result of the output voltage designed using the voltage-to-voltage converter circuit of Fig. 6(a): (a) VREF_OUT, (b) VREF_VTHR and (c) VREF_VCOM.

3. 모의실험 결과

디지털 회로인 비교기 회로의 내부 노드들이 스위칭하는 경우 디지털 스위칭 노이즈가 아닐로 그 회로의 파워와 VSS 라인을 통해 피드백 되어 CSA 회로의 출력 신호인 CSA_OUT의 신호전압이 줄어드는 문제를 개선하기 위해 비교기 회로에 사용되는 파워와 그라운드 라인을 디지털 파워와 그라운드인 VIO/VSSD 라인으로 사용하였다. 그렇게 변경한 결과 VDD=VIO=5V, typical 모델 파라미터, Temp.=25°C의 모의실험 조건에서 그림 8(b)의 모의실험에서 보는바와 같이 CSA 회로, 미분기 회로와 적분기 회로의 출력신호인 CSA_OUT, DIFF_OUT과 INT_OUT의 신호전압이 39.9mV, 113mV, 0.598V로 그림 8(a)의 HSPICE 모의실험 결과인 25.8mV, 109mV, 0.414V보다 증가한 것을 볼 수 있다.



(a)

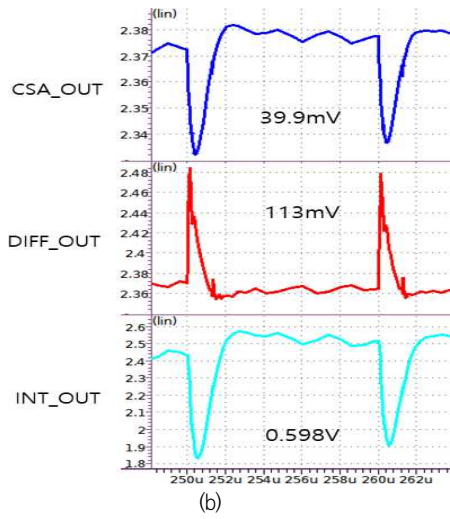


그림 8. 비교기에 디지털 파워와 그라운드인 VIO/VSSD 라인으로 사용한 베타선 센서 회로의 post-layout 모의실험 결과 (a) 기존 회로 (b) 제안된 회로

Fig. 8. Post-layout simulation results of a beta ray sensor circuit using a digital power and ground VIO/VSSD lines in a comparator (a) conventional circuit (b) proposed circuit.

한편 전압-전압 변환기 회로의 PMOS current mirror에 PMOS 다이오드(MP7, MP8, MP9와 MP10)를 각각 추가하여 all corner 모의실험 조건에서 HSPICE로 모의실험한 결과 그림 9에서 보는바와 같이 5.5V의 고전압에서 VREF_VCOM과 VREF_VTHR의 전압이 점선 원으로 표시한 부분에서와 같이 감소되지 않는 것을 확인하였다.

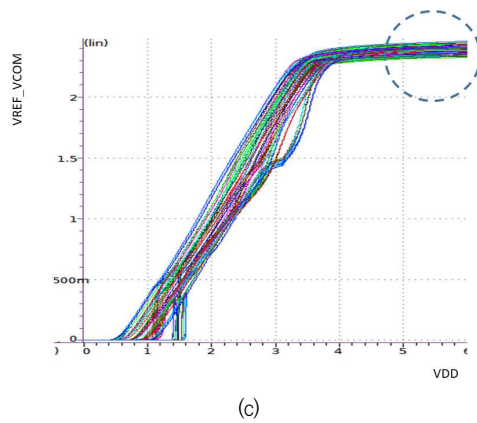
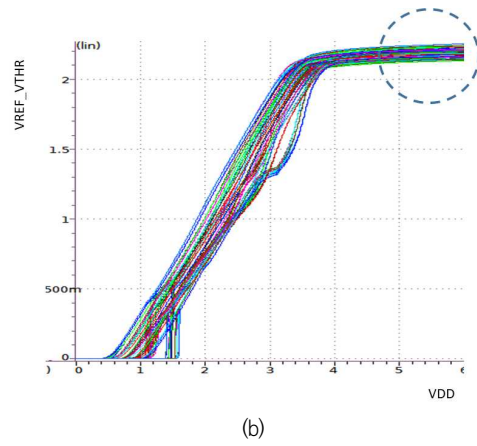
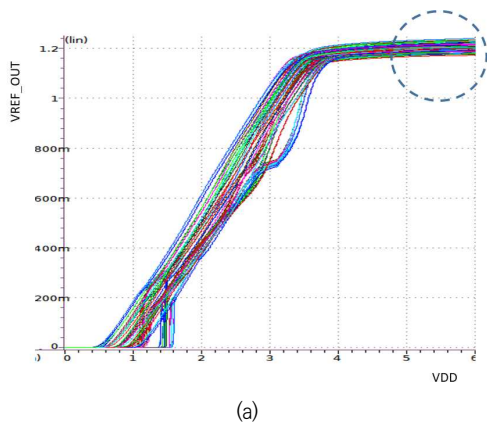


그림 9. 전압-전압 변환기 회로의 PMOS current mirror에 PMOS 다이오드를 추가하여 모의실험한 결과 (a) VREF_OUT (b) VREF_VTHR (c) VREF_VCOM.

Fig. 9. Simulation results of adding a PMOS diode to the PMOS current mirror of the voltage-to-voltage converter circuit: (a) VREF_OUT, (b) VREF_VTHR, and (c) VREF_VCOM.

4. 결론

PIN 다이오드에 베타선이 들어왔는지 감지하는 CMOS 베타선 센서 회로는 디지털 회로인 비교기 회로의 내부 노드들이 스위칭하는 경우 디지털 스위칭 노이즈가 아날로그 회로의 파워와 VSS 라인을 통해 피드백 되어 CSA 회로의 출력 신호인 CSA_OUT의 signal voltage가 46.3mV에서 25.8mV로 줄어드는 문제가 있다. 그래서 본 논문에서는 베타선 센서 회로에서 아날로그

회로의 VDD/VSS 라인은 그대로 사용하는 대신 비교기 회로에서는 디지털 파워와 그라운드인 VIO/VSSD 라인을 사용하므로 CSA 회로를 포함하는 아날로그 회로의 신호전압이 안정적으로 출력되도록 하였다. CSA의 출력 전압은 아날로그 회로와 디지털 회로의 파워와 그라운드 라인을 공유하는 경우 25.8mV이지만 분리하는 경우 39.9mV로 증가하는 것을 확인하였다.

한편 VREF 전압을 VREF_VCOM과 VREF_VTHR 전압으로 변환해주는 전압-전압 변환기 회로에서 PMOS current mirror를 통해 IREF를 구동하는 경우 PMOS current mirror의 드레인 전압이 다른 경우 5.5V의 고전압 VDD에서 channel length modulation 효과에 의해 각각의 current mirror를 통해 흐르는 전류가 달라지므로 VREF_VTHR 전압이 감소하는 문제가 있다. 그래서 VREF를 VREF_VCOM과 VREF_VTHR로 변환해주는 전압-전압 변환기 회로의 PMOS current mirror에 PMOS 다이오드를 각각 추가하므로 PMOS current mirror의 드레인-소스 전압인 $|V_{DS}|$ 를 줄여서 channel length modulation 효과에 의한 영향을 줄이도록 설계하였다. 그리고 0.35 μ m CMOS 공정을 이용하여 설계된 CMOS 베타선 센서 회로는 5.5V의 고전압에서 VREF_VCOM과 VREF_VTHR의 전압이 감소되지 않는 것을 확인하였다.

REFERENCES

- [1] M. Herrero-Collantes et al., "Quantum Random Number Generators," *Reviews of Modern Physics*, Feb. 2017.
- [2] K. H. Park et al., "Apparatus and Method for Generating Quantum Random Number," Korean Patent applied no. 10-2018-0054533, May 2018.
- [3] John Gribbin, *Q is for Quantum*, ISBN-13: 978-0684855783, pp. 291-292, 1998.
- [4] Anil and Ananthaswamy. How to Turn a Quantum Computer into the Ultimate Randomness Generator. *Quanta Magazine*. June 19, 2019.
- [5] Glen F. Knoll, *Radiation Detection and Measure-*

ment, Third Edition, John Wiley & Sons Inc., 2000.

- [6] W. R. Wampler, B. L. Doyle, "Low-Energy Beta Spectroscopy Using PIN Diodes to Monitor Tritium Surface Contamination", *Nuclear Instruments and Methods in Physics Research*, A349, pp. 473-480, 1994.
- [7] Mihai Culcer, Mariana Iliescu, Marian Curuia, Adrian Enache, Ioan Stefanescu, Catalin Ducu, Viorel Malinovschi, "Tritium Contaminated Surface Monitoring with a Solid-State Device," *Proceedings of the International Conference Nuclear Energy for New Europe*, 713.1-6, Sep. 2004.
- [8] P. Grybos et al., "Measurements of Matching and High Count Rate Performance of Multichannel ASIC for Digital X-Ray Imaging Systems," *IEEE Transactions on Nuclear Science*, vol. 54, no. 4, Aug. 2007.
- [9] Y. H. Kim et al., "A Study on the Design of a Beta Ray Sensor for True Random Number Generators," *Journal of*, Dec. 2019.
- [10] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 3rd ed., John Wiley and Sons Inc., 1993.
- [11] HongJun Park, "CMOS Digital Integrated Circuit Design", Hongpub, 2008.
- [12] Hongzhu Jin et al., "Design of Gate Driver Chip for Ionizer Modules with Fault Detection Function," *Journal of IKEEE*, pp. 132-139, March 2020.

저자약력

김영희(Young-Hee Kim)

[중신회원]



- 1989년 2월 : 경북대학교 전자공학과 (공학사)
- 1997년 2월 : 포항공과대학교 전기전자공학과 (공학석사)
- 2000년 8월 : 포항공과대학교 전기전자공학과 (공학박사)
- 1989년 1월 ~ 2001년 2월 : 현대전자 책임연구원
- 2001년 3월 ~ 현재 : 창원대학교 전자공학과 교수

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계

김 홍 주(Hong-Zhou Jin)

[학생회원]



- 2017년 6월 : 연변대학교 전자정보통신학과 (공학사)
- 2017년 9월 ~ 현재 : 창원대학교 전자공학과 석·박사과정

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계

라자 무하마드 살만(Raza-Muhammad Salman) [학생회원]



- 2018년 9월 : Federal Urdu University of Arts Science And Technology (공학사)
- 2019년 9월 ~ 현재 : 창원대학교 전자공학과 석사과정

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계

차 진 솔(Jin-Sol Cha)

[학생회원]



- 2017년 2월 : 경상대학교 세라믹공학과 (공학사)
- 2019년 2월 ~ 현재 : 창원대학교 전자공학과 석사과정

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계

박 경 환(Kyung-Hwan Park)

[정회원]



- 1993년 : KAIST 전기전자공학과 (공학석사)
- 1997년 : KAIST 전기전자공학과 (공학박사)
- 1997년 ~ 2000년 : 대전 DACOM R&D Center
- 2001년 1월 ~ 현재 : 한국전자통신연구원 책임연구원

〈관심분야〉 Radiation 기반 난수 생성기, 무선통신

황 창 윤(Chang-Yoon Hwang)

[학생회원]

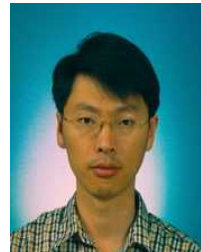


- 2020년 2월 : 창원대학교 정보통신학과 (공학사)
- 2020년 3월 ~ 현재 : 창원대학교 스마트제조융합과 석사과정

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계

김 종 범(Jong-Bum Kim)

[정회원]



- 2000년 : 충남대학교 전기공학과 (공학석사)
- 2011년 : KAIST 원자력양자공학과 (공학박사)
- 2000년 1월 ~ 현재 : 한국원자력연구원 책임연구원

〈관심분야〉 양자 난수 생성기
방사성 동위원소 어플리케이션

이 동 현(Dong-Hyeon Lee)

[학생회원]



- 2020년 2월 : 경남대학교 전자공학과 (공학사)
- 2020년 3월 ~ 현재 : 창원대학교 스마트제조융합과 석사과정

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계

하 판 봉(Pan-Bong Ha)

[중신회원]



- 1981년 2월 : 부산대학교 전기공학과 (공학사)
- 1983년 2월 : 서울대학교 전자공학과 (공학석사)
- 1993년 2월 : 서울대학교 전자공학과 (공학박사)
- 1987년 3월 ~ 현재 : 창원대학교 전자공학과 교수

〈관심분야〉 임베디드 시스템, SoC 설계