ISSN : 1226-7244 (Print)
ISSN : 2288-243X (Online)
논문번호 20-03-28
214

j.inst.Korean.electr.electron.eng.Vol.24,No.3,890~894,September 2020
http://dx.doi.org/10.7471/ikeee.2020.24.3.890

Parallel PNP 및 N+ drift가 삽입된 높은 홀딩전압특성을 갖는 ESD보호회로에 관한 연구

A Study on ESD Protection Circuit with High Holding Voltage with Parallel PNP and N+ difrt inserted

곽 재 창*★

Jae-Chang Kwak*★

Abstract

In this paper, we propose an ESD protection device with improved electrical characteristics through structural changes of LVTSCR, a typical ESD protection device. The proposed ESD protection device has a higher holding voltage than the existing LVTSCR by inserting a long N+ drift region and additional P-Well and N-Well, and improves the latch-up immunity, a chronic disadvantage of a general SCR-based ESD protection device. In addition, the effective base width of parasitic BJTs was set as a design variable, and the electrical characteristics of the proposed ESD protection device were verified through Synopsys' TCAD simulation so that it can be applied to the required application by applying the N-Stack technology.

요 약

본 논문에서는 대표적인 ESD 보호소자인 LVTSCR의 구조적 변화를 통해 높은 홀딩전압 특성을 가지는 ESD 보호소자를 제안한다. 제안된 ESD 보호소자는 병렬 PNP path와 긴 N+ drift 영역을 삽입하여 기존의 LVTSCR보다 높은 홀딩전압을 가지며, 일반적인 SCR 기반 ESD보호소자의 단점인 Latch-up 면역특성을 향상시킨다. 또한 기생 BJT들의 유효 베이스 폭을 설계변수로 설정하였으며, N-Stack 기술을 적용하여 요구되는 application에 적용할 수 있도록 시놉시스사의 TCAD 시뮬레이션을 통해 제안된 ESD 보호소자의 전기적 특성을 검증하였다.

Key words : ESD, SCR, LVTSCR, Holding Voltage, N-Stack

Ⅰ. 서론

ESD(Electro-Static Discharge)는 EOS(Electrical Overstress)에 속하는 현상으로, 물체와 물체 사이에 축적되어 있는 정전하기 마찰이나 대전 등에 의해 순간적으로 빠르게 방전되는 현상을 뜻한다. 고집적화된 반도체 IC(Integrated Circuit)의 경우, ESD 현상에 의해 짧은 시간에 수 A 이상의 전류가 흐르기 때문에 반도체 IC의 손상 및 파괴가 발생한다. ESD 현상은 반도체 IC의 사용 및 제조 과

* Professor, Dept. of Software, Seokyeong University
★ Corresponding author
E-mail : jckwak@skuniv.ac.kr, Tel : +82-2-940-7758
※ Acknowledgment
This Research was supported by Seokyeong University in 2020.
Manuscript received Sep. 15, 2020; revised Sep. 25, 2020; accepted Sep. 28, 2020.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (http://creativecommons.org/licenses/by-nc/3.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

정 중에 쉽게 발생할 수 있기에 주요 분석 요소 중 하나이다. 또한 반도체 IC파괴 원인별 비중 중 약 38% 정도의 비중을 차지한다[1].

또한 ESD 현상은 제품의 품질과 신뢰성에 큰 영향을 끼치는 요소로써 반도체 산업에서 제작 원가, 수율 및 신뢰성에 큰 영향을 미치는 요소이다[2]. 이로 인해 보호회로를 내부 IC와 연결되는 I/O나 Power Clamp 단 사이에 삽입하여 ESD 현상이 발생하여도 내부 IC를 보호하는 연구가 지속되고 있다. 반도체 공정 산업의 집적도는 더욱 향상되어 가면서, 반도체 산업계에서는 고감내, 저면적의 ESD 보호회로를 필요로 하고 있다[3].

현재 사용되는 가장 대표적인 ESD 보호소자로는 GGNMOS(Gate Grounded NMOSFET), SCR (Silicon Controlled Rectifier) 등이 있다. SCR은 두 기생 NPN / PNP BJT의 정궤환(Positive Feedback)을 통해 동작하므로 GGNMOS보다 전류구동 및 면적효율 측면에서 우수하다. 하지만 SCR은 N-Well / P-Well 간에 애벌런치 항복이 발생하는 특징으로 인해 높은 트리거 전압을 가지며 두 기생 BJT의 정궤환으로 인해 낮은 홀딩전압을 지닌다[4]. 트리거 전압과 홀딩전압 간의 큰 갭 때문에 실제 반도체 IC에 적용하는 단점을 지니며 이를 개선하고자 SCR 구조에 GGNMOS를 삽입한 LVTSCR(Low Voltage Triggered SCR)을 개발했으나 여전히 낮은 홀딩전압으로 인한 Latch-up 위험이 있다[5].

따라서 본 논문에서는 LVTSCR의 구조적인 변형을 통해 높은 홀딩전압을 가지며, N-Stack 기술을 사용하여 Latch-up 위험성을 제거한 ESD 보호소자를 제안한다. 또한 Synopsys사의 TCAD 시뮬레이션을 통하여 전기적 특성을 분석하였다.

II. 본론

1. 제안된 ESD 보호 소자

그림 1과 2은 일반적인 LVTSCR의 단면도와 등가회로이며 동작원리는 다음과 같다. 애노드 단에 ESD 전류가 유입되면 N-Well 영역의 전위가 상승하여 N+ 브릿지 / P-Well 접합부에서 애벌런치 항복이 발생하게 된다. 이에 따라 접합부에 EHP(Electron-Hole pair)가 생성되며 hole 전류는 P-Well을 통해 캐소드 단으로 흐르게 된다. 이때 P-Well의 큰 저항으로 인해 전압강하가 발생하며 이는 P-Well / N+ 접합부에 순방향 턴온을 형성하게 된다. Electron 전류 또한 마찬가지로 애노드 단의 N-Well / P+ 접합부에 순방향 턴온 시킨다. 따라서 각각 기생 NPN / PNP BJT가 턴온되고 이는 각각 서로의 베이스 전류를 공급하는 정궤환(Positive Feedback)을 통해 ESD 전류를 방전시킨다.

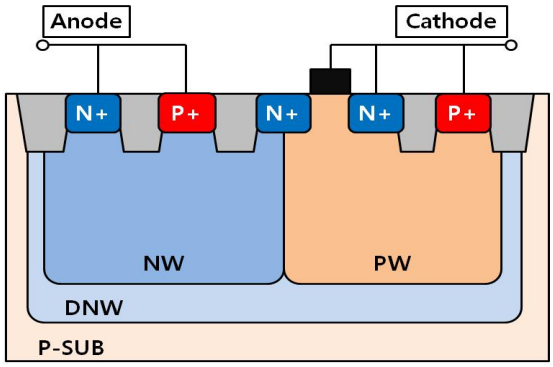

Fig. 1. Cross section view of the LVTSCR.
그림 1. LVTSCR의 단면도

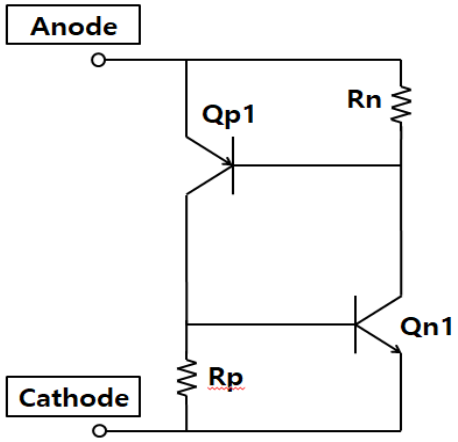

Fig. 2. Equivalent circuit of the LVTSCR.
그림 2. LVTSCR의 등가회로도

그림 3과 4는 제안된 ESD 보호소자의 단면도와 등가회로이며 동작 메커니즘은 위의 LVTSCR과 동일하다. 제안된 ESD 보호소자는 기존의 LVTSCR의 구조를 변형한 형태로서, 애노드 단에 P-Well과 함께 P+ 확산영역이 삽입되었으며 긴 N+ 드리프트 영역아래 P-Well과 N-Well을 형성한다. 애노드 단에 ESD 전류가 유입되면 N-Well을 통해 N+ drift 영역의 전위가 상승하여 N+ drift / P-Well 접합부에서 애벌런치 항복이 발생한다. 접합부에서 생겨난 EHP에 의해 기생 NPN / PNP BJT가 턴온되며 애노드 단에 추가로 삽입된 P-Well로 인해 N-Well

베이스를 공유하는 Qp2가 Qp1과 병렬로 형성된다. Qp2는 ESD 방전 동안 추가적인 전류경로를 형성하므로 온저항 및 온도특성이 향상되는 결과를 가져온다. 또한 긴 N+ drift영역과 삽입된 P-Well, N-Well은 ESD 전류를 P+ 애노드 / N-Well / N+ drift / N- Well / P-Well / P+ 캐소드로의 긴 경로로 전도한다. 또한 긴 N+ drift와 N-Well은 기생 PNP BJT의 유효베이스 폭을 확장시키는 효과로 전류이득이 낮아져 홀딩전압을 상승시킨다.

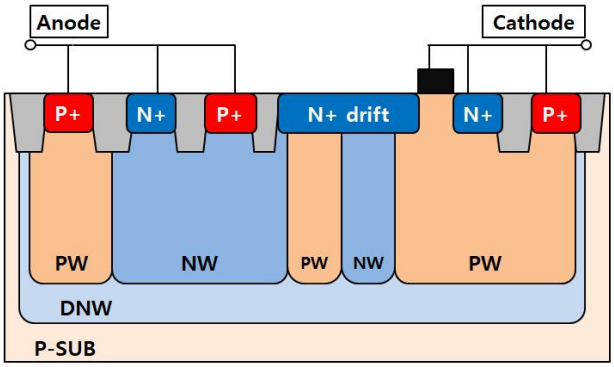

Fig. 3. Cross section view of proposed ESD protection device.
그림 3. 제안된 ESD 보호소자의 단면도

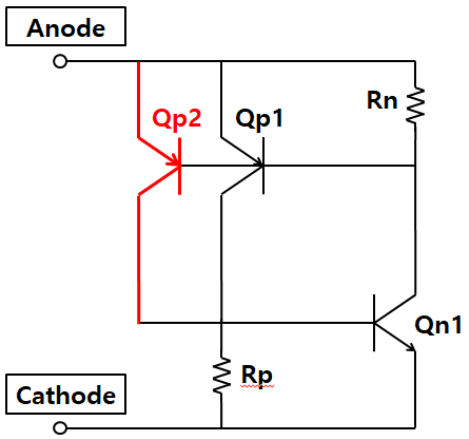

Fig. 4. Equivalent circuit of proposed ESD protection device.
그림 4. 제안된 ESD 보호소자의 등가회로

그림 5는 N-Stack 기술을 적용한 ESD 보호회로의 단면도이다. N-Stack 기술은 직렬 연결한 형태로 N개의 ESD 보호소자는 순차적으로 동작하고 N배수를 Stack 함에 따라 N배 증가된 홀딩전압 및 트리거 전압을 얻을 수 있다. 따라서 N-Stack 기술은 요구되는 전압 Application에 적용가능하며 높은 홀딩전압으로 인해 Latch-up 면역특성을 향상시키는 기술이다.

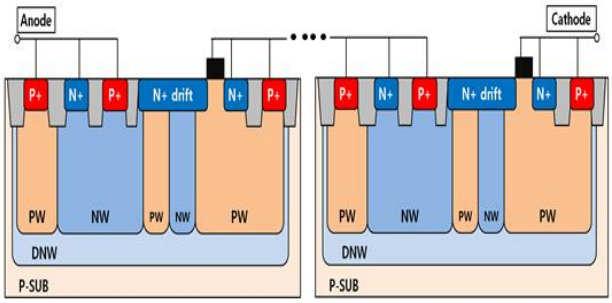

Fig. 5. Cross sectional view of N-stacked proposed ESD protection device.
그림 5. N-Stack 기술을 적용한 제안된 ESD 보호소자의 단면도

2. 시뮬레이션 결과

본 논문에서 제안된 소자의 전기적 특성을 검증하기 위해 Synopsys 사의 TCAD 시뮬레이션 Tool을 사용하였다. 그림 6은 LVTSCR과 제안된 ESD 보호소자의 I-V 특성을 비교하여 나타낸 것이다.

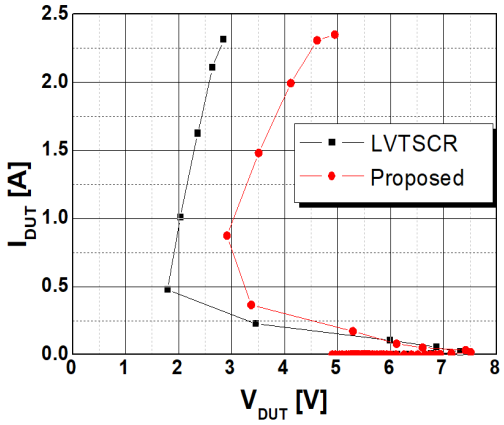

Fig. 6. I-V Curve of LVTSCR and proposed ESD protection device.
그림 6. LVTSCR과 제안된 ESD 보호소자의 I-V Curve

일반적인 LVTSCR의 트리거 전압은 8.8V이며 홀딩전압은 1.7V이다. 제안된 ESD 보호소자의 트리거 전압은 7.6V이며 기생 PNP BJT의 유효베이스 폭이 증가하여 전류이득이 낮아진 결과로 2V의 홀딩전압을 지닌다. 이는 LVTSCR보다 향상된 스냅백 특성을 가진다는 것을 확인 할 수 있다. 또한 제안된 ESD 보호소자의 설계변수에 따른 전기적 특성 경향을 알아보기 위해 Gate Length (D1)와 N+ drift / 캐소드 단의 P-Well 접합 길이(D2)에 변화를 주어 시뮬레이션을 진행하였다. D1은 Qn1의 유효베이스 길이에 해당하므로 D1의 길이가 증가할

수록 Qn1의 전류이득이 낮아져 홀딩전압은 상승하게 된다. 그림 7과 표 1에 그 결과 값을 나타내었다.

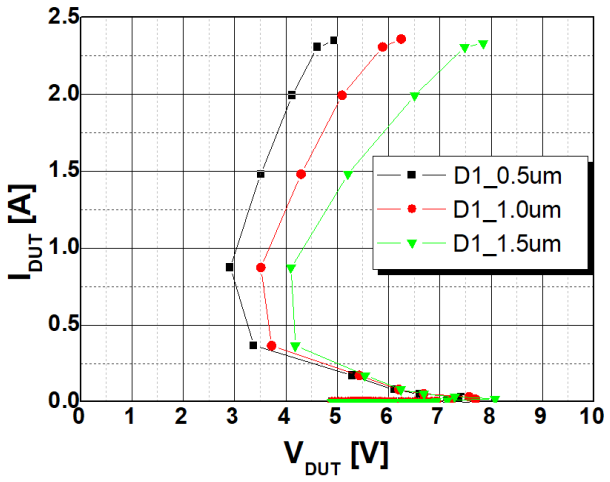

Fig. 7. D1 variation simulation result.
그림 7. 설계변수 D1 시뮬레이션 결과

Table 1. The Holding voltage and Trigger voltage with D1 variation.
표 1. 설계변수 D1 변화에 따른 홀딩 전압 및 트리거 전압

D1	Holing Voltage	Trigger Voltage
0.5um	3.3V	7.5V
1.0um	3.8V	7.8V
1.5um	4.1V	8.1V

설계변수 D1은 0.5um씩 증가시켰으며, 이는 Qn1의 유효 베이스 길이가 증가한 효과와 동일하다. 따라서 Qn1의 전류이득이 낮아져 홀딩전압이 3.3V, 3.8V, 4.1V씩 증가하는 것을 시뮬레이션을 통해 확인 하였다.

또한 설계변수 D2는 N+ drift 영역과 캐소드단의 P-Well의 접합부 길이로서, Qp1과 Qp2의 유효베이스 길이에 해당하며 1um 씩 증가시켜 홀딩전압의 변화를 확인하였다. 그 결과 값은 그림 8과 표 2에 나타내었다. 시뮬레이션 결과에 따르면, D2는 PNP BJT의 유효베이스 폭에 해당하므로 D2의 길이가 증가함에 따라 전류이득이 낮아져 D2가 1.0um, 1.5um, 2.0um 일 때 홀딩전압은 각각 3.3V, 3.9V, 4.7V씩 증가한다. 내부 IC의 동작전압과 Oxide Breakdown Voltage 사이에 ESD 보호소자가 동작한다는 점을 감안하면, 트리거 전압과 홀딩전압의 간격이 작을수록 ESD 설계에 유리하다. 따라서 실험결과에 따르면 D2의 길이변화가 D1변수보다 트리거 전압과 홀딩전압의 간격이 작게 형성되어 우수한 스냅백 특성을 지니므로 D2변수가 설계에 유리하다.

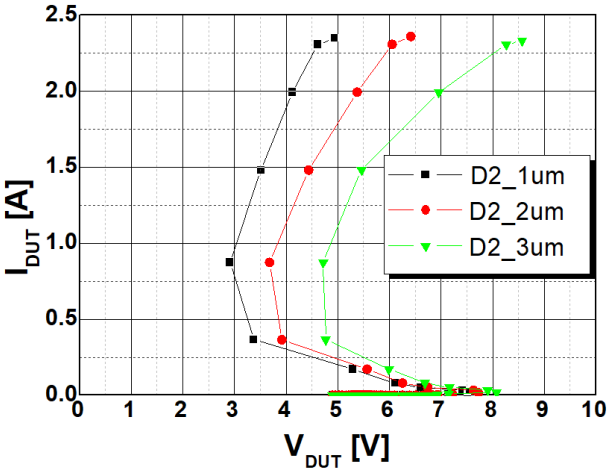

Fig. 8. D2 variation simulation result.
그림 8. 설계변수 D2 시뮬레이션 결과

Table 2. The Holding voltage and Trigger voltage with D2 variation.
표 2. 설계변수 D2 변화에 따른 홀딩 전압 및 트리거 전압

D2	Holing Voltage	Trigger Voltage
1.0um	3.3V	7.6V
2.0um	3.9V	7.8V
3.0um	4.8V	8.1V

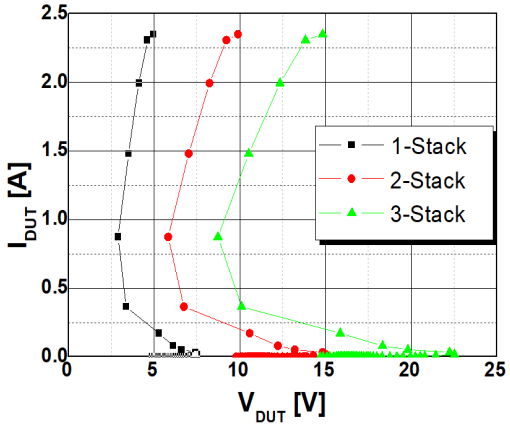

Fig. 9. I-V Curve of proposed ESD protecion device with N-Stack.
그림 9. N-Stack 기술이 적용한 제안된 ESD 보호소자의 I-V Curve

그림 9는 제안된 ESD 보호소자에 N-Stack 기술을 적용한 I-V 특성 시뮬레이션 결과이며 그 결과값을 표 3에 나타내었다. 본 논문에서는 3-Stack 기술까지 적용하였으며 N개 Stack 적용시 홀딩전압이 N배 상승하게 되는 것을 검증하였다. N-Stack 기술을 이용하여 요구되는 어플리케이션에 적용할 수 있다. 시뮬레이션 결과에 따르면 2-Stack 적용시 홀딩전압과 트리거 전압은 각각 6.7V, 14.9V이며 3-Stack 적용 시에는 각각 10.0V, 22.5V로 N배만큼 상승하였다는 것을 확인할 수 있다.

Table 3. The Holding voltage and Triggered voltage with N-Stack.

표 3. N-Stack에 따른 홀딩전압 및 트리거전압

N-Stack	Holing Voltage	Trigger Voltage
1-Stack	3.3V	7.4
2-Stack	6.7V	14.9
3-Stack	10.0	22.5

III. 결론

본 논문에서는 ESD 현상으로부터 반도체 IC를 보호하기 위한 새로운 구조의 ESD 보호소자를 제안하였다. 제안된 소자는 LVTSCR을 구조적으로 변형한 형태로 높은 홀딩전압 특성을 가져 우수한 스냅백 특성과 향상된 Latch-up 면역특성을 가진다. 또한 기생 NPN / PNP BJT의 유효베이스 길이를 설계변수로 설정하고 N-Stack 기술을 적용하여 높은 홀딩전압을 갖도록 개선하였다. 제안된 ESD 보호소자는 기존의 LVTSCR과 비교하여 향상된 전기적 특성을 지니며 N-Stack 기술을 통해 요구되는 Application에 적용할 수 있음을 검증하였다.

References

[1] Y. C. Huang and M. D. Ker, “A Latchup-Immune and Robust SCR Device for ESD Protection in 0.25-um 5-V CMOS Process,” *IEEE Electron Device Letters,* vol.34, no.5, pp.674-676, 2013. DOI: 10.1109/LED.2013.2252456

[2] Z. Wang, R. C. Sun, J. J. Liou and D. G. Liu, “Optimized pMOS-Triggered Bidirectional SCR for Low-Voltage ESD Protection Applications,” *IEEE Transactions on Electron Devices,* vol.61, no.7, pp.2588-2594, 2014. DOI: 10.1109/TED.2014.2320827

[3] F. Ma, B. Zhang, Y. Han, J. Zheng, B. Song, S. Dong and H. Liang, “High Holding Voltage SCR-LDMOS Stacking Structure With Ring-Resistance-Triggered Technique,” *IEEE Electron Device Letters,* vol.34, no.9, pp.1178-1180, 2013. DOI: 10.1109/LED.2013.2272591

[4] M. D. Ker and K. C. Hsu, “Overview of on-chip electrostatic discharge protection design with SCR-based devices in CMOS integrated circuits,” *IEEE Transactions on Device and Materials Reliability,* vol.5, no.2, pp.235-249, 2005. DOI: 10.1109/TDMR.2005.846824

[5] Z. Liu, J. J. Liou, S. Dong, and Y. Han, “Silicon-Controlled Rectifier Stacking Structure for High-Voltage ESD Protection Applications,” *IEEE Electron Devices Letters,* vol.31, no.8, pp. 845-847, 2010. DOI: 10.1109/LED.2010.2050575

BIOGRAPHY

Jae Chang Kwak (Member)

1983 : BA in Yonsei Univ.
1989 : MS in Univ. of Iowa
1993 : PhD in Univ. of Iowa
1995 : present Professor at Dept. of Software, Seo Kyeong Univ.

<Research Interest> Network Traffic Control, QoS, Realtime Scheduling, Embedded System