

3 나노미터와 미래공정을 위한 상호보완 FET 표준셀의 설계와 기생성분에 관한 연구

Design Aspects and Parasitic Effects on Complementary FETs (CFETs) for 3nm Standard Cells and Beyond

송 대 건*[★]

Taigon Song*[★]

Abstract

Developing standard cells for 3nm and beyond requires significant advances in the device and interconnect technology. Thus, it is very important to quantify the impact of the new technology in various aspects. In this paper, we perform a through analysis on the impact of Buried Power Rail (BPR) and Complementary FET (CFET) in the perspective of cell area and parasitics such as capacitance. We emphasize that CFET is a technology that realizes 4T and beyond for standard cell designs, but significant capacitance increases (+18.0%), compared to its counterpart technology (FinFET) cell, due to the increase of cell height in the Z-direction.

요 약

3 나노미터 아래의 미래공정에서는 작은 면적의 표준셀(Standard Cell)을 구현하는 데에 많은 기술적인 개선을 요구한다. 따라서 어떠한 기술을 통해 얼마나 작은 면적의 표준셀을 구현할 수 있는지, 그리고 그 영향이 어떠한지 알아보는 것은 매우 중요하다. 본 논문에서는 3 나노미터와 이하의 미래공정에서 표준셀 설계를 위해 묻힌 전력망(Buried Power Rail, BPR)과 상호보완 FET(Complementary FET, CFET)이 면적 감소에 얼마나 기여하는지 살펴보고 그 영향을 기생 캐패시턴스 관점에서 분석한다. 본 논문을 통해 상호보완 FET은 4T 이하의 표준셀을 구현할 수 있는 기술이지만, Z-축으로 증가하는 높이만큼 상당한(+18.0% 이상) 기생 Cap의 영향을 받는다는 점을 밝힌다.

Key words : Complementary FET (CFET), Buried Power Rails (BPR), Standard Cells, Parasitics, 3 nanometer technology (3nm)

* School of Electronics Engineering, Kyungpook National University

E-mail : tsong@knu.ac.kr, Tel : +82-53-950-5535

※ Acknowledgment

The EDA tool was supported by the IC Design Education Center (IDEC), Korea

This work was supported by the National Research Foundation of Korea (NRF) grant funded by the Korea government (MSIT) (No.2019R1G1A109470212)

Manuscript received Aug. 28, 2020; revised Sep. 27, 2020; accepted Sep. 28, 2020.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

1947년 Bell 연구소에서 최초의 트랜지스터가 공개된 이래, 하드웨어 산업은 트랜지스터의 발달을 주 동력으로 삼아 무수한 발전을 거듭해왔다. 특히, IoT, 통신, 멀티미디어 등 다양한 IT 산업의 발전에는 그것의 연산을 담당하는 트랜지스터 기술의 발전이 큰 몫을 차지했다. 이러한 트랜지스터 기술은 몇십 년간 사용하던 평면 트랜지스터에서 진화하여 현재 FinFET을 주 기술로 사용한다[1]. 이러한 트랜지스터 그 자체의 설계 기술뿐만 아니라 적층 기술, 패키징 기술 등 하드웨어와 관련된 다양한 기술들이 개발되면서 하드웨어 산업은 계속 발

전하고 있다. 이러한 하드웨어 산업의 발전에 큰 축을 담당하고 있는 것은 소형화 기술이다. 최초의 실리콘 트랜지스터 칩이 개발된 이래 하드웨어 산업은 지속되는 소형화를 통해 성능향상을 이루어 왔고, 이러한 소형화의 흐름은 현재 사용되는 7 나노미터, 5 나노미터 공정기술 등을 중심으로 계속해서 이루어지고 있다. 그러나 이와 같은 소형화의 흐름을 유지하기 위해서는 기술적인 돌파구가 필요하다는 전망이 나오고 있다. 삼성에서는 MBCFET을 구현하여 미래공정에서 안정적인 소자를 구현하기 위한 시도를 발표하였다[2]. 이 밖에 Nanowire FET[3], Nanosheet FET[4], Forksheet[5]과 Complementary FET[6], Buried Power Rail[12] (BPR) 등, 발표되는 신기술들은 산업계에서 소형화를 지속하기 위해 이루어지는 노력을 다양하게 보여주고 있다.

표준셀(Standard Cell)은 디지털 반도체 칩을 설계하는 데에 있어서 핵심적인 역할을 하는 논리회로이다. 표준셀은 논리 연산을 하는 다양한 게이트(e.g., INV, BUF, NAND, NOR 등)를 물리적으로 구현한다. 디지털 칩의 구동에 있어서 그 대부분은 논리적인 연산이 이루어지기 때문에 칩 면적의 상당 부분은 이러한 표준셀로 구성되어 있다. 따라서, 표준셀을 효율적으로 설계하는 것은 VLSI 설계에서 칩의 면적을 줄일 수 있는 핵심적인 역할을 하게 된다. 특히, 지속적인 소형화를 추구해야 하는 산업계에서는 표준셀을 어떻게 설계하는 것이 가장 효율적인지 반드시 고려해야 한다.

표준셀의 크기를 좌우하는 중요한 파라미터 중 하나는 그 '높이'다. 표준셀은 원활한 전원(VDD/VSS)의 공급을 위해 그 높이를 균일하게 유지한다. 이러한 표준셀의 높이는 디지털 설계에서 신호와 전원 연결의 유기성을 위해 소자와 가장 근접한 전선(e.g., Metal 0)의 N 배로 설계를 한다. 소형화가 진행되면서 산업계에서는 7 나노미터 공정에서는 7.5T (: track), 5 나노미터 공정에서는 6.5T, 3 나노미터 공정에서는 5T (그림 1), 2 나노미터 공정에서는 4T가 되리라 전망한다[7]. 이처럼, 표준셀이 사용하는 track 개수를 조정하는 것으로도 어느 정도의 면적 감소를 이룰 수 있다.

표준셀의 track 수가 줄어들게 되면, 이에 따라 전반적인 셀의 설계는 더 난해해지게 된다. 예를 들면, 7 나노미터 FinFET 공정의 경우에 한 표준

셀은 각 트랜지스터 내에 2 fin씩 사용할 수 있다. 그러나, 5 나노미터 공정에서는 track 감소 및 소자 간격의 감소로 인해 1 fin만 사용할 수 있게 된다. 또한, 전반적으로 사용하는 track 개수가 줄어들게 됨에 따라 생기는 신호선 연결의 문제 등은 소형화에 따라 피할 수 없는 상황이다. 따라서, imec에서 제안하는 상호보완 FET(Complementary FET, 이하 CFET)은 지속하는 소형화의 흐름을 유지할 수 있는 합리적인 대안으로 평가받는다[7].

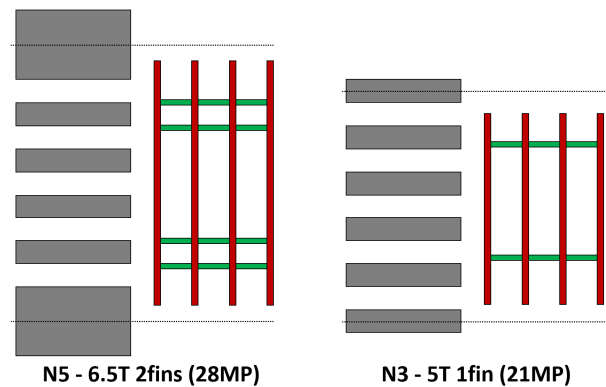


Fig. 1. Height comparison between N5 and N3 based on standard cell tracks.

그림 1. 5 나노미터 표준셀과 3 나노미터 표준셀의 track 개수에 따른 높이 비교

본 논문에서는 track 개수가 상당히 줄어드는 3 나노미터와 그 이후의 미래공정에서 트랜지스터와 표준셀 설계가 어떻게 이루어져야 하는지에 대해 track과 기생성분의 관점에서 연구한다. 현재 사용되는 기술들로는 track 수를 줄이는 데에 한계가 왔다고 전망하며, 이로 인해 새 트랜지스터와 기술들을 차용하게 되면 상당한 구조상의 변화와 기생성분의 증감이 일어나리라 예측한다. 따라서 본 논문에서는 산업계에서 예측하는 만큼의 track 개수를 줄이기 위해 어떤 기술들이 필요한지 살펴보고, 특히 미래공정의 합리적인 대안으로 평가받는 BPR과 CFET이 track 개수 감소에 어떻게 기여하며 그 영향이 어떻게 되는지 자세히 분석한다.

저항(Resistance)과 캐패시턴스(Capacitance, 이하 Cap)는 물리적으로 설계된 표준셀의 성능을 좌우하는 중요한 기생성분들이다. 뛰어난 성능을 갖는 트랜지스터라도 큰 기생성분의 영향을 받게 되어 있다면 회로의 관점에서 좋지 않은 성능을 갖게 될 수 있다. 기존의 연구[7]에서는 기생성분 중 저

항이 CFET의 성능에 큰 영향을 줄 것이라고 발표하였는데, 본 연구에서는 CFET의 기생 Cap이 상당함을 발표하며, 이를 줄이기 위해 어떤 대안을 찾을 수 있는지 알아본다. 여러 트랜지스터 구조들 중, 본 논문에서는 FinFET과 FinFET을 이용한 CFET 구조에 집중한다. [8]에 따르면 대표적인 파운더리인 TSMC에서 이후 3 나노미터 공정을 FinFET으로 설계한다고 발표하였다. [7-8]의 내용으로 말미암아 본 연구에서는 FinFET을 기반으로 한 CFET의 이해가 중요하다고 판단하여 본 연구를 진행한다.

II. 표준셀의 Track 개수와 기생성분

5 나노미터에서 3 나노미터 공정으로 전환이 되면 기생성분의 관점에서 크게 3가지의 장점이 있게 된다. 1) 트랜지스터와 가장 가까이 위치하는 신호선의 선평이 줄어들게 됨에 따라 생기는 기생성분의 감소(MP : metal pitch (nm), 28MP → 21MP), 2) 사용하는 fin 개수의 감소(2 → 1)에 따른 기생성분의 감소, 3) 설계하는 track 개수의 감소에 따른 기생성분의 감소, 1)과 2)는 공정 미세화로 이루는 기생성분의 감소인 반면, 3)은 설계자가 물리적 설계를 통해 이룰 수 있는 기생성분의 감소이다. 3 나노미터 이하의 공정에서 소형화가 아닌 설계를 통해 표준셀이 얼마나 적은 기생성분을 갖는지를 분석하는 것은 표준셀로 만들어진 회로 성능의 분석을 위해 중요하다. 이를 통해 설계자들은 설계의 목적에 맞는 track을 갖는 표준셀을 설계하여 최적의 성능을 내도록 할 수 있다.

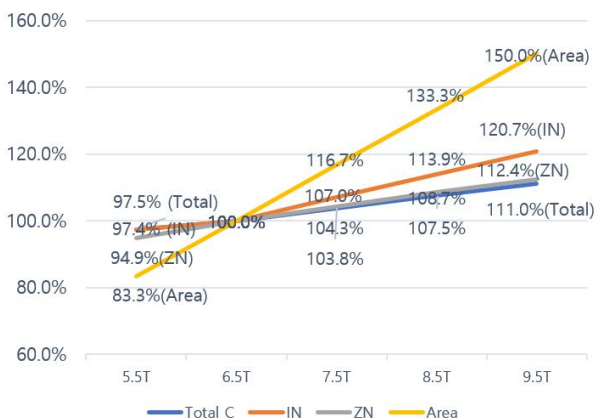


Fig. 2. Parasitic capacitance and area comparison between different cell track heights on INV.

그림 2. 표준셀 INV의 track 개수 변화에 따른 면적과 기생 Cap의 변화

1. 분석을 위한 세부 연구 설정

본 연구의 분석을 위해 [7]에서 제안하는 3 나노미터 공정 설계를 위한 파라미터들을 사용하며, [7]에서 정확히 공개되지 않은 파라미터들은 [9-11]을 참조하여 설계하였다. 3 나노미터 표준셀 설계를 위해 핵심이 되는 파라미터들은 표 1에 정리한다. 본 연구에서는 표준셀에서의 영향을 살펴보기 위해서 INV를 설계하여 비교하였다. 물리적 구조와 기생성분의 분석을 위해 GDSII layout을 설계하였으며, 이를 Synopsys Raphael을 통해 Cap을 추출하였다. 본 연구에서 표준셀 내에는 1개의 fin이 트랜지스터를 형성한다고 가정한다[7].

Table 1. Assumed parameters for 3nm FinFET and CFET based on [7, 9-11].

표 1. 3 나노미터 설계를 위해 사용한 주요 파라미터 [7, 9-11]

Parameters	Value
Gate, Metal 1 pitch	42
Metal 0 pitch	21
Fin pitch	21
Fin width	5
Fin height (FinFET)	55
Fin height (CFET)	30
Gate height (CFET)	120
Height of top contact (CFET)	40
Height of bottom contact (CFET)	60

2. Track 개수에 따른 기생성분 변화

그림 2는 track 개수가 변함에 따라 Cap이 얼마나 변하는지를 나타낸다. 기준이 되는 설계는 신호선을 위한 4T, VDD/VSS를 위해 2.5T를 갖는 6.5T 셀이다. 소형화가 아닌, track 개수에 따른 주요 변화는 다음과 같다. 첫째, track 1개를 줄이는데 따른 면적 감소는 약 17%지만, 그에 해당하는 Cap의 감소는 2~5%에 불과하다. 특히, 6.5T의 표준셀에서 5.5T의 표준셀로 설계할 때에 감소하는 전체 Cap은 약 2.5% 밖에 되지 않는다. 이는 track 개수의 감소가 기생성분의 측면에서는 큰 감소로 이어지지 않는다는 것을 의미한다. Cap이 감소하기 위해서는 전체적인 설계 면적의 감소도 중요하지만, 그에 해당하는 표준셀 내 도체 개수의 감소가 같이 수반되어야 한다. 동일한 공정 내에서는

track 개수가 감소하게 되더라도 표준셀 내에서 전체적인 Cap에 영향을 미치는 도체의 개수는 동일하다. 따라서, 한 셀 내에 도체의 개수가 감소하지 않는 한 면적의 감소로 전체적인 Cap이 상당히 줄어들기를 기대하는 것은 어렵다. 반면에, 본 연구는 6.5T에서 5.5T로 면적이 감소할 때 기존의 상황만큼(e.g., 7.5T → 6.5T 3.8%) Cap이 줄어들지 않음에 주목한다. track 개수가 줄어들에 따라 PFET과 NFET 사이의 거리는 상당히 가까워진다(e.g., 5.5T에서 PFET과 NFET 사이의 거리: 34nm). 따라서, 3나노미터 이하의 미래공정에서는 미약했던 PFET과 NFET 사이의 간섭이 더 심해지리라 예상할 수 있다.

둘째, 표준셀 내부의 net들은 그 물리적인 위치에 따라 다양한 주변 도체의 영향을 받는다. 이 결과로 해당 net이 보는 Cap이 더 감소하기도, 덜 감소하기도 한다. 예를 들어 ZN은 연결되는 M1이 Cap을 형성하는 주 통로가 되지만 IN은 poly가 주 통로가 된다. 이처럼 Net을 형성하는 도체의 모양과 주변 도체의 차이로 저마다 다른 Cap 감소 효과를 보게 된다(e.g., 6.5T → 5.5T, ZN : -5.1%, IN : -2.6%). 그러나, 언급한 바와 같이 절대적인 도체의 개수가 감소하지 않는 한 Cap의 감소는 면적의 감소만큼 이루어지지 않는다.

III. Track 개수 감소를 위한 묻힌 전력망 (Buried Power Rail, BPR) 구조

3 나노미터 이하의 공정에서 개선된 전력망 설계를 하기 위해 제안된 기술은 묻힌 전력망(Buried Power Rail, 이하 BPR)이다[12-15]. 현재 VLSI 설계에 있어 사용하는 전력망(Power Distribution Network, PDN) 구조는 칩 내 트랜지스터 위의 메탈을 이용하여 전압감소를 최소화 할 수 있는 망(Mesh) 구조를 만드는 것이다. 이러한 전력망 구조에서는 최상단 메탈을 통해 공급된 전원이 소자와 가장 가까이 있는 메탈(e.g., M0)까지 전달되어 할당되어있는 VDD/VSS track에 전원을 공급한다. 반면, BPR 구조는 substrate에 전력을 공급하기 위한 도체 구간을 제작하여 소자들과 동일한 위치에 놓인 해당 도체를 VDD/VSS를 공급하기 위한 track으로 사용한다.

1. Track 수 감소를 위한 BPR 구조의 적용

[15]에서는 세 가지 전력망 구조를 제안하여 해당하는 구조를 사용하였을 때 VLSI 관점에서 IR-drop이 얼마나 발생하는지를 분석하였다. 본 연구에서는 [15]에서 제안하는 전력망 구조들이 합리적이라 판단하고, 이와 같은 전력망 구조를 형성할 때에 BPR 구조가 track 감소에 기여하기 위해 어떤 변화가 수반되어야 하는지를 알아본다. [15]에서 제안하는 3가지 전력 공급방식은 다음과 같다(그림 3). 첫째는 상부 메탈을 이용한 전력전달 방식(BPR 사용 X, 일반적인 전력 공급 방식. 그림 3.a.), 두 번째는 상부 메탈을 이용하고 BPR로 전력 공급을 위한 메탈을 보강하는 방식이며(그림 3.b), 세 번째는 상부 메탈을 전력 공급으로 전혀 사용하지 않고 칩 반대편의 메탈을 이용하여 전력공급망을 형성함과 동시에 트랜지스터로는 BPR을 이용하여 전력전달을 하는 방식이다(그림 3.c).

BPR을 사용하지 않는 경우, 그림 1과 같이 track 수를 줄이기 위해 VDD/VSS를 공급하는 track의 두께를 얇게 가져가게 될 때에는 동반되는 심각한 IR-drop의 영향을 무시하기 어렵다. BPR이 전력공급을 위해 사용되는 방식은 두 번째와 세 번째인데, 이때 표준셀의 주 전력공급은 BPR을 통해 이루어지기 때문에 그림 1과 같이 VDD/VSS의 track 두께를 줄이더라도 IR-drop 관점에서 생길 수 있는 심각한 문제를 예방할 수 있다.

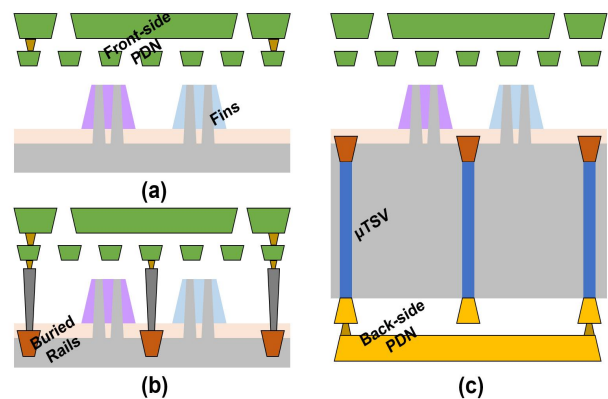


Fig. 3. Possible PDN types. (a) PDN based on front metal, (b) PDN based on front-side metal and BPR, (c) PDN based on BPR and back-side metal.

그림 3. PDN 종류. (a) 상부 메탈을 이용한 PDN, (b) 상부 메탈과 BPR을 이용한 PDN, (c) 반대편 메탈과 BPR을 이용한 PDN

Ruthenium(Ru)은 BPR을 설계하기 적합한 금속으로 전망된다. 이렇게 Ru를 이용하여 BPR을 제작하기 위해 [12]에서는 최소 두께로 36nm를 제안하였고, [15]에서는 3T, 그리고 [14]에서는 제작가능한 최소 두께로 18nm를 제안하였다. 이와같이 상당한 너비를 갖는 BPR은 동일 표면에 설계되어있는 트랜지스터와 일정 거리 떨어져 있어야 한다. 따라서, 설계의 관점에서 BPR을 이용하여 track 수를 줄이기 위해서는 표준셀 내 Fin 사이의 거리가 BPR을 지원하지 않는 공정보다 가까워져야 함을 의미한다(그림 4). BPR을 사용하지 않는 공정에서는 표준셀의 높이가 되는 N track에 PFIN과 NFIN의 위치만 고려해도 되었다면, 이제는 BPR과 PFIN/NFIN의 위치를 동시에 고려해야 하기 때문에 표준셀의 트랜지스터 설계가 더 복잡해지게 되었음을 알 수 있다.

신호 routing의 관점에서 가장 유리한 BPR 구조는 그림 3(c)다. (a)와 (b)는 M0의 track을 표준셀 높이당 하나 이상 VDD/VSS로 사용해야 하지만 (c)는 모든 M0의 track을 신호 routing으로 사용할 수 있다. [7]에서 전망하듯 미래공정에 따라 track 수가 점차 감소하게 되면 신호 routing을 위한 track 수 역시 계속 감소하게 된다. 따라서 BPR 구조를 이용하여 전원 연결을 위해 칩 하부 메탈을 이용하는 것은 일정 이상의 신호 routing을 위한 track을 확보한다는 차원에서 중요하다.

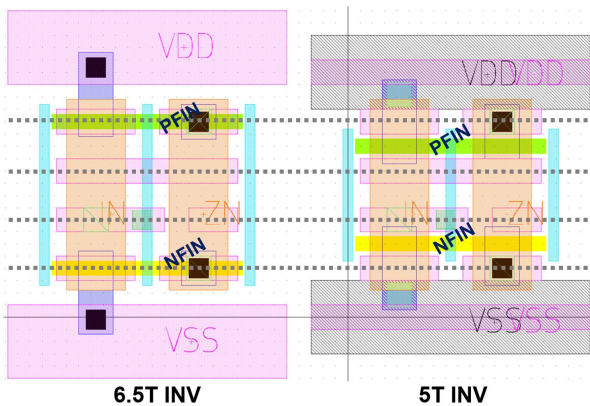


Fig. 4. Layout comparison between 6.5T INV (No BPR) and 5T INV (BPR). Note that the fins must be placed closer to each other on 5T INV.

그림 4. 6.5T 표준셀 INV(BPR X)와 5T 표준셀 INV (BPR)의 설계비교. 각 fin 사이의 거리는 BPR로 인해 가까워져야 한다.

2. BPR에 따른 기생성분의 변화

전력공급 구조의 변화로 6.5T에서 5T로 표준셀 높이가 변화할 때 INV 표준셀의 Cap의 변화를 표2를 통해 나타내었다. 6.5T는 BPR 구조를 차용하지 않은, 전력공급을 위해 2.5T를 사용하는 FinFET이며, 5T는 6.5T와 신호선 routing을 위한 track 개수는 동일하지만 전력공급이 1T로 이루어지며, 5T BPR은 전력공급을 위해 M0이 아닌 BPR만 사용하는 INV다. 이 실험에서 주목할 점들은 다음과 같다. 첫째, 면적의 감소가 약 -23%로 상당함에도 불구하고 6.5T에서 5T로 면적이 감소할 때 전체적인 Cap의 변화는 -1.5% 밖에 되지 않는다. 이는 II.2에서 설명한 바와 같이, 작은 면적에 기생성분을 구성하는 도체의 개수가 변하지 않기 때문에 전체적인 표준셀 내부의 Cap 감소가 거의 일어나지 않는다는 것을 의미한다. 특히, IN, ZN 등 signal net들의 Cap 감소는 아주 미미하다. 둘째, 5T에서 5T BPR로 전력공급 방식을 변화할 때에 VDD/VSS가 보는 Cap은 감소한다(약 2%). 이는 트랜지스터와 같은 높이에 위치하는 BPR이 M0 전력선에 비해 전반적으로 다른 구조물들에 의해 받는 영향이 감소함을 의미한다. 셋째, BPR 구조는 반드시 신호선에 긍정적인 영향을 준다고 말할 수 없다. 5T BPR 구조에서 IN의 Cap은 감소하지만 ZN의 Cap은 오히려 증가한다. 이는 ZN을 구성하는 도체들이 M0보다 BPR과 더 많은 Cap을 형성한다는 의미이다. 요컨대, BPR 구조는 기생성분의 관점에서 의 장점은 미미하지만, 표준셀의 면적 감소에는 상당히 큰 영향을 끼친다고 분석하는 것이 옳다.

Table 2. Parasitic capacitance comparison between 6.5T, 5T, and 5T BPR INV.

표 2. 6.5T, 5T, 5T BPR 구조의 INV에 대한 기생 Cap 비교

	6.5T	5T	5T BPR
IN	100.0%	99.9%	98.6%
ZN	100.0%	99.8%	104.1%
VDD	100.0%	96.0%	94.4%
VSS	100.0%	96.1%	94.2%
total	100.0%	98.5%	99.0%

IV. CFET

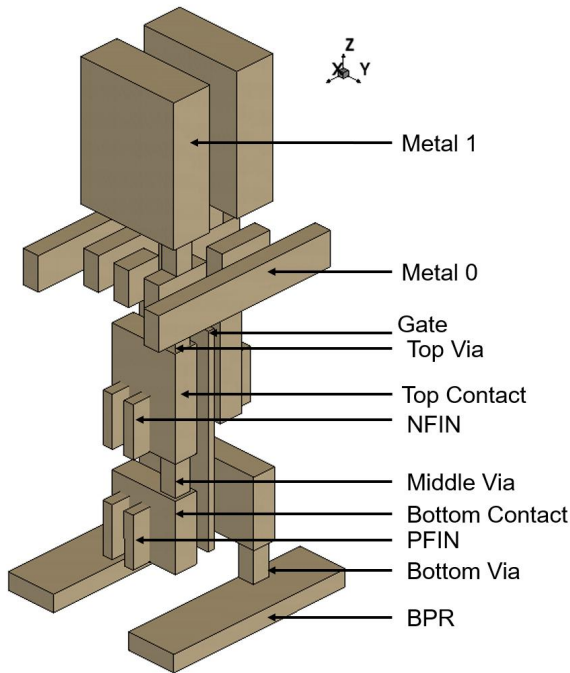


Fig. 5. 3D view of the 4T CFET INV.
그림 5. 4T CFET INV의 3차원 모형

[7]에서 제안하는 미래공정의 흐름에 따르면, 3나노미터 이후의 4T를 구현하기 위해서는 상당한 소자기술의 발전이 필요하리라 예상된다. 현재의 소자 기술로는 안정적인 PFET과 NFET의 설계를 위해 그 둘 사이의 거리를 일정 이상 떨어뜨려야 한다. 그러나, FET 사이의 거리증가는 역설적으로 표준셀의 높이증가로 이어진다. 따라서, [7]은 NFET을 PFET위에 적층하는 CFET(Complementary FET) 구조를 제안함으로써 4T 이하의 소형화가 가능함을 밝혀냈다(그림 5). BPR 기술을 적용한 CFET은 수직 적층의 장점으로 4T 이하의 표준셀에서도 FET 당 fin을 2개 사용할 수 있다. 그러나, 이러한 CFET 구조는 기생성분의 관점에서 유리하지 않은 구조다. 우선, 이와 같은 수직구조에서 layer들 사이를 관통해야 하는 긴 via는 높은 저항을 띄게 된다[7]. 그리고 수직으로 길어진 표준셀은 Cap 관점에서도 유리하지 않으리라 판단한다. 이는 CFET이 더 복잡해진 공정에도 불구하고 증가하는 기생성분 때문에 CFET 회로의 성능은 그리 뛰어나지 않을 수 있다는 것을 의미한다.

Table 3. Parasitic capacitance comparison between 5T FinFET (w/ BPR) and 4T CFET INV.

표 3. 5T FinFET(BPR)과 4T CFET INV의 기생 Cap 비교

	5T FinFET	4T CFET
IN	100.0%	119.1%
ZN	100.0%	108.1%
VDD	100.0%	108.1%
VSS	100.0%	133.5%
Total	100.0%	115.8%

1. 5T FinFET vs. 4T CFET

표 3은 [7]에서 제안한 파라미터(표 1)들을 바탕으로 5T FinFET과 4T CFET의 기생 Cap을 비교한다. 본 연구에서는 Nanosheet이 아닌 fin을 적층시킨 CFET을 비교하며, 이는 서론에서 언급한 바와 같이 3나노미터 공정까지는 FinFET의 지속 가능성을 제시하는 참조문헌들에 근거한다[7, 8].

CFET은 구조의 특성상 PFET/NFET당 fin을 2개씩 사용가능하지만 fin의 높이가 높아질수록 전체적인 CFET의 Z-축 높이가 증가하기 때문에 30nm의 작은 fin을 사용한다. 표 3의 비교는 Cap의 관점에서 주목해야 하는 다음의 결과들을 나타낸다. 첫째, 본 연구는 4T로 면적이 20% 줄어든 CFET INV가 5T FinFET보다 오히려 전체적으로 15.8% 증가한 표 3의 결과를 강조한다. 전체적인 표준셀의 Z-축 높이가 증가하기 때문에 CFET 설계를 통한 Cap의 감소는 기대하기 어렵다. 둘째, FinFET은 $W_{eff}=115nm$ 이지만, CFET은 $W_{eff}=130nm(65nm \times 2fin)$ 으로 약 15nm이 더 크다. 그러나 CFET은 구조상의 제약조건으로 구동해야 하는 기생 Cap이 더 크다. 따라서 표 3과 같이 FinFET 대비 더 나은 CFET 표준셀을 설계하기 위해서는 상당한 소자기술의 발전이 동시에 이루어져야 함을 의미한다. 셋째, VSS net의 Cap 증가가 상당한 이유는 CFET의 구조에 근거한다. VSS에 해당하는 net은 CFET 구조의 한 중간에 위치하게 되어 상당한 Cap을 형성하게 된다. 참고로, VSS net은 BPR의 VSS 뿐만이 아니라 VSS 신호가 전달이 되는 Fin과 contact를 포함한다. 이와 같이 높은 VSS의 Cap은 CFET 내에서 특정 net이 의도하지 않게 높은 Cap을 갖게 될 수도 있음을 의미한다.

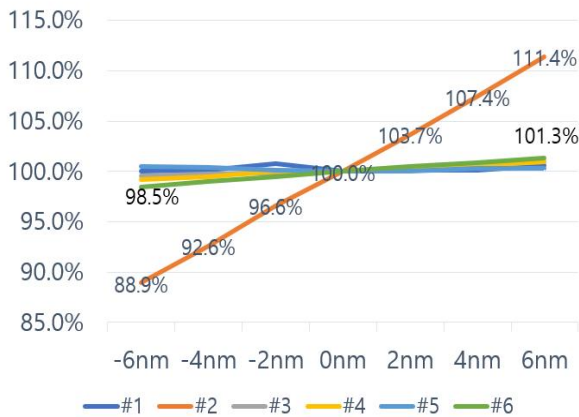


Fig. 6. Parasitic capacitance change based on z-directional height changes in CFET INV: #1: Bottom via, #2: fin height, #3: Middle via, #4: Bottom contact, #5: Top via, #6: Top contact.

그림 6. 4T CFET INV의 모양 변화에 대한 기생 Cap의 변화. #1: Bottom via, #2: fin height, #3: Middle via, #4: Bottom contact, #5: Top via, #6: Top contact

2. CFET의 기생성분을 줄이기 위한 제안

그림 6은 CFET을 구성하는 요소들의 크기가 변화할 때에 변화하는 Cap을 나타낸다. #1부터 #6까지 차례대로 Bottom via, fin height, middle via, bottom contact, top via, top contact의 Z-축 높이를 -6nm부터 +6nm까지 변화하고 그에 따른 전체 Cap의 변화를 보여준다. CFET 설계자가 추후 CFET을 설계할 때에 그림 6을 참조하여 가장 영향을 많이 주는 파라미터를 변경함으로써 더 나은 CFET을 설계할 수 있다. 가장 큰 영향을 주는 파라미터는 fin height(#2)이며, 차례대로 #6, #3, #4이다. #1과 #5는 유의미한 Cap 변화로 이어지지 않는다. 그림 6을 통해 다음을 확인할 수 있다. 첫째, fin의 크기 변화는 상당한 전체 CFET의 Cap 변화로 이어진다. 이는 fin 자체가 CFET 구조에서 매우 중요한 역할을 하게 된다는 것을 의미한다. 그러나, fin height의 변화는 CFET의 성능 변화에 직결되므로 CFET의 전류구동과 기생성분의 변화를 잘 고려하여 설계해야 한다. 둘째, M0과 가까운 구성요소를 변화할 때에 전체적인 Cap의 변화도 일어난다. 이는 CFET의 기생성분이 M0과 많이 형성한다는 것을 의미한다. 그러나 그 영향은 fin 만큼 상당하지 않으며 #6의 경우 10nm 감소할 때에 -2.6%의 Cap 감소를 동반한다. 이는 [7]에서 제안하는 Top contact의 높이가 60nm으로 상당한데, 40nm으로 Top contact

의 높이가 Bottom contact만큼 낮아지면 5% 이상의 Cap 감소효과를 볼 수 있음을 의미한다.

V. 결론

본 논문에서는 3 나노미터와 이하의 미래공정에서 표준셀 설계를 위한 track과 기생성분간의 관계를 밝히고, 이를 위한 상호보완 FET(CFET)과 문힌 전력망(BPR)이 어떻게 면적과 Track 개선 효과가 있는지를 분석하였다. 본 논문을 통하여 다음의 중요한 내용들을 밝힌다. 첫째, 공정의 소형화가 아닌 설계상의 소형화로 표준셀의 Track 개수는 줄일 수 있지만, 그에 해당하는 기생 Cap은 면적만큼 감소하지 않는다. 둘째, 문힌 전력망은 5T 이하의 표준셀 구조에서 Track 감소를 통한 면적 감소 및 신호선 연결 개선에 상당한 장점을 보인다. 그러나 면적 개선 만큼의 기생 Cap 감소는 발생하지 않는다. 셋째, 상호보완 FET은 4T 이하의 표준셀을 구현할 수 있지만, Z-축으로 증가하는 높이만큼 상당한(+18.0% 이상) 기생 Cap의 영향을 받는다. 이러한 기생성분의 증감에 가장 큰 영향을 주는 요소는 fin이며, 그다음으로는 신호선과 가까워지는 구조물일수록 기생성분의 증감에 큰 영향을 끼친다.

References

- [1] Intel's Revolutionary 22 nm Transistor Technology, Intel Newsroom, 2011.
- [2] Eun-Jung Yoon *et al.*, "Sub 30 nm multi-bridge-channel MOSFET (MBCFET) with metal gate electrode for ultra high performance application," *IEDM Technical Digest. IEEE International Electron Devices Meeting*, 2004. DOI: 10.1109/IEDM.2004.1419244
- [3] Y. Jiang *et al.*, "Nanowire FETs for low power CMOS applications featuring novel gate-all-around single metal FUSI gates with dual Φ_m and VT tune-ability," *2008 IEEE International Electron Devices Meeting (IEDM)*, 2008. DOI: 10.1109/IEDM.2008.4796836
- [4] D. Jang *et al.*, "Device Exploration of NanoSheet Transistors for Sub-7-nm Technology Node," *IEEE*

Transactions on Electron Devices, vol.64, no.6, pp.2707-2713, 2017.

DOI: 10.1109/TED.2017.2695455

[5] P. Weckx *et al.*, "Novel forksheet device architecture as ultimate logic scaling device towards 2nm," *2019 IEEE International Electron Devices Meeting (IEDM)*, 2019.

DOI: 10.1109/IEDM19573.2019.8993635

[6] J. Ryckaert *et al.*, "The Complementary FET (CFET) for CMOS scaling beyond N3," *Symposium on VLSI Technology*, 2018.

DOI: 10.1109/VLSIT.2018.8510618

[7] P. Schuddinck *et al.*, "Device-, Circuit- & Block-level evaluation of CFET in a 4 track library," *Symposium on VLSI Technology*, 2019.

DOI: 10.23919/VLSIT.2019.8776513

[8] Metrology Challenges for Gate-All-Around 2020. <https://semiengineering.com/metrology-challenges-for-gate-all-around/>

[9] S. Sinha *et al.*, "Circuit design perspectives for Ge FinFET at 10nm and beyond," *IEEE International Symposium on Quality Electronic Design (ISQED)*, 2015.

DOI: 10.1109/ISQED.2015.7085398

[10] Y. Kikuchi *et al.*, "Electrical properties and TDDB performance of Cu interconnects using ALD Ta(Al)N barrier and Ru liner for 7nm node and beyond," *IEEE International Interconnect Technology Conference / Advanced Metallization Conference (IITC/AMC)*, 2016.

DOI: 10.1109/IITC-AMC.2016.7507696

[11] C. Wu *et al.*, "Conduction and Breakdown Mechanisms in Low-k Spacer and Nitride Spacer Dielectric Stacks in Middle of Line Interconnects," *IEEE International Reliability Physics Symposium (IRPS)*, 2020.

DOI: 10.1109/IRPS45951.2020.9128328

[12] M. O. Hossen *et al.*, "Power Delivery Network (PDN) Modeling for Backside-PDN Configurations With Buried Power Rails and μ TSVs," *IEEE Transactions on Electron Devices*, vol.67, no.1, pp.11-17, 2020.

DOI: 10.1109/TED.2019.2954301

[13] J. Ryckaert *et al.*, "Extending the roadmap beyond 3nm through system scaling boosters: A case study on Buried Power Rail and Backside Power Delivery," *Electron Devices Technology and Manufacturing Conference (EDTM)*, 2019.

DOI: 10.1109/EDTM.2019.8731234

[14] A. Gupta *et al.*, "High-Aspect-Ratio Ruthenium Lines for Buried Power Rail," *IEEE International Interconnect Technology Conference (IITC)*, 2018.

DOI: 10.1109/IITC.2018.8430415

[15] D. Prasad *et al.*, "Buried Power Rails and Back-side Power Grids: Arm@ CPU Power Delivery Network Design Beyond 5nm," *IEEE International Electron Devices Meeting (IEDM)*, 2019.

DOI: 10.1109/IEDM19573.2019.8993617

BIOGRAPHY

Taigon Song (Member)



2007 : B.S. degree in Electrical Engineering, Yonsei University.

2009 : MS degree in electrical Engineering, KAIST.

2015 : PhD degree in Electrical and Computer Engineering, Georgia Institute of Technology.

2016~2019 : Senior R&D Engineer, Synopsys Inc.

2019~current : Assistant Professor, School of Electronics Engineering, Kyungpook National University.