

PLD 소자의 LASAR 부품 모델링을 통한 고장 검출

Fault Detection through the LASAR Component modeling of PLD Devices

표대인* · 홍승범

한서대학교 항공정보산업대학원 항공전자공학과

Dae-in Pyo* · Seung-beom Hong

Department of Avionics engineering, Graduate School of Aeronautics, Information and Industry, Hanseo University, Chungcheongnam-do, 32158, Korea

[요 약]

LASAR (logic automated stimulus and response) 소프트웨어는 디지털 전자 회로 카드에 대한 로직 기능시험 및 고장검출을 위한 자동점검프로그램 개발도구이다. LASAR 소프트웨어는 소자의 논리회로 기능 및 입·출력 정의된 정보가 필요하다. 소자 정보가 없으면 정상적인 부품 모델링이 불가능하다. 따라서 본 논문에서는 소자 정보가 없는 PLD (programmable logic device) 소자를 역설계 방법을 통하여 부품 모델링을 수행한다. 개발된 LASAR 프로그램은 고장 시뮬레이션 결과와 단일 고착 고장삽입 방법을 통해 고장 검출율을 확인하였다. 고장 검출율은 기존의 제한적인 모델링은 91%, 역설계를 통한 모델링은 94%로 3% 상승하였다. 또한, EP 310 PLD 소자에 대한 입·출력핀에 대한 22가지 고착결함의 경우 100% 검출하여 양호한 성능을 확인하였다.

[Abstract]

Logic automated stimulus and response (LASAR) software is an automatic test program development tool for logic function test and fault detection of avionics components digital circuit cards. LASAR software needs to the information for the logic circuit function and input and output of the device. If there is no component information, normal component modeling is impossible. In this paper, component modeling is carried out through reverse design of programmable logic device (PLD) device without element information. The developed LASAR program identified failure detection rates through fault simulation results and single-seated fault insertion methods. Fault detection rates have risen by 3% to 91% for existing limited modeling and 94% for modeling through the reverse design. Also, the 22 case of stuck fault with the I/O pin of EP310 PLD were detected 100% to confirm the good performance.

Key word : Logic automated stimulus and response (LASAR), Component modeling, Programmable logic device (PLD), Joint electron device engineering council (JEDEC), Fault detection rate.

<https://doi.org/10.12673/jant.2020.24.4.314>



This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Received 27 July 2020; Revised 29 July 2020

Accepted (Publication) 10 August 2020 (30 August 2020)

*Corresponding Author : Seung-beom, Hong

Tel: +82-41-671-6231

E-mail: sbhong@hanseo.ac.kr

I. 서론

국내에 도입된 군용 항공기의 항공전자 부품의 수리는 미국 정비장 혹은 생산업체에 의존하여 진행되는 경우가 많다. 최근 항공전자 부품의 디지털화와 통합 시스템으로 변환에 따라 부품의 단종과 정비 중단이 발생하고 있다. 따라서 최근 국내 항공부품의 정비능력개발 요구가 증가 있다[1].

군용 항공전자 부품에 탑재된 디지털 전자 회로 카드의 종류는 신호 처리 카드, 메모리 카드, 및 입·출력 인터페이스 카드 등이며, 주요 소자들은 직접 회로 (IC; integrated circuits), ROM (read only memory), ASIC (application specific integrated circuit) 및 기본 논리소자 (AND, OR, NOT, Flip-Flop) 등으로 구성된다. 이와 관련된 디지털 전자 회로 카드에 대한 로직 기능시험과 고장검출을 위한 자동 점검 프로그램 개발 도구로 Teradyne의 LASAR (logic automated stimulus and response) s/w (software)이다[2]. LASAR를 통한 고장검출 시 반드시 소자 정보를 통한 부품 모델링과 배선도를 통한 net list 파일을 반드시 확보해야 한다. 따라서 임의의 회로카드에 대한 모든 탑재부품 개별로 논리 기능 및 입·출력 정의가 필요하다.

따라서 기존 연구로는 정중구[3] 논문으로 LASAR를 통하여 디지털 전자 회로 카드의 실장 부품 중 소자 정보가 없는 ROM에 대해 LASAR S/W로 개발하였다. 또한 심우제[4]는 ASIC 소자에 대해 컴파일 자료를 추출하고 VHDL logic simulation을 통해 회로분석 후 Lab/Windows 자동점검프로그램을 개발하였고, ASIC의 소자 정보가 없는 경우 부품 모델링하기 위한 시간과 비용이 많이 드는 문제점 있다.

본 논문에서는 메모리 직접 회로 중 논리회로가 프로그램된 PLD (programmable logic device) 소자의 경우 제작사로부터 원본 소스를 획득하거나 PLD 내의 퓨즈 맵 (fuse map)과 제작사 데이터 시트의 매크로 셀 다이어그램 (macrocell diagram)을 분석하여 일부분만을 역설계할 수 있다. 전자의 경우, 제작사가 원본 소스를 제공하지 않으므로 본 논문에서 적용하기 어렵다.

따라서 본 논문에서는 PLD 소자로부터 JEDEC (joint electron device engineering council) 파일을 추출한 후 매크로 셀의 퓨즈수로 재작성하고, JEDEC 포맷을 해석하여 부울식으로 작성하는 역설계 방법을 통해 LASAR 부품 모델링을 작성하였다.

개발한 LASAR 자동점검프로그램의 고장 시뮬레이션 결과와 입·출력 핀에 단일고착 고장삽입 (single stuck-at fault insertion) 방법을 통해 고장 검출율이 test program set 성능 규정인 MIL-STD-2077B에 ROM 및 RAM 소자 대한 고장검출요구기준 100%를 만족하는지를 검증하고자 한다.

II. 기존 PLD소자 부품 모델링

부품 모델링 개발은 실장 부품에 대한 내부 게이트의 상호연결, 동작 타이밍, 드라이브 세기 등을 라이브러리 형태로 작성

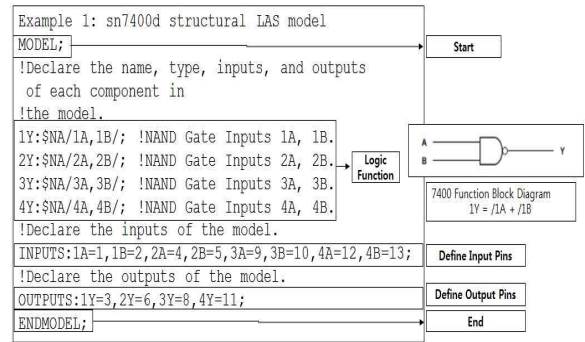


그림 1. SN7400 NAND 부품 모델링 구조
Fig. 1. SN7400 NAND component modeling structure.

한다. Teradyne사에서 지원하는 표준 모델 라이브러리를 활용하거나, 지원되지 않는 부품은 제작사 데이터시트 (data sheet)를 참조하여 작성한다, 그림 1은 SN7400 NAND 소자의 부품 모델링 구조를 나타낸 것으로 시작, 출력 핀별 논리 기능, 입·출력 핀 정의 및 종류로 구성된다[5].

프로그램에 내장된 PLD 소자는 회로 카드 제작사로부터 논리회로에 대한 정보를 획득해야만 정상적인 모델링 개발이 가능지만, 논리회로 정보를 획득할 수 없다면, 부품 데이터 시트를 참조하여 논리 기능 부분을 제외하고 입·출력 핀만 정의하는 제한적인 부품 모델링을 수행하여 LASAR 자동점검 프로그램 개발을 진행할 수 있다[6].

본 논문은 그림 2와 같이 개발시험 대상품목 (UUT; unit under test)인 디지털 회로 카드에 탑재된 EP 310 PLD 소자에 대한 결함검출을 수행하고자 한다. UUT에 탑재된 전체 53개의 로직 소자 중에 EP310 PLD 소자를 제외하고 나머지는 일반적인 상용 소자로 데이터 시트 확보를 통해 정상적인 모델링을 수행할 수 있다. 하지만 EP 310 PLD 소자에 대한 제작사로부터 원본 소스를 획득이 불가능하여 입·출력 핀만 정의하고 논리 기능을 포함하지 않는 제한적인 부품 모델링을 수행한다.

또한 그림 3과 같이 EP 310 PLD를 제외한 UUT 기능 시험을 통하여 출력 핀에 연결된 다른 소자의 기능시험을 위해 PLD 소자를 대신할 모의 신호 패턴을 제작할 수 있다면, 보다 향상된 고장 검출률을 얻을 수 있다.

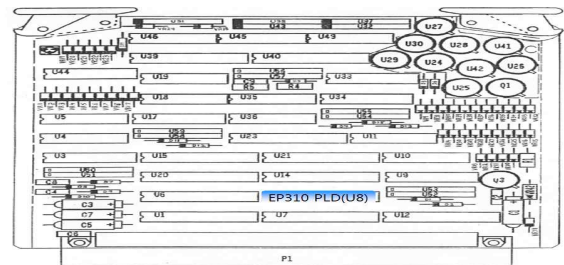


그림 2. 개발시험 대상품목(UUT)인 디지털 회로 카드
Fig. 2. Digital circuit card of the UUT.

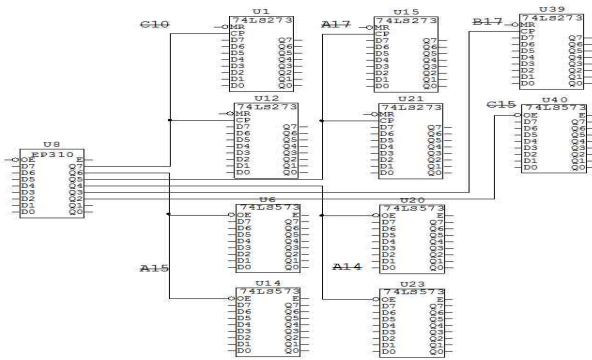


그림 3. EP310 PLD 소자 출력 회로도
Fig. 3. EP310 PLD output circuit.

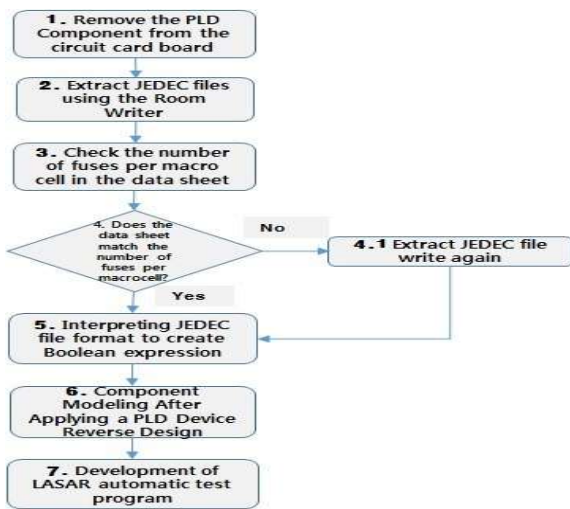


그림 4. PLD 소자 역설계 절차
Fig. 4. PLD component reverse design process.

III. PLD 소자의 역설계

제안하는 PLD 소자 역설계 절차를 통한 부품모델링 절차는 그림 4와 같다. 절차는 먼저 회로 기관에서 PLD 소자를 탈거하고 룸라이터 장비를 활용하여 JEDEC 파일을 추출한 다음, 포맷이 소자 데이터 시트에 나와 있는 매크로 셀당 퓨즈수와 비교 한다. 일치하면 도해도를 참조하여 해석하고, 불일치하면 JEDEC 포맷을 데이터 시트의 매크로셀당 퓨즈수로 재 작성한다. 해석된 프로그램 내용을 부울식으로 작성한 다음 LASAR 부품 모델링과 프로그램을 개발한다.

3-1 JEDEC 파일 추출

먼저 실장 부품을 회로 카드에서 EP310 PLD 소자를 탈착하여 UNISITE 룸라이터 장비를 통해 JEDEC 파일을 추출한다.

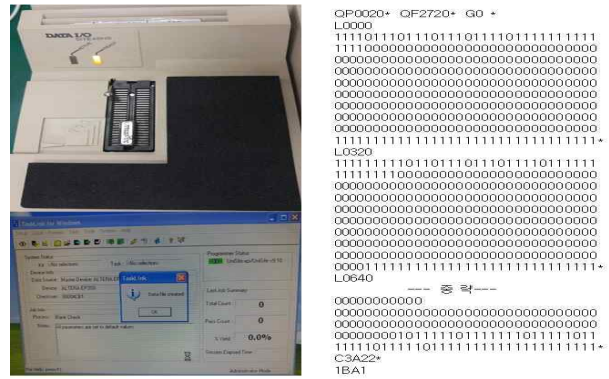


그림 5. EP310에서 추출된 JEDEC file
Fig. 5. JEDEC file extracted by the EP310.

그림 5는 장비를 활용해서 추출한 시험 대상품 EP310 PLD소자의 JEDEC 파일 일부 내용이다.

컴파일된 JEDEC 파일은 EP310 소자의 매크로 셀 전체 퓨즈 수와 일치하지만, 이것을 룸라이터 장비 제작사에서 제공하는 read/write s/w로 JEDEC 파일이 내장된 소자로부터 추출할 때는 장비 제작사별로 JEDEC 출력 포맷 형식이 다르게 출력된다. 본 논문에서 적용한 DATA I/O 사의 UNISITE 룸 라이터 장비의 경우 추출한 JEDEC 출력이 행의 퓨즈 수가 32개로 고정되어 출력된다. 하지만 그림 6에서와같이 altera사의 EP310 데이터 시트의 매크로 셀 도해도를 통해 매크로 셀 당 퓨즈 수는 36개로 일치화하는 과정이 필요하다.

따라서, 두 포맷을 일치화하기 위해서는 JEDEC file의 32 비트 출력형식을 Altera 입·출력 형식인 36 비트로 재작성하여 총 324개 퓨즈가 구성되도록 그림 7과 같이 JEDEC file을 수정하였다.

그림 6에서 알 수 있듯이 PRODUCT TERMS(OE, 0 1, ...7)이고 열은 그림 상단의 36개 입력신호를 의미하게 된다. 각 핀들 중 12부터 19번 핀은 출력으로 활용되고 1~9, 11번핀은 입력으로 활용된다. 그림 7의 퓨즈 수의 행렬은 그림 6의 행렬과 동일하게 입력된다.

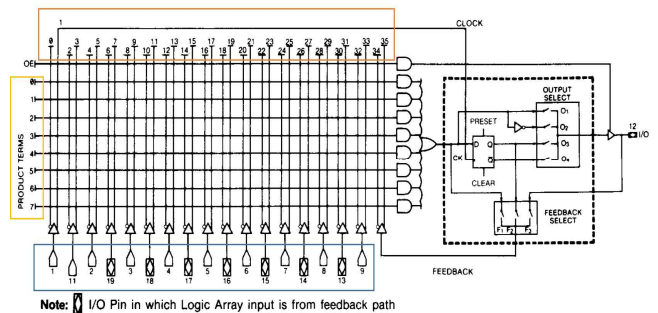


그림 6. EP 310 PLD 매크로 셀 도해도 [7]
Fig. 6. EP 310 PLD macro cell logic circuit [7].


```

QP0020* QF2720* G0 *
L0000 | Output Pin 19 Address | FUSE 32 EA
11111011101110111011101111111111
11110000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
11111111111111111111111111111111
L0320 | Output Pin 18 Address
1111111101101110111011101111011111
11111111000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
11111111111111111111111111111111
L0640 | Output Pin 17 Address
111111111101111011101111011110111
--Omit--

QP0020* QF2720* G0 *
L0000 | Output Pin 19 Address | FUSE 36 EA
11110111011101110111011111111111
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
11111111111111111111111111111111
L0324 | Output Pin 18 Address Changed to 324
1111101101110111011101111011111111
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
11111111111111111111111111111111
L0648 | Output Pin 18 Address Changed to 648
1111011110110111011110111111111111
00000000000000000000000000000000
--Omit--
    
```

그림 7. 매크로 셀 퓨즈 형식으로 변환
Fig. 7. Conversion of the form of a macro-cell fuse.

3-2 JEDEC 파일 포맷 해석 후 부울식 작성

EP310 데이터 시트의 매크로 셀 퓨즈수로 재 작성된 JEDEC 포맷을 해석하기 위해서 그림 6의 데이터 시트의 block diagram 을 활용한다. 그림 7의 우측 상단 첫 번째 시작하는 퓨즈로 L0000으로 표기하며 이 값은 19번 핀 출력핀 어드레스로 할당 된다. 첫 번째 행에 4, 8, 12, 16, 21번째 자리의 수가 0 값을 의미 하고, 행 순서대로 입력 핀 2, 3, 4, 5는 4, 8, 12, 16과 교차 연결 되어야 하므로 AND 반전 입력단에 연결되고 입력 핀 6번과 21 번째와 교차 연결되어야 하므로 비 반전에 입력단에 연결된다. 마지막 9번째는 tri-state buffer 출력을 나타낸다. 퓨즈 값이 모두 1로 enable 신호가 vcc로 연결된 것을 의미한다. 따라서 19번 출력 핀을 부울 대수식으로 정리하면 o19.trst = /i2 * /i3 * /i4 * /i5 * i6이다.

두 번째 L0342는 출력 핀 18번에 할당하게 되고 첫 번째 행에 5, 8, 12, 16, 22번째 자리의 수가 0값을 의미하고, 그림 6과 같이 각 반전 및 비반전 AND 게이트에 연결하게 되어 18번 출력 핀으로 출력하게 된다. 따라서 18번 출력 핀을 부울 대수식으로 정리하면 o18.trst = (i2 * /i3 * /i4 * /i5 * i6) = vcc 이다. 이와 같은 방법으로 출력핀 17번은 L0648, 핀 16번은 L0972, 핀 15번은 L1296, 그리고 핀 14번은 L1620등에 대하여 동일한 방법으로 수행한다.

그림 6의 우측 최종 출력단은 OR 게이트의 출력 값, D-F/F (flip/flop) 그리고 출력 선택기(OUTPUT SELECT) 등으로 구성된 부분으로 그림 8에 확대하여 표시하였다. 그림 8에서 재작성된 JEDEC 파일 매크로 셀 중 마지막 부분인 L2664 번째부터 L2705까지 42개의 퓨즈에서 14번 출력부터 19번 출력 핀까지 출력 선택기 4개와 3개의 레플 선택기(FEEDBACK SELET) 스위치 상태가 순서대로 지정되어 있다.

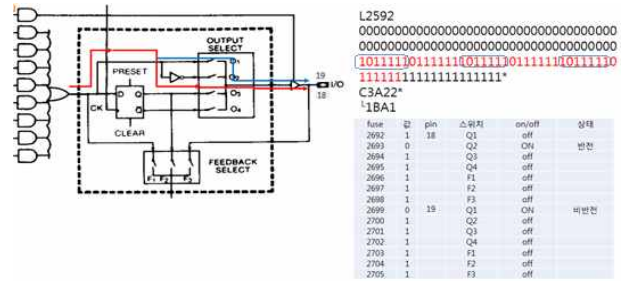


그림 8. 재작성된 JEDEC 파일 출력단 분석.
Fig. 8. Reconstructed JEDEC file output analysis.

```

chip u8 ep310
input/clk=1 i2=2 i3=3 i4=4 i5=5 i6=6 i7=7 i8=8 i9=9
GND=10 i11=11 o12=12 o13=13 o14=14 o15=15
o16=16 o17=17 o18=18 o19=19 VCC=20

equations
o19.trst = /i2 * /i3 * /i4 * /i5 * i6
o19.oe = vcc

o18.trst = /(i2 * /i3 * /i4 * /i5 * i6)
o18.oe = vcc

o17.trst = /i2 * i3 * /i4 * /i5 * i6
o17.oe = vcc

o16.trst = /(i2 * i3 * /i4 * /i5 * i6)
o16.oe = vcc

o15.trst = /i2 * /i3 * i4 * /i5 * i6
o15.oe = vcc

o14.trst = /(i2 * /i3 * i4 * /i5 * i6)
o14.oe = vcc
    
```

그림 9. EP310 부울식
Fig. 9. EP310 boolean equation.

그림 8에서 보면 19번 출력 핀은 Q1이 선택되어 비반전으로 출력되고, 18번 출력 핀은 Q2가 선택되어 반전으로 출력된다. 나머지 17번은 비반전, 16번은 반전, 15번은 비반전, 14번은 반전으로 지정된다. 따라서 각 14번에서 19번 핀에 대한 부울 대수식과 출력단의 매크로 셀에 따라서 18번, 16번, 그리고 14번에 대하여 Q2로 반전 출력이 되도록 전체 부정(!)을 표시하게 된다. 예를 들어 o18.trst = (i2 * /i3 * /i4 * /i5 * i6) 이므로 출력단에서 반전으로 출력되어야 하므로 o18.trst = /(i2 * /i3 * /i4 * /i5 * i6), o18.trst = vcc로 정리할 수 있다. PLD 논리회로 설계 프로그램 형식에 따라 입출력 핀에 대한 정의와 분석된 부울 대수식을 정리하면 그림 9와 같은 역설계 결과로 정리할 수 있다.

3-3 역설계 적용한 부품 모델링

역설계한 내용을 LASAR 부품 모델링에 적용하려면, PLD 소자 프로그래밍 언어의 논리 연산자를 부품 모델링의 논리 연산자로 변환이 필요하다. 표 1은 PLD 논리 연산자와 LASAR 논리 연산자간의 변환 테이블이다. 일반적으로 PLD 프로그래밍하는데 사용되는 논리 게이트는 AND, OR, NOT, NOR 등이다. 이 변환 테이블을 이용하여 EP310 PLD 역설계 내용을 LASAR 부품 모델링으로 변환한 결과는 그림 10과 같다.

표 1. PLD와 LASAR 논리연산자 간의 변환 테이블
Table 1. Conversion table between PLD and LASAR logical operators.

Logic Gate	PLD	LASAR
	Logical operators	Logical operators
NOT	/, !	\$NA
AND	*	\$AN
OR	+	\$OR
XOR	:+:	\$XO
XNOR	:*:	\$XN
Tri-State Buffer	.TRST	\$TR
VCC	VCC	\$L1
GND	GND	\$L0

LASAR 부품 모델링 작성 결과를 보면 입출력 핀은 그림 10의 두 번째 블록과 같이 PLD 프로그램의 경우 상단, LASAR 부품 모델링은 하단에 정의하며, 핀 번호 별 회로도에서 사용하고 있는 신호 이름으로 적용한다.

EP310 PLD의 경우에 입력 핀의 신호라인(세 번째 및 네 번째 블록)에서 첫 번째 논리 게이트 즉 핀 2, 3, 4, 5번에 연결된 NOT 게이트를 \$NA로 정의하고, 두 번째 논리 게이트인 AND 게이트에 입력되는 첫 번째 정의된 논리 게이트를 \$AN으로 정의하고 출력에 NOT 게이트가 연결된 3개의 OUTENA 신호를 정의한다.

마지막으로 출력 핀 19, 18, 17, 16, 15, 14의 신호 이름마다 연결된 3 상태 출력 게이트에 대해 \$TR_AN으로 작성하고, Enable 신호는 VCC로 연결되어 있으므로 \$L1로 작성한다. 그림 10과 같이 모델링 작성 순서는 입력부터 출력 방향으로 게이트 종류별로 블록 구분하여 작성하게 된다.

```

!1A10(AIU)-DISCRETE OUTPUTS
IU8.ALTERA EP310
MODEL:

NRDWR:NA/P2/:
NMUX1:NA/P3/:
NMUX0:NA/P4/:
NDATSTB:NA/P5/:

LATCH00:AN/NMUX1,NMUX0,NRDWR,P6,NDATSTB/:
EN00:AN/NMUX1,NMUX0,P2,P6,NDATSTB/:
OUTEN00:NA/EN00/:
LATCH10:AN/P3,NMUX0,NRDWR,P6,NDATSTB/:
EN10:AN/P3,NMUX0,P2,P6,NDATSTB/:
OUTEN10:NA/EN10/:
LATCH20:AN/NMUX1,P4,P2,P6,NDATSTB/:
EN20:AN/NMUX1,P4,P2,P6,NDATSTB/:
OUTEN20:NA/EN20/:

LATCH0:TR_AN/$L1,LATCH00/:
OUTEN0:TR_AN/$L1,OUTEN00/:
LATCH1:TR_AN/$L1,LATCH10/:
OUTEN1:TR_AN/$L1,OUTEN10/:
LATCH2:TR_AN/$L1,LATCH20/:
OUTEN2:TR_AN/$L1,OUTEN20/:

INPUTS:P2=2,P3=3,P4=4,P5=5,P6=6:
OUTPUTS:OUTEN2=14,LATCH2=15,OUTEN1=16,LATCH1=17,
OUTEN0=18,LATCH0=19:
ENDMODEL:
    
```

그림 10. EP310 소자 부품 모델링 변환 결과
Fig. 10. EP310 device component modeling conversion result.

표 2. EP 310 PLD 소자 진리표
Table 2. EP 310 PLD truth table.

Input pin					U8 Output pin	Output Signal	Control device
2	3	4	5	6			
0	0	0	0	1	19	L→H	U1&U12
1	0	0	0	1	18	H→L	U6&U14
0	1	0	0	1	17	L→H	U15&U21
1	1	0	0	1	16	H→L	U20&U23
0	0	1	0	1	15	L→H	U39
1	0	1	0	1	14	H→L	U40

3-4 모의 신호 입력패턴 파일 작성

LASAR를 통한 자동시험패턴은 역설계를 통한 EP310 PLD 부품 모델링에 모의 입력 신호 패턴이 필요하다. 따라서 부품 연결 리스트의 net file은 UUT 디지털 회로와 동일한 원본 그대로 적용하게 된다. 입력 신호패턴은 PLD 소자의 진리표로 작성하게 된다. 본 논문에서는 PLD의 기능은 알 수 없으므로 주변 사용 소자의 동작 특성을 분석하여 출력 핀의 동작을 분석하여 모의신호 패턴파일을 작성하게 된다. 또한 모의신호 패턴파일은 앞의 역설계 자료 분석과 로직 연산자 변환 테이블을 활용하여 부품 모델링 파일에 적용하였다.

표 2는 EP310 PLD 소자의 진리표로서 그림 3과 같이 입력 2, 3, 4, 5, 6 핀에 입력 값을 표와 같이 입력하고 U1, U12, U15, U21, 및 U39 레지스터 소자의 Clock Pulse 단자에 L→H 신호가 전달되었을 때 동작하게 되고, U6, U14, U20, U23, 및 U40 래치 소자의 출력 Enable에 H→L 신호가 전달될 때 출력 핀으로 전달하게 된다.

예를 들어 PLD 19번 출력 핀에 의해 제어되는 U1&U12 레지스터 소자의 16 비트 입력 핀에 1값을 쓰고 클럭 펄스를 L→H 신호값으로 변환 제공하여 PLD 입력 핀 2번부터 6번 핀에 진리표에 있는 입력 값을 사용한다. 표 2의 입력 값을 활용하여 레지스터와 래치 소자들을 통하여 나머지 출력 값을 얻을 수 있다.

3-5 LASAR 자동시험 프로그램 개발

역설계한 EP310 PLD 소자의 부품 모델링을 적용하여 배선 연결리스트, 시험패턴 완성 후에 환경, 규칙, 시뮬레이션, 고장 시뮬레이션 단계를 수행한 후 최종적으로 포스트 프로세싱 단계를 통해 LASAR 프로그래밍 과정에서 생성된 바이너리 파일들을 점검 장비의 실행환경에서 사용되는 DTB (digital test binary) 파일과 GPD (guide probe diagnostic) 파일들을 생성한다. 그림 11은 포스트 프로세싱을 통해 생성된 디지털 점검 바이너리 파일과 가이드 프로브 고장진단 파일을 나타낸다.

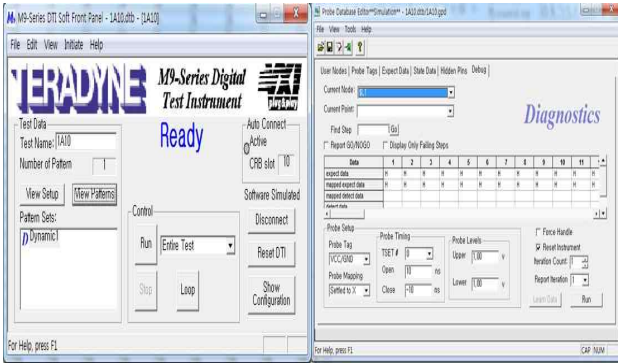


그림 11. LASAR S/W 고장 진단
Fig. 11. LASAR S/W fault diagnosis.

IV. 고장 검출을 실험 및 검토

EP301 PLD 부품모델링 과정을 거쳐 최종 생성된 디지털 점검 바이너리 파일과 가이드 프로브 고장진단 파일은 주어진 회로에 대하여 고장 모델을 가정하여 고장을 검출하는 입력 패턴을 자동으로 생성시킨 자동시험패턴(ATPG: automatic test pattern generation)이다[8]. 이 패턴에 대한 고장 검출율을 파악할 수 있는 두 가지 실험 방법이 있다.

첫 번째는 LASAR 개발 단계 중 고장 시뮬레이션을 통해 생성되는 고장검출 요약내용 (fault detection summary)을 확인하는 방법과 두 번째는 미 국방성 점검프로그램 세트 규격서인 MIL-STD-2077B에 탑재된 RAM (random access memory), ROM 또는 PROM (programmable read only memory)로 분류된 유형의 직접 회로는 고착결함(stuck at 0, 1)을 100 % 검사 및 감지하도록 개발요구도가 설정되어 있어, 모든 핀에 고착결함을 고장 삽입(fault insertion)하여 개발된 자동시험패턴이 100% 검출할 수 있는지를 확인하여 검증해야 한다[9],[10].

고장삽입 후 점검 및 실행환경을 제공하는 Teradyne사의 디지털 ATE (automatic test equipment)에 UUT을 장착하여 개발된 LASAR ATPG을 실행하여 고장검출 여부를 확인한다. 그림

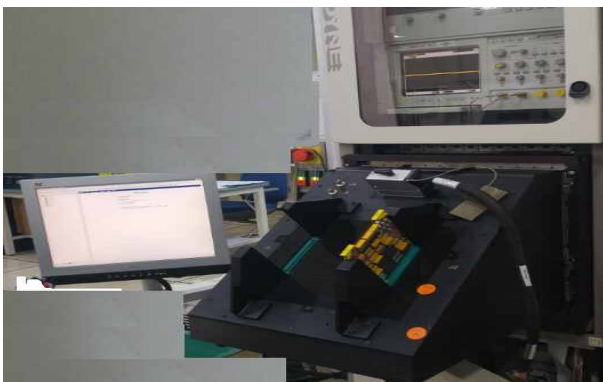


그림 12. LASAR 실험환경
Fig. 12. LASAR experimental environment

12는 UUT를 디지털 ATE에 장착한 실험환경이다.

4-1 제한적 부품 모델링 성능 점검

LASAR 개발 단계 중 고장시뮬레이션 단계를 통해 생성되는 고장검출 요약내용을 확인하는 방법은 Judg.lis 파일을 통해 확인할 수 있다. 첫 번째로 UUT의 전체 탑재부품 중 EP310 PLD 소자 제외하고 데이터 시트를 확보하여 부품 모델링을 적용한 LASAR 테스트 패턴의 고장 검출률을 확인하기 위해 고장검출 요약 파일을 확인하였다. 그림 13은 fault simulation을 통해 산출된 고장검출 요약 내용으로 총 고장 검출율은 91.5%이며, 고장 미검출 항목은 총 73개로 8.5%이다. 제한적인 부품 모델링을 적용한 EP310 PLD 소자는 미 검출 항목에 22개의 고착결함이 나타났다. 이것은 시험패턴 작성 시 EP310 PLD 소자를 제외하고 회로 카드 핀으로 패턴을 생성한 결과이다.

결국 PLD 소자는 테스트 패턴에 고려되지 않았고, 고착결함이 있어도 검출되지 않는 것이다. 고장 미검출 항목에 <U8> 2@0 의 의미는 2번 핀의 고착결함 Low 를 탐지할 수 없다는 의미이고, <U8> 2@1 의 의미는 2번 핀의 고착결함 High 를 탐지할 수 없음을 나타낸다.

두 번째로 EP 310 PLD 소자의 JEDEC 파일을 추출하여 제안하는 역설계 과정을 통해 얻어진 논리회로 자료를 가지고 정상적인 부품 모델링을 적용한 LASAR 테스트 패턴의 고장 검출률을 확인하였다.

그림 14는 fault simulation을 통해 산출된 고장 검출 요약 내용으로 총 고장 검출율은 94.71%이며, 고장 미검출 항목은 총 57개로 5.99%이다. 제한적이 부품모델링보다 3% 상승한 결과를 얻었다.

FAULT DETECTION SUMMARY					
Fault Category	Faults Analyzed	Faults Not Detected	Possible Detection	Definite Detection	TOTAL COVERAGE
IStuck-at-0	352	14 3.97%	0 0.0%	338 96.0%	96.03%
IStuck-at-1	321	14 4.36%	29 9.0%	278 86.6%	95.64%
IOpen-to-0	20	7 35.0%	0 0.0%	13 65.0%	65.00%
IOpen-to-1	159	38 23.9%	0 0.0%	121 76.1%	76.10%
I TOTAL	852	73 8.5%	29 3.4%	750 88.0%	91.50%

29 faults were POSSIBLY detected:
73 faults were NOT detected:
<> B11@0, C16@0, C29@0
<U6> 1/1, 2/1, 3/1, 4/1, 5/1, 6/1, 7/1, 8/1, 9/1
<U7> 2/0, 3/1, 4/1, 5/1, 6/0, 7/0, 8/0, 12/0, 13/0
<U8> 2@0, 2@1, 3@0, 3@1, 4@0, 4@1, 5@0, 5@1, 6@0, 6@1, 14@0, 14@1, 15@0, 15@1, 16@0, 16@1, 17@0, 17@1, 18@0, 18@1, 19@0, 19@1

그림 13. 제한적인 부품 모델링의 결함검출 결과
Fig. 13. Fault detection result of limited component modeling

FAULT DETECTION SUMMARY						
Fault Category	Faults Analyzed	Faults Not Detected	Possible Detection	Definite Detection	TOTAL	COVERAGE
Stuck-at-0	330	2 0.6%	1 0.3%	327 99.1%	327	99.39%
Stuck-at-1	328	9 2.7%	1 0.3%	318 97.0%	318	97.25%
Open-to-0	206	19 9.2%	19 9.2%	168 81.6%	168	81.77%
Open-to-1	215	27 12.6%	24 11.2%	164 76.3%	164	76.28%
TOTAL	1079	57 5.3%	45 4.2%	977 90.5%	977	94.71%

45 faults were POSSIBLY detected:
57 faults were NOT detected:
Signals:P1_A08@0, P1_C04@1
<U.4> 12@1, 13@1, 14@1, 1/0?, 1/1?, 7/1, 8/1, 9/1
<U.5> 18/0?, 18/1?, 21/0?, 21/1?
<U.6> 18/0?, 18/1?, 21/0?, 21/1?
<U.7> 1/1?, 19/0?
<U.8> 1/1?, 19/0?
<U.9> 6/0, 6/1, 7/1, 8/1, 9/1, 13/1

그림 14. 역설계 기법에 의한 결함검출 결과

Fig. 14. Fault detection result through the reverse engineering.

4-2 고장 삽입을 통한 고장 검출을 확인

역설계를 통한 부품 모델링을 적용한 EP310 PLD 소자의 고장 검출 여부를 확인하기 위해서는 먼저 표 3과 같이 고장삽입 목록을 작성하였다. 고장삽입 목록은 프로그램된 모든 입-출력 핀을 선정하고 Low / High 고장삽입을 통한 고장검출 가능 여부를 확인하였다. 그림 15와 같이 EP310 PLD와 같이 고착 결함을 임의적으로 생성하였으며 앞에서 개발된 LASAR 테스트 패턴을 실행하여 시험하였다. 제한적인 부품 모델링을 적용한 테스트 패턴은 PLD 기능 논리 미정의된 결함은 실험에서 제외하였다.

표 3. EP 310 PLD 소자관련 고장삽입 목록
Table 3. EP 310 PLD fault insertion list.

List	Fault Insertion	Fault type	Result
1	U8 Pin2 to Pin10	Stuck at 0	detect
2	U8 Pin2 to Pin20	Stuck at 1	detect
3	U8 Pin3 to Pin10	Stuck at 0	detect
4	U8 Pin3 to Pin20	Stuck at 1	detect
5	U8 Pin4 to Pin10	Stuck at 0	detect
6	U8 Pin4 to Pin20	Stuck at 1	detect
7	U8 Pin5 to Pin10	Stuck at 0	detect
8	U8 Pin5 to Pin20	Stuck at 1	detect
9	U8 Pin6 to Pin10	Stuck at 0	detect
10	U8 Pin6 to Pin20	Stuck at 1	detect
11	U8 Pin14 to Pin10	Stuck at 0	detect
12	U8 Pin14 to Pin20	Stuck at 1	detect
13	U8 Pin15 to Pin10	Stuck at 0	detect
14	U8 Pin15 to Pin20	Stuck at 1	detect
15	U8 Pin16 to Pin10	Stuck at 0	detect
16	U8 Pin16 to Pin20	Stuck at 1	detect
17	U8 Pin17 to Pin10	Stuck at 0	detect
18	U8 Pin17 to Pin20	Stuck at 1	detect
19	U8 Pin18 to Pin10	Stuck at 0	detect
20	U8 Pin18 to Pin20	Stuck at 1	detect
21	U8 Pin19 to Pin10	Stuck at 0	detect
22	U8 Pin19 to Pin20	Stuck at 1	detect

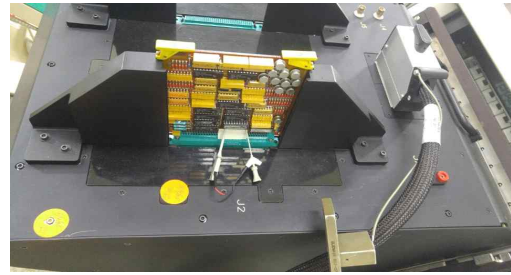


그림 15. 고착결함 구현

Fig. 15. Implementation of stuck fault.

그림 16은 표 3의 목록 1과 2 항목을 구현 결과이다. U8 핀 2 번에서 고착결함 Low / High 고장 삽입 시 검출 여부를 확인하기 위해 핀 2번과 GND 핀 10번 과 VCC 핀 20번에 점퍼 케이블로 연결하고 LASAR 자동시험패턴 인가하기 위해 ATPG 점검 항목을 실행하였다.

그림 16의 우측 상단 첫 번째 스코프 화면은 PIN 2의 정상적인 트리거된 화면이다. 즉, 좌측 상단에 PIN 2와 PIN 10(GND)로 고장삽입 후에 Low 값으로 고착됨을 알 수 있다. 그리고 두 번째 좌측 하단은 PIN 2와 PIN 20(VCC)로 고장삽입 후에 High로 고착되는 것을 화면에 표시하였다. 각 시뮬레이션 결과는 그림 17과 같이 고착 결함이 감지됨을 표시하게 된다.

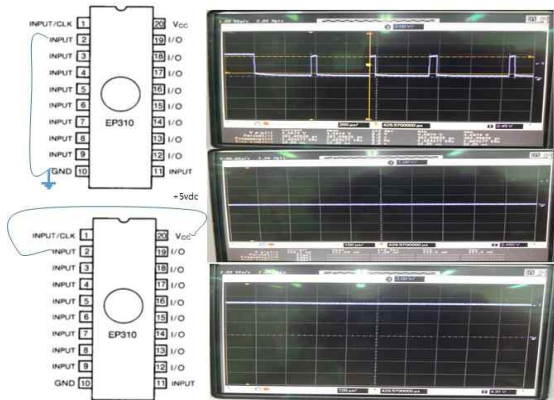


그림 16. 핀 2번의 고착 고장 검출

Fig. 16. Stuck-at fault detection of Pin 2.

```
ATPG_B Test T0140
ATPG TEST: FAILED

** Seeding Enabled with 0 Mismatch and 5 Fault Sets **
** Probing Through Matrix Enabled **
** Fetch failure from Fault Dictionary
** Channel A29 failed at result index 9
** Fault Dictionary found no faults <= 0 mismatches
Tester_Pin A15 FAILED at step 10
Tester_Pin C29 FAILED at step 1
Pin U8 2 FAILED at step 1
** Primary Input Bad at C29
** DIAGNOSED FAULT ON NET READWRT:
** Input Pin(s) - U8 2
** Tester Pin(s) - C29
```

그림 17. 핀 2번의 고착 고장 검출 결과

Fig. 17. Stuck-at fault detection result of Pin 2.

V. 결 론

본 논문에서는 실장 부품 중 소자 정보가 없는 PLD 소자를 프로그래머 장비를 활용하여 JEDEC 파일을 추출하고 소자 데이터 시트의 매크로 셀 퓨즈수로 재작성하여, JEDEC 포맷 해석 및 논리회로 부울식으로 작성하는 역설계방법을 고안하였다. 고장 시뮬레이션 결과와 입·출력 핀에 단일고착 고장삽입 방법을 통해 고장 검출율을 검증하였다. 개발한 점검프로그램의 고장 검출물을 고장 시뮬레이션 단계에서 생성된 Judg.lis 파일을 통해 확인한 결과 94%의 고장 검출율을 확인할 수 있었다. 이것은 제한된 부품 모델링 방법의 91%보다 3% 상승한 결과를 확인할 수 있었고, 또한 개발된 자동점검프로그램을 실행하여 입력과출력 핀의 22가지 고착 결함은 100% 검출하였다.

References

- [1] J. W. Kim, A reliable maintenance method for electronic circuit card, M.S. dissertation, Korea University, Seoul, Korea, 2012.
- [2] Teradyne, LASAR software [Internet]. Available: <http://www.teradynedefenseaerospace.com/products/software/lasar>.
- [3] J. G. Jung, Fault detection system by extracting the ROM's data, M.S. dissertation, Hanseo University, Chungcheongnam-do, Korea, 2012.
- [4] W. J. Shim, A Study on the fault detection of ASIC using dynamic pattern test, M.S. dissertation, Hanseo University, Chungcheongnam-do, Korea, 2013.
- [5] Teradyne. Inc., LASAR 6.60 manual, 2007.
- [6] Wikipedia, Programmable logic device [Internet]. Available: <https://en.wikipedia.org/wiki/pld>.
- [7] DataSheet4U, Alter EP 310 [Internet]. Available: <http://www.DataSheet4U.com/products/Alter EP310>.
- [8] Wikipedia, Automatic test pattern generation [Internet]. Available: https://en.wikipedia.org/wiki/Automatic_test_pattern_generation.
- [9] MIL-STD-2077B, General requirement test program set, 1991.
- [10] S. W. Kim, Efficient diagnosis for multiple stuck-at faults using fault dictionary, M.S. dissertation, Yonsei University, Seoul, Korea, 2003.



표 대 인 (Dae-In Pyo)

1988년 2월 ~ 2000년 4월 : 공군 항공전자 야전 정비 담당
 2000년 4월 ~ 현재 : 공군 86항공전자정비창 창정비 담당
 2017년 3월 ~ 2019년 2월 : 한서대학교 항공전자공학과 (공학석사)
 ※ 관심분야 : 항공전자, ATS(Automatic Test System), 시스템 엔지니어링.



홍 승 범 (Seung-Beom Hong)

2003년 8월 : 한국항공대학교 항공통신정보공학과 (공학박사)
 2004년 2월 ~ 현재 : 한서대학교 항공전자공학과 교수
 ※ 관심분야 : 항공전자, 컴퓨터 비전, 항공 시뮬레이터, 항공사고