

SET 상황에서 텔레스코픽 캐스코드 비교기에 관한 연구

장재석*, 정재필**, 박정철***

A Study on the Telescopic Cascode Comparator in SET Situation

Jae-Seok Jang*, Jae-Pil Chung**, Jung-Cheul Park***

요약 본 연구는 전자장비가 여러 환경에 노출되어 장비 작동에 영향을 받을 수 있으므로 해소할 수 있는 방법을 찾고자 본 연구를 시작하였다. 텔레스코픽 캐스코드 비교기에 지수정류파(iexp)을 SET(Single Event Transient) 환경으로 설정하여 어떤 영향이 있는지에 대해 실험하였다. 본 논문에서 SET 상황을 설정하지 않은 텔레스코픽 캐스코드 비교기에서는 전파 지연은 $0.46\mu s$, 이득은 0.713으로 측정되었다. SET 상황을 입력한 텔레스코픽 캐스코드 비교기에서 FET T0(M6)는 $11\mu s \sim 15\mu s$ 에서 큰 스파이크를 나타낸 것으로 측정되었다. FET T1(M5)는 $10\mu s \sim 16\mu s$ 에서 출력 신호가 단락되었다. FET T2(M3)는 단락된 출력신호를 나타냈으며 FET T3(M4)는 큰 스파이크 파형 형태로 출력파형이 측정되었다. FET T4(M1)와 FET T5(M2)는 스파이크 신호가 출력되었다. 그리고 모든 FET에서 전파지연은 $0.45\mu s \sim 0.54\mu s$ 로 변화되었다. 결론적으로 SET 상황에서 텔레스코픽 캐스코드 비교기에 있는 FET소자는 많은 영향을 받는 것으로 측정되었다.

Abstract This study was initiated to find a way to resolve electronic equipment as it could be affected by multiple environments. The effect of setting the exponential constant wave (iExp) in the telescopic cascade comparator to the SET (Single Event Transient) environment was tested. In this paper, the radio wave delay was measured at $0.46\mu s$ and the gain at 0.713 in the telescopic cascade comparator without setting the SET situation. FET T0 (M6) was measured to have a large spike at $11\mu s$ to $15\mu s$ in the telescopic cascade comparator entering the SET situation. FET T1 (M5) has shorted output signals from $10\mu s$ to $16\mu s$. FET T2 (M3) represented a shorted output signal, and FET T3 (M4) measured the output waveform in the form of a large spike waveform. The FET T4 (M1) and FET T5 (M2) are spiky signals. And at all FETs, the propagation delay was changed from $0.45\mu s$ to $0.54\mu s$. In summary, The FET element in the telescopic cascade comparator in SET situation was measured to be greatly affected.

Key Words : exponential constant wave (iExp), FET, SET, spiky signal, telescopic cascade comparator

1. 서론

CMOS 트랜지스터는 아날로그 회로에서 중요한 역할을 하며 마이크로 전자 장치에 광범위하게 사용된다. 최근에 진화하는 기술은 더 작은 크기, 더 짧은 주기, 더 낮은 작동 전압, 더 낮은 게이트 캐패시턴스를 만들

어 냈지만, 장치에 대한 SET(Single Event Transient)의 영향에 의한 집적 회로의 동작이 오동작 할 수 있는 경향이 있다[1,2,3]. 따라서 SET에 노출된 전자기기는 불규칙한 작동 및 출력 오류를 나타낼 수 있으므로 집적회로에서 SET 상황에서 어떤 영향을 미치는지 검토되어야 한다. 따라서 본 논문에서는 CMOS 비교

*Defense Agency for Technology and Quality

** **Department of Electronic Engineering, Gachon University

***Corresponding Author : Department of Electronic Engineering, Gachon University (jcpark@gachon.ac.kr)

Received June 10, 2020

Revised July 12, 2020

Accepted July 12, 2020

기가 SET에 대해 민감 할 것으로 예상되어 CMOS 비교기를 선택하여 실험을 진행하였다. 본 실험은 비교기에서 각각의 MOSFET에 SET를 설정하기 위해 순간 전류를 주입하였고 비교기의 어떤 부분이 SET에 더 민감한지를 관찰하였다. SET는 이온 유도 전자-정공쌍에 의해 발생하는 상호 작용을 말한다. 전자-정공쌍은 무거운 이온이나 양성자와 마이크로 전자 장치에 의해 생성된다. 전자 장치에서는 이러한 전자-정공쌍이 SET에 민감한 부분에 전류 스파이크 발생을 유도한다[4]. 마이크로 전자 장치의 간섭은 시스템 고장을 유발하여 아날로그 회로의 출력 값에서 인지할 수 있는 과도 오류를 유도할 수 있다[5,6,7,8].

본 실험에 사용되는 것은 출력 임피던스가 단일 MOSFET 앰프 이상으로 증가할 때 캐스코드 앰프의 이득이 증가하기 때문에 텔레스코픽 캐스코드 비교기로서의 장치가 적절하다고 판단되어 사용하였다. 또한 텔레스코픽 캐스코드 MOSFET는 출력시 전압 변화로부터 입력 장치를 보호한다[9,10]. 이러한 특성으로부터 텔레스코픽 캐스코드 회로는 CMOS 회로 설계에서 많이 사용되고 있다. 일반적으로 텔레스코픽 캐스코드 비교기는 SET에 매우 민감하고 전파지연으로 인한 입력 값 및 게이트에 의해 구현되는 로직함수 등에 의한 이유로 SET는 게이트 출력에서 에러값이 발생시킬 수 있다 [11,12].

본 논문은 군과 사회에서 사용하는 전자장비가 EMP 및 재밍(jamming)등에 많은 영향을 받을 수 있을 것으로 예상하여 실험에서는 Cadence IC614(0.13um CMOS) 환경에서 비교기 회로를 만들고, 10ns의 임시 전류원을 사용하여 각 MOSFET에 충돌 이온 입자를 시뮬레이션 하여 SET 환경조건을 만들었다. 그리고 텔레스코픽 캐스코드 비교기회로에서 각각의 MOSFET가 SET 환경에 민감한지를 확인하였다.

2. 실험 및 고찰

그림 1은 텔레스코픽 비교기 시뮬레이션 회로를 나타냈다. 시뮬레이션 회로에서 공급 전압 Vdd는 1.2V, 바이어스 전압(V_{bias}): Vdc 20uV, Vin+는 Vsin(주파수: 100kHz, 피크: 3V), Vin-는 Vdc 2V, Vout에

는 부하 캐패시턴스를 1fF으로 구성하였다. 그리고 Cadence의 ADE(Analog Design Environments) L를 사용하여 50μs 동안 시뮬레이션 하였다[13].

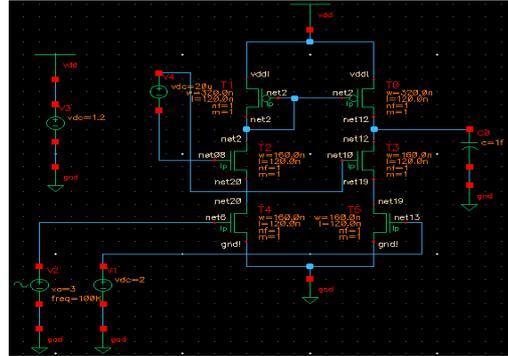


그림 1. 텔레스코픽 비교기 시뮬레이션 회로
Fig. 1. Simulation circuit of Telescopic comparator

복잡한 디지털 회로를 만들 때 전파지연에 의해 출력값이 많이 지연될 수가 있으므로 전파지연(τ_p)을 식(1)에 의해 계산하였다[14].

$$\tau_p = \frac{\tau_{pHL} + \tau_{pLH}}{2} \quad (1)$$

여기서 τ_{pHL} : 높은값에서 낮은값으로 변화되는 출력값
 τ_{pLH} : 낮은값에서 높은값으로 변화되는 출력값

이득(gain)은 식(2)에 의해 계산하였다[15].

$$G = \frac{V_{out}}{V_{dd}} \quad (2)$$

SET 환경을 위해 iexp(지수 전류파)를 사용하였고 주입시간을 10ns로 설정하였다. 각각의 MOSFET에 전류를 주입하여 민감한 MOSFET의 현상을 파악하고자 한다. 그림 2는 SET 환경을 회로에 주입하기 위해 11μs와 11.01μs 사이의 iexp 성분을 나타냈고 10ns 동안 주입 전류를 2mA로 설정한다.

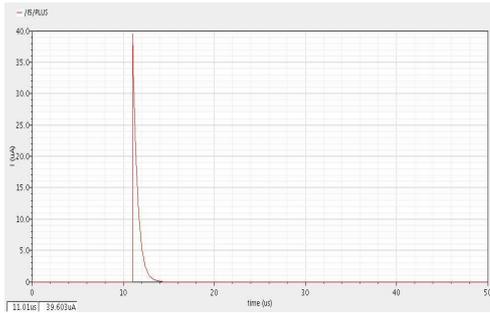


그림 2. i_{exp} 를 사용한 전류
Fig. 2. Current by used i_{exp}

SET 환경을 주입하지 않은 상황에서 입력 및 출력파형을 그림 3에 나타냈다. 그림 3에 입력신호(V_{in+})가 V_{in-} (녹색) 시간 주기보다 높을 경우, 출력신호(V_{out}) (파란색)가 펄스파로 출력된 것을 알 수가 있었다.

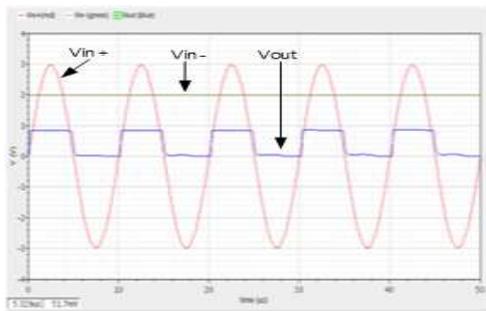


그림 3. 텔레스코픽 비교기의 V_{in+} , V_{in-} , V_{out}
Fig. 3. V_{in+} , V_{in-} and V_{out} graphs of telescopic comparator

그림 4는 그림3에서 출력파형만 나타냈다. 전파 지연은 $0.46\mu s$ 로 이득은 0.713로 계산되었다. 그림 5는 FET T0(M6) 출력파형을 나타낸 것으로 SET 환경을 만들기 위해 순간전류를 주입하였을때 $11\mu s$ 에서 $15\mu s$ 사이에서 큰 스파이크를 나타낸 것으로 측정되었다. 이것은 FET T0(M6)가 SET에 매우 민감하다는 것을 알 수가 있었다. 이것은 SET환경이 FET에 과전류를 유도한 것으로 예상된다. 전파 지연은 $0.45\mu s$, 이득은 0.714로 계산되었다. 그림 6은 FET T1(M5)의 출력파형이다. $10\mu s \sim 16\mu s$ 시간 주기 사이에 SET가 발생하는 동안 출력 신호가 단락됨을 알 수가 있었다. 전파 지연은 $0.54\mu s$, 이득은 0.714로 계산되었다.

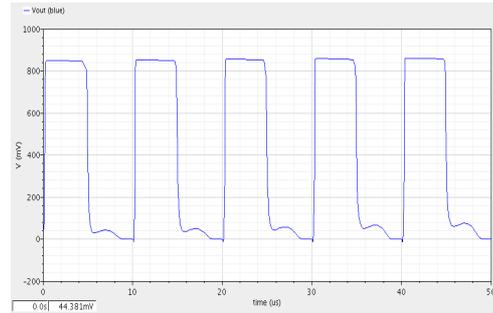


그림 4. 정상상태에서 텔레스코픽 비교기 출력
Fig. 4. Telescopic comparator output in normal environment.

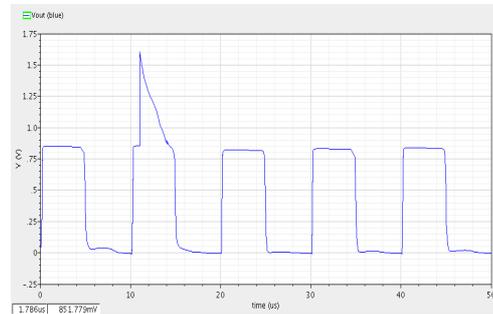


그림 5. T0 출력파형
Fig. 5. Graph of T0 output.

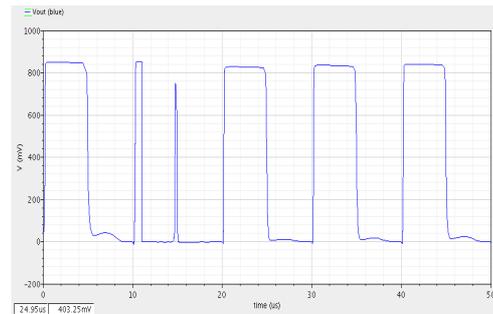


그림 6. T1 출력파형
Fig. 6. Graph of T1 output.

그림 7은 FET T2(M3)는 SET 동안 출력파형을 나타냈다. 단락된 신호를 보여준다. SET는 전류 흐름을 방해하므로 이 트랜지스터에서 단락시킨다. 전파 지연은 $0.54\mu s$, 이득은 0.714로 계산되었다.

그림 8은 SET 동안 FET T3(M4) 출력 파형을 측정 한 것으로 큰 스파이크 파형이 측정되었다. 전파 지연은 $0.54\mu s$ 이득은 0.714로 계산되었다.

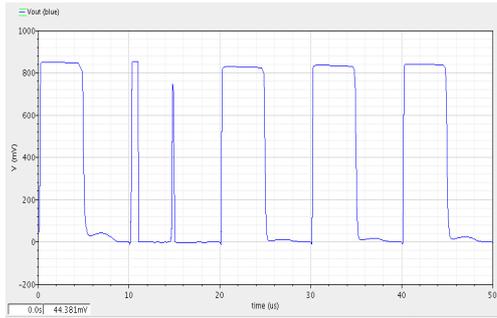


그림 7. T2 출력파형
Fig. 7. Graph of T2 output.

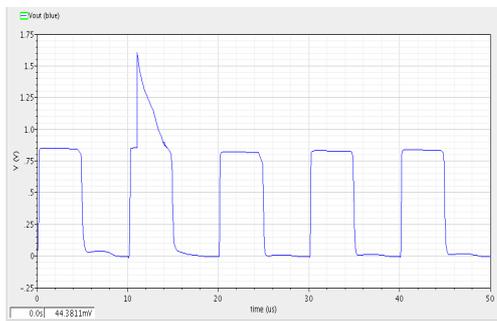


그림 8. T3 출력파형
Fig. 8. Graph of T3 output.

이 FET도 스파이크 신호가 출력되었다. 전파 지연은 $0.49\mu s$ 이득은 0.714로 계산되었다.

T4, T5를 T0, T1, T3과 비교하면, $10\mu s$ 에서 전류를 주입하면 $10\mu s \sim 20\mu s$ 의 시간 주기 사이에 불규칙한 스파이크 또는 감소된 신호로 측정되어 민감도가 낮음을 알 수가 있었다.

결론적으로 텔레스코픽 비교기는 SET에 영향을 많이 받는 것으로 측정되었으므로 해결할 수 있는 방안을 찾는 것이 중요하다는 것을 알 수가 있었다.

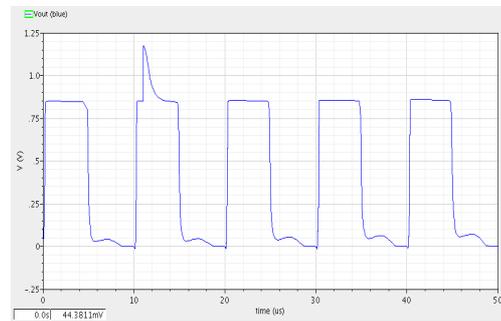


그림 10. T5 출력파형
Fig. 10. Graph of T5 output.

그림 1에 표시된 B 구역에 있는 FET T4, T5의 출력 파형을 그림 9, 그림 10에 나타냈다.

3. 결론

본 연구는 군과 사회에서 사용하는 전자장비가 EMP 및 재밍 등 여러 환경에 노출되어 장비 작동에 영향을 받을 수 있을 것으로 예상되어 본 연구를 시작하였다. 텔레스코픽 캐스코드 비교기에 지수정류파 (iexp)을 SET 환경을 설정하여 어떤 영향이 있는지에 대해 실험하였다. 본 논문에서 SET 상황을 설정하지 않은 텔레스코픽 캐스코드 비교기에서는 전파 지연은 $0.46\mu s$, 이득은 0.713으로 측정되었다. SET 상황을 입력한 텔레스코픽 캐스코드 비교기에서 FET T0(M6)는 $11\mu s$ 에서 $15\mu s$ 사이에서 큰 스파이크를 나타낸 것으로 측정되었다. SET환경이 FET에 과전류를 유도한 것으로 예측되었으며 전파 지연은 $0.45\mu s$, 이득은 0.714로 계산되었다. FET T1(M5)는 $10\mu s \sim 16\mu s$ 시간 주기에서 출력 신호가 단락됨을 알 수가 있었다. 전파 지연은 $0.54\mu s$, 이득은 0.714로 계산되었다. FET T2(M3)는 단락된 출력신호를 나타냈으며 전파 지연은 $0.54\mu s$, 이득은 0.714로 계산되었다. FET T3(M4)는

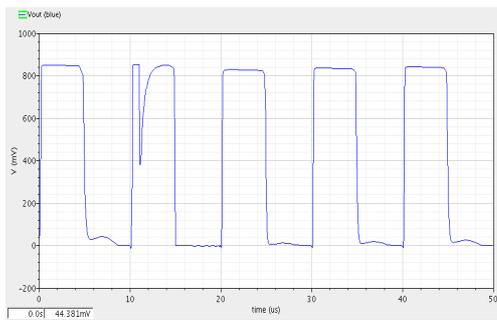


그림 9. T4 출력파형
Fig. 9. Graph of T4 output.

그림 9는 FET T4(M1)의 출력파형을 나타낸 것으로 T4도 SET의 영향을 받는 것을 알 수가 있었다. 전파 지연은 $0.49\mu s$ 이득은 0.714로 계산되었다. 그림 10은 FET T5(M2)에서 SET 동안 출력파형을 나타낸 것으로

큰 스파이크 파형 형태로 출력파형이 측정되었으며 전파 지연은 $0.54\mu\text{s}$ 이득은 0.714로 계산되었다. FET T4(M1)는 전파 지연이 $0.49\mu\text{s}$ 이득은 0.714로 계산되었다. FET T5(M2)에서는 스파이크 신호가 출력되었고 전파 지연은 $0.49\mu\text{s}$ 이득은 0.714로 계산되었다. T4, T5를 T0, T1, T3과 비교하면, $10\mu\text{s}$ 에서 전류를 주입하면 $10\mu\text{s} \sim 20\mu\text{s}$ 의 시간 주기 사이에 불규칙한 스파이크 또는 감소된 신호로 측정되어 민감도가 낮음을 알 수가 있었다. 결론적으로 SET 상황에서 텔레스코픽 캐스코드 비교기에 있는 FET소자는 많은 영향을 받는 것으로 측정되었고 전파지연이 정상적인 비교기와 동일할 수 있는 회로를 연구하는데 많은 도움이 될 것으로 기대된다.

REFERENCES

- [1] L. Petroli, F. Kastensmidt, L. Carro, "SET Fault Tolerant Combinational Circuits Based on Majority Logic", 2006 21st IEEE International Symposium On Defect and Fault Tolerance in VLSI Systems, Vol.1, pp. 345-352, 2006
- [2] Mousa Yousefi1, Khalil Monfaredi, "Power Reduction of the Low Offset Dynamic Comparator with Novel Techniques", Majlesi Journal of Electrical Engineering Vol. 13, No. 2, pp.15~20, 2019
- [3] Bishnu Prasad De1, R. Kar1, D. Mandal, S. P. Ghoshal, "Soft computing-based approach for optimal design of on-chip comparator and folded-cascode op-amp using colliding bodies optimization", International Journal OF Numerical Modelling : Electroic Networks, Devices and fields Int. J. Numer. Model. 29, pp.873-896 2016
- [4] Ecoffet. R, Duzellier. S, Tastet. P, Aicardi. C, Labrunee. M, "Observation of heavy ion induced transients in linear circuits," IEEE Radiation Effects Data Workshop, pp. 72-77, Jul. 1994.
- [5] R. Harboe-Sorensen, F. X. Guerre, H. Constans, J. Van Dooren, G. Berger, W. Hajdas, "Single event transient characterization of analog IC's for ESA's satellites," in Proc. RADECS, pp. 573-581, 1999.
- [6] B. E. Pritchard, G. M. Swift, A. H. Johnston, "Radiation effects predicted, observed, and compared for spacecraft systems," in Proc. IEEE NSREC Radiation Effects Data Workshop Record, pp. 7-17, 2002.
- [7] Sohiful Anuar Zainol Murad, Izatul Syafina I SHAK, Mohd Fairus AHMAD, Shaiful Nizam MOHYAR, "Design of a low-power CMOS operational amplifier with common-mode feedback for pipeline analog-to-digital converter applications", Turkish Journal of Electrical Engineering & Computer Sciences, Vol.25 pp.1908~1921, 2019
- [8] Jihene Mallek, Houda Daoud, Hassene Mnif, and Mourad Loulou, "Regulated Telescopic OTA Optimization for Mobile WiMAX Applications", International Journal on Electrical Engineering and Informatics, Vol.11, No.4, pp.733~747, 2019
- [9] Ehsan Kargarani1, Mohammad Javad Zavareh1, Nahid Fatahi1, Seyedeh Sara Hassani1, Khalil Mafinezhad1, Hooman Nabovati, "Design Issues for Low Voltage Low Power CMOS Folded Cascode LNAs", Majlesi Journal of Electrical Engineering, Vol. 6, No. 3, pp.43~53, 2012
- [10] Hiroo Wakaumi, "A Folded-Cascode OP Amplifier with a Dynamic Switching Bias Circuit," International Association of Engineers, Vol.23 No.2, pp.92~97, 2015
- [11] Tao Wang, Li Chen, Anh Dinh, Daniel Teng, "Single-Event-Transient Tolerant Comparators with Auto-Zeroing Techniques", IEEE, 2008.
- [12] R. Mariani and P. Fuhrmann, "Comparing Fail-safe Microcontroller Architectures in Light of IEC 61508", 22nd IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, pp.347, 2007.
- [13] J.S.Jang, J.P.Chung, J.C.Park, "An Analysis of folded cascode comparator by Single Event Transient (SET)", The Journal of Korea Institute of Information & Electronic Communication Technology, Vol.13 No.2, pp.169~175, 2020
- [14] Maini, "Digital Electronics: Principles", John

Wiley & Sons Devices and Applications, Vol. 27 pp.280-300, 2007

- [15] Graf, Rudolf F. "Modern Dictionary of Electronics (7 ed.)", Newnes. p. 314. ISBN 00805 11988, 1999

저자약력

장 재 석(Jae-Seok Jang)

[정회원]



- 2013년: 가천대학교 전자공학과(공학사)
- 2015년: 영국 사우스햄프턴 대학교(공학석사)
- 2017년~현재 : 국방기술품질원 연구원

〈관심분야〉 직접회로설계

정 재 필(Jae-Pil Chung)

[정회원]



- 1985년: 단국대학교 전자공학과(공학사)
- 1989년: 단국대학교 전자공학과(공학석사)
- 2000년: 한국항공대학교 통신정보공학과(공학박사)
- 1994년 2월~현재 : 가천대학교 IT융합대학 전자공학과 교수

〈관심분야〉 정보통신

박 정 철(Jung-Cheul Park)

[정회원]



- 1983년: 명지대학교 전자공학과(공학사)
- 1991년: 명지대학교 전자공학과(공학석사)
- 2000년: 명지대학교 전자공학과(공학박사)
- 2007년 ~ 현재: 가천대학교 전자공학과 교수

〈관심분야〉 신재생에너지, VLSI