

SiC MOSFET의 과전류 단락보호 기법

WBG 소재의 전력반도체는 실리콘 전력반도체보다 열특성, 고전압/고전류 특성이 좋고, 스위칭 손실이 적다. 따라서 WBG 소재의 전력반도체를 활용하면 기반 전력변환시스템을 소형화할 수 있고, 전력 효율이 향상된다. 그리고 이러한 WBG 소재의 전력반도체는 이미 전력전자 응용 분야에서 실용화 또는 연구 개발되고 있다. 하지만 WBG 전력반도체의 단락 보호 기법은 DESAT과 같은 확실한 해법이 아직은 없다. 본 논문에서는 WBG 소재의 전력반도체 단락 보호 기법에 대해 국내외로 진행된 연구, 기술개발의 동향을 간략히 살펴보고, 그 중 DESAT과 로그스키 코일을 이용한 단락 보호 기법은 본 연구팀에 수행한 연구를 소개하고자 한다.

1. 서론

SiC(Silicon Carbide) 및 GaN(Gallium Nitride)과 같은 WBG(Wide-Band-Gap) 소재를 이용한 전력반도체들은 더 이상 차세대 전력반도체 기술이 아니며 이미 모든 전력전자 응용분야에서 실용화 또는 연구 개발이 이루어지고 있는 현재의 전력반도체라 할 수 있다. 이러한 WBG 전력반도체들은 아직 가격적인 면에서 기존의 실리콘 IGBT(Insulated Gate Bipolar Transistor)보다 경쟁력이 약한 것이 사실이나 점차 시간이 지날수록 WBG 전력반도체 자체의 가격 하락, 전력변환기를 구성하는 각종 부품들의 원가 경쟁력 상승으로 전력변환기 수준에서는 그 격차가 완화되거나 혹은 더 저렴한 설계가 가능할 것으로 여겨진다. 많은 경우 IGBT, FET(Field Effect Transistor)와 같은 능동스위치와 다이오드로 구성된 단방향 스위칭 레그 기반의 단방향 PFC(Power Factor Correction)회로, 단방향 벅, 부스트 컨버터에서는 다이오드 자체의 존재로 인하여 능동 스위치의 단락 보호가 큰 의미를 주지 않는다. 그러나 인버터, 동기 컨버터 등과 같이 양방향 전력변환이 필요하여 능동 스위치로만 스위칭 레그가 구성될 경우에는 전자기 노이즈, 밀러 턴온 등과 같은 여러 가지 원

인에 의한 원하지 않는 소자의 턴 온이 발생할 수 있고 이로 부터 이어질 수 있는 단락 현상에 대한 대책이 반드시 필요하다^{[1][2]}. 그럼에도 불구하고 WBG 전력반도체의 단락 보호 기법에 관련해서는 아직 IGBT 구동을 위한 게이트 구동 소자들이 가지고 있는 DESAT(Desaturation)과 같은 확실한 해법이 없는 상황이다. 최근 국내외 연구기관과 반도체 제조업체들에서는 이와 관련된 해법을 연구하고 그 결과들을 제시하고 있는데, 이는 크게 다음과 같다. 첫째, 기존 IGBT용 게이트 드라이버의 DESAT을 WBG 전력반도체에 맞게 수정하여 드레인-소스 저항의 비선형 특성을 보상하고 IGBT보다 빠른 차단이 가능하도록 회로를 구성하는 것이다^{[3][7]}. 둘째, 로그스키 코일^{[8][15]}, 분로저항^[17], CT(Current Transducer)^[16] 등을 이용하여 소자의 전류를 직접 측정하고 복원하여 이 정보로부터 과전류 차단을 결정하는 방법이다. 셋째로는 게이트 단의 전하 특성과 같은 소자의 기생성분을 이용하는 방법^[16]이 있다. 본 기술동향은 SiC 전력반도체의 과전류 단락보호를 위하여 위의 기술들을 설명하고 그 중 DESAT과 로그스키 코일을 이용한 방법에 관하여 본 연구팀에서 수행한 결과를 소개한다.

2. 게이트 드라이브 소자의 DESAT 기능을 이용한 단락 보호 기법

그림 1은 게이트 드라이브 소자의 DESAT 기능을 이용하여 SiC MOSFET의 단락 보호 회로 구현 예를 보여준다. 게이트 드라이브 소자의 DESAT 기능은 전력반도체의 턴온시 채널 저항 R_{DS} 에 의하여 발생하는 드레인-소스간의 전압 강하 V_{DS} 를 측정하여 과전류 및 단락을 검출하는 방법이다. SiC MOSFET의 경우 측정된 전압강하는 도통저항 R_{DS} 와 도통전류 I_D 의 곱으로 나타낼 수 있으며, 이는 식 (1)과 같다.

$$V_{DS} = R_{DS} \times I_D \quad (1)$$

고압용 다이오드 D_{HV} 는 드레인-소스의 dv/dt 로부터 DESAT 회로를 보호하기 위해 존재하며, R 은 스위칭마다 반복되는 고압용 다이오드의 돌입전류를 줄이기 위해 필요하다. Z_{DESAT} 은 DESAT을 위한 옴셋 전압을 주고, 전력반도체의 과전류 보호 C_{BLK} 와 병렬로 연결된 다이오드 D 와 제너다이오드 Z 는 DESAT 핀을 보호하는 역할을 한다. C_{BLK} 는 DESAT 노이즈를 저감하기 위한 목적으로 존재하며 이 커패시턴스가 클 경우 DESAT 기능 동작시 초기 과도응답이 느려지는 문제가 발생한다. DESAT 전압은 게이트 드라이브 소자의 내부전류원에 의해 Z_{DESAT} 이 도통되어 발생하는 전압 V_{ZD} 과 스위치 양단전압 V_{DS} 의 합으로 식 (2)와 같이 나타난다.

$$V_{DESAT} = V_{ZD} + V_{DS} \quad (2)$$

빠른 단락 검출을 위해서는 DESAT 전압에 대한 차단회로의 빠른 응답속도가 요구된다. DESAT 전압의 과도응답속도는 게이트 드라이브 소자의 내부전류원의 응답속도와 앞서 설명한 C_{BLK} 의 커패시턴스에 의해 결정된다. 빠른 과도응답속도를 위해 MOSFET의 게이트와 DESAT핀 사이에 R_{DESAT} 을 추가하여 DESAT 핀으로 전류를 유입함으로써 초기 과도

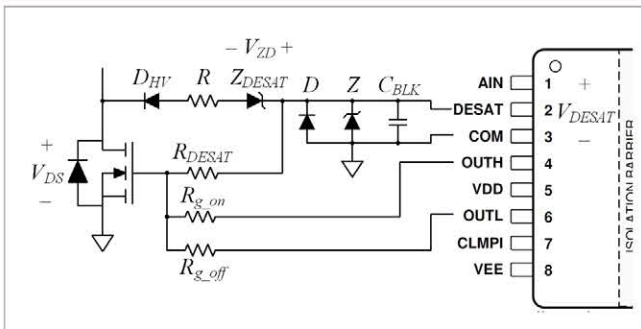


그림 1 DESAT 기능을 이용한 SiC MOSFET 단락보호회로

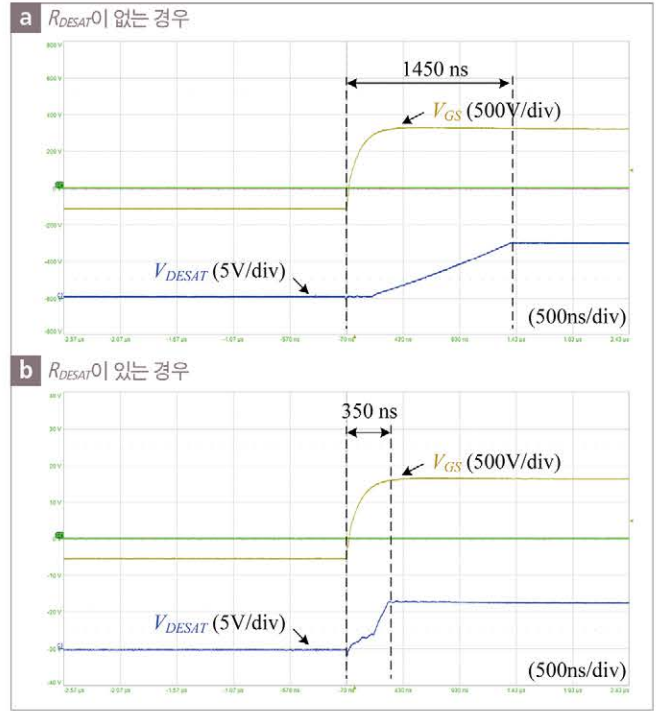


그림 2 V_{DESAT} 의 과도응답

응답속도를 높일 수 있다¹¹⁾. 그림 2는 R_{DESAT} 유무에 따른 과도응답속도 차이를 비교한 실험파형이다. 그림 2와 같이 영전류에서 스위칭을 할 경우 DESAT 내부 전류원과 R_{DESAT} 을 통해 유입되는 전류를 통해 합성되는 DESAT 전압의 과도응답속도를 확인할 수 있다. R_{DESAT} 이 존재하지 않을 경우 DESAT 전압의 응답속도는 1450ns로 매우 느리며, R_{DESAT} 이 존재할 경우 350 ns의 비교적 매우 빠른 응답속도를 갖는다.

단락 보호 실험을 위해 그림 3과 같이 시스템을 구성하였으며, 시스템 제정수는 표 1과 같이 설정하였다. SiC MOSFET은 Cree社의 C2M0045170P를 사용하였으며, 게이트 드라이버 소자는 TI社의 UCC21750을 사용하였다. 그림 4는 DESAT 기능을 이용한 단락 검출 실험 파형이다. 1250V에서 SiC MOSFET을 통해 DC링크를 단락시켰으며, DESAT 검출 이후 약 500ns 내에 전력반도체 전류가 모두 차단되는 것을 확인할 수 있다.

DESAT 기능을 이용한 SiC MOSFET의 단락 보호 기법은 상용화된 게이트 드라이브 소자를 이용한 간편한 구현과 빠른 차단이 가능하다는 장점이 있다. 하지만, SiC MOSFET의 도통전류와 온도에 따른 R_{DS} 의 비선형적인 요소는 모두 보상하기 어렵다. 따라서 DESAT 기능을 이용하여 SiC MOSFET의 단락보호 기능을 구현하는 경우 단락 및 과전류 검출을 위한 기준값의 일정한 유지가 어렵다는 단점이 있다.

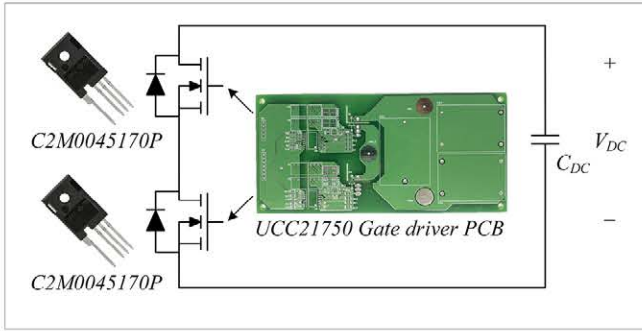


그림 3 DESAT 보호 실험을 위한 회로 구성

표 1 SiC MOSFET의 DESAT 기능 시험을 위한 제정수

제정수	값
V_{DC}	1250 [V]
C_{DC}	140 [uF]
V_{ZDESAT}	5.8 [V]
R	100 [Ω]
R_{DESAT}	2.4 [k Ω]
C_{BLK}	5 [pF]

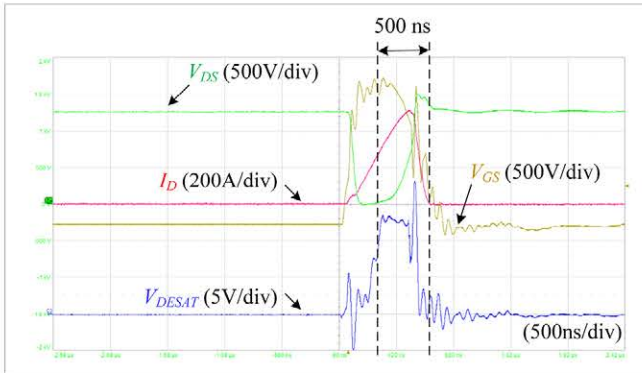


그림 4 SiC MOSFET의 DESAT 단락보호 실험 파형

3. 로고스키 코일을 이용한 단락 보호 기법

그림 5는 로고스키 코일 센서의 시스템 구성을 나타낸다. 좌측의 초록 선이 로고스키 코일이며, 우측은 연산증폭기 기반의 능동 적분회로이다. 로고스키 코일은 하나의 선으로 구성된 공심 형태의 변압기로 볼 수 있다. 암페어의 법칙과 패러데이의 법칙이 적용되어, 코일 주변에 흐르는 전류에 의해 발생한 자계로 코일 양단에 전압이 유도된다. 이 유도된 전압은 식 (3)과 같이 시간에 대한 전류의 변화량과 상호 인덕턴스 M 의 곱으로 나타나며, 유도 전압을 적분하면 식 (4)처럼

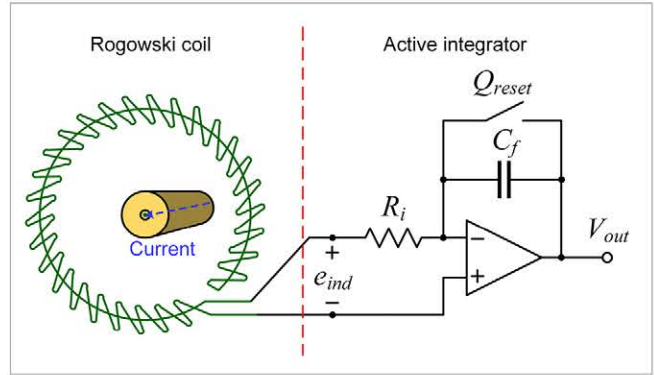


그림 5 로고스키 코일 센서의 구성

상호 인덕턴스에 비례하는 전류가 나타나므로 로고스키 코일을 통해 코일 주변에 흐르는 전류를 측정할 수 있다.

$$e_{ind} = -M \frac{di}{dt} \quad (3)$$

$$\int e_{ind} = -Mi \quad (4)$$

이 로고스키 코일을 이용한 단락 보호 기법은 스위치 전류를 로고스키 코일로 직접 측정하여 과전류를 검출함으로써 시스템을 보호한다. 스위치 전류를 직접 측정하여 과전류를 검출하기 때문에 DESAT에서 발생하는 Blanking time과 같은 시지연 요소가 없어 ns(10^{-9} s)단위의 과전류 검출 및 차단이 가능하다. 이러한 방법은 IGBT에 비해 상대적으로 매우 짧은 단락 내구성을 가진 SiC MOSFET에 적합한 단락 보호 기법으로 세계적으로도 연구가 활발히 진행되고 있다. 미국 Virginia Tech의 CPES는 PCB 패턴으로 로고스키 코일을 구현하여 게이트 드라이버와 통합, 간단하게 사용할 수 있는 SiC MOSFET용 단락 보호 기법을 연구하고 있다.

한편 로고스키 코일 전류 센서에는 적분 회로가 반드시 필요하여 회로와 구현이 복잡해지고, 적분 회로의 연산증폭기의 특성 때문에 출력 오프셋 전압도 발생한다. 이 오프셋 전압을 제거하기 위해 그림 5의 Q_{reset} 과 같이 피드백 루프에 병렬로

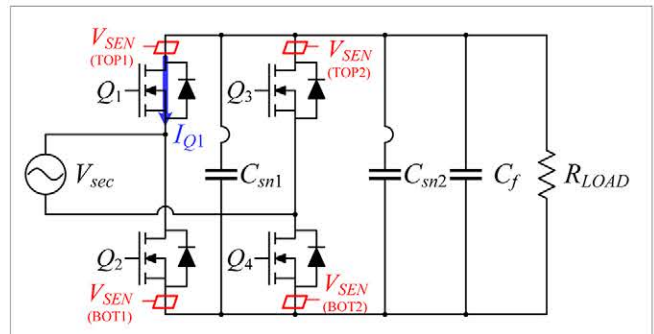


그림 6 로고스키 코일을 내장한 2차측 능동 브리지 회로

스위치를 추가하고, 적절한 신호를 인가해야 한다. 또한, 스위칭 노이즈가 로고스키 코일의 전류 측정에 영향을 주기 때문에 로고스키 코일의 차폐(shield) 작업도 필요하다.

본 연구팀은 그림 6과 같이 SiC MOSFET 모듈에 맞추어 PCB 형태로 로고스키 코일을 구현하여 게이트 드라이버와 통합된 보드를 제작하여, 로고스키 코일이 스위치 전류를 실시간으로 측정하여 설정한 레벨(=300A) 이상으로 올라가면 전체 시스템을 차단하도록 회로를 구성하였다. 그림 7은 DAB(dual-active-bridge) 컨버터에서 로고스키 코일 센서가 포함된 SiC MOSFET 기반의 2차측 액티브 브리지를 나타낸다. 이 DAB 컨버터 동작 중에 Q_1 , Q_2 스위치를 동시 턴온하여 과전류를 발생시키고 이를 검출, 차단하는 실험을 진행하였다.

그림 8은 로고스키 코일을 이용한 단락 기법 실험 파형이다. 상단, 하단 스위치의 드레인-소스 전압과 로고스키 코일 복원 전압, 상용 로고스키 코일 프로브 전류를 도시하였다. 본 실험에서는 300A에서 과전류가 검출되도록 설정하였으며, 300A에서 검출 후 약 167ns 정도의 시지연 이후 스위치 전류가 감소한다. 본 실험 결과를 통해 로고스키 코일을 이용하여 빠른 시간 내에 과전류 검출하고 시스템이 보호되는 것을 확인할 수 있다.

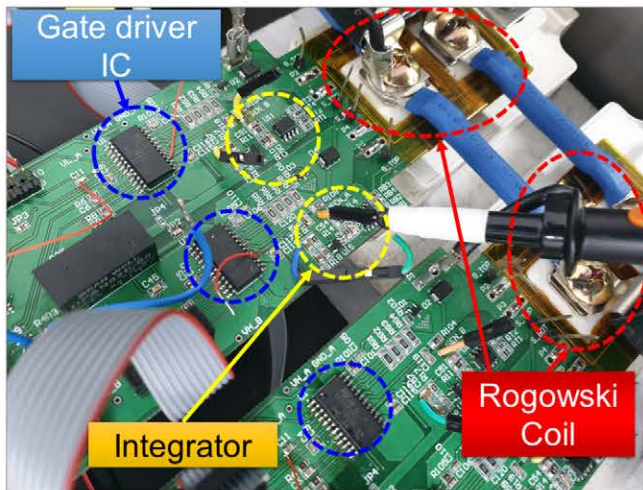


그림 7 SiC MOSFET 용 PCB 로고스키 센서

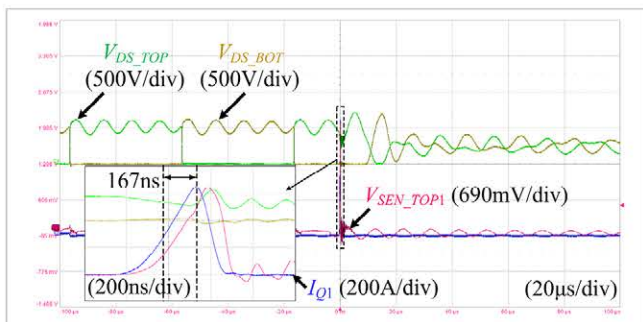


그림 8 로고스키 코일을 이용한 차단 실험 결과

4. 단락 보호를 위한 여러 가지 기법들

이 외에도 여러 가지의 SiC MOSFET의 과전류 단락 보호 기법들이 연구되었다. 참고문헌 [16]에서는 게이트 전하를 측정하여 단락 상태를 판별하고 보호하는 연구가 진행되었다. 정상적인 턴온 과도상태에서 C_{rss} (Reverse Transfer Capacitance)는 드레인 소스 전압이 감소하면 증가하지만 하드스위칭 폴트 상태에서는 드레인 소스 전압이 높게 유지되므로 거의 변하지 않는다. 즉, 게이트 전하 특성이 정상적인 턴온과 하드스위칭 폴트 상태에서 차이를 가지는 것에 착안하여 게이트 전하량으로 하드스위칭 폴트 상태를 판별하여 시스템을 보호하는 기법이다. 그림 9는 [16]에서 제안한 단락 보호 기법 구성도이다. 게이트 저항에 걸리는 전압을 차동증폭기로 측정하고, 이를 적분하여 게이트 전하량은 전압으로 복원한다. 이 게이트 전하량이 값이 Q_{ref} 보다 작아지는 것으로 폴트 상태를 감지하는 것이다.

켈빈 소스 핀을 가지는 TO 247-4핀 패키지의 SiC MOSFET을 한정으로 켈빈 소스를 활용한 단락 보호 기법 연구도 진행되었다. 이 켈빈 소스 핀은 SiC MOSFET의 신뢰성 향상을 위해 추가된 것으로 그림 10과 같이 부하 전류와 제어 신호 전류의 경로를 분리한다. 여기서 Lparastic은 소스단 본드 와이어의 공통 기생 인덕턴스로 스위칭으로 인한 과도상태의

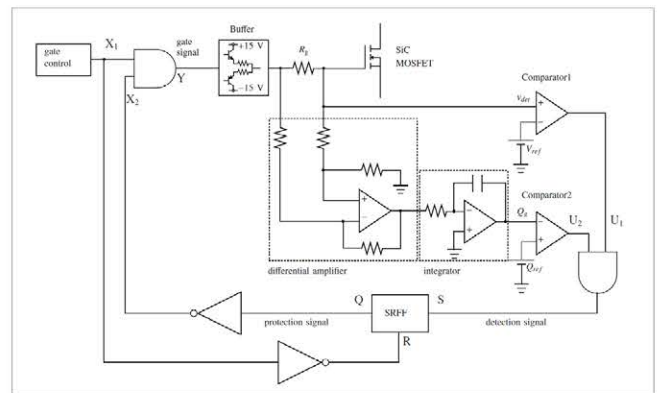


그림 9 HSF 검출 방법을 위한 회로 구성^[16]

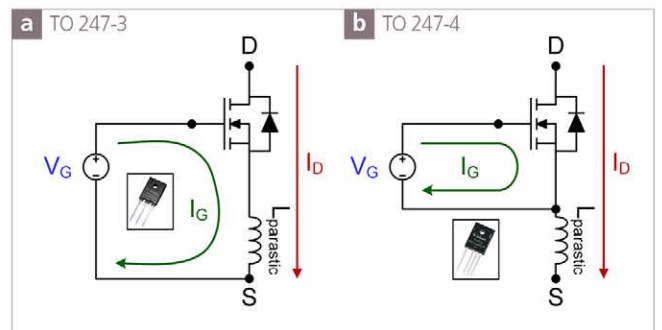


그림 10 켈빈 소스 이용 여부에 따른 전류 경로

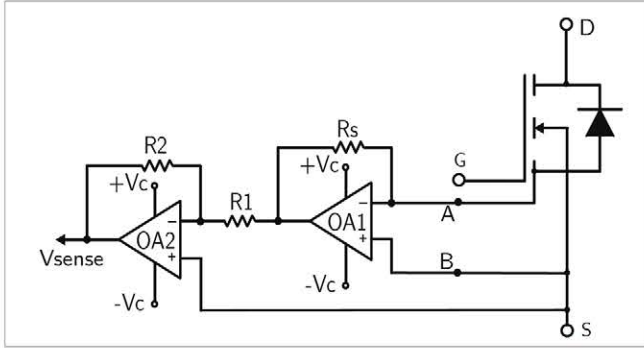


그림 11 가상 그라운드 기법을 이용한 전류 미러 방식의 전압 측정 방법^[17]

드레인 전류에 의해 전압 강하가 발생한다. 이 전압 강하는 게이트 전압에 영향을 주어 스위칭 손실을 야기하는데, 켈빈 소스를 추가하면 기생 인덕턴스에 의한 전압강하가 게이트 전압에 영향을 주지 않아서 효율이 증가한다. [17]에서는 이 켈빈 소스 핀을 활용하여 그림 11과 같이 분로 저항 없이 스위치 전류를 측정한다. 이때, 스위치 전류 I_D 는 식 (5)와 같이 계산할 수 있다.

$$I_D = V_{sense} \times k \times \frac{1}{R_s} \times \frac{R_1}{R_2} \quad (5)$$

참고문헌 [18]에서는 로고스키 코일 대신 변류기(CT)를 사용하여 스위치 전류를 직접 측정하고 과전류를 검출, 시스템을 보호하는 연구에 대해 다룬다. [17]에서 제안하는 단락 보호 시스템 구성은 그림 12와 같다. 변류기의 2차측에는 1Ω 저항 R_B 가 있으며, 이 저항에 걸리는 전압으로 과전류를 판별한다. R_B 와 병렬로 연결된 다이오드는 폴트 발생 시에 도통되고 R_B 양단 전압을 클램핑하여 비교기 입력에 과전압을 방지한다. 드레인 전류가 역으로 흐르는 상황도 대비하여 변류기의 한 단자를 $-2.5V$ 에 연결함으로써 R_B 양단 전압이 $\pm 2.5V$ 의 전압 스윙을 갖도록 구성했다. 측정된 전류값과 비교기의 임계 전압을 비교하여 과전류 상태를 판별하고, D-래치로 폴트 상태를 저장한다. 폴트 발생 신호를 게이트 드라이버 IC의 enable 핀에 피드백함으로써 시스템을 완전히 차단하는 구조이다.

5. 결론

본 기술 동향에서는 SiC 전력반도체의 과전류 단락보호를 위한 기법들을 소개하였다. 그중 게이트 드라이버에 직접 구현할 수 있는 SiC 전력반도체에 적합한 DESAT과 로고스키 코일을 이용한 단락 보호 기법에 대한 기본 원리와 실제 실험 결과를 소개하여 두 가지 방법 모두 SiC 전력반도체의 단락 보호에 적합함을 보였다. 이 두 가지 방법 외에도 소자의 기생성분을 이용한 방법, CT를 이용하는 방법들이 소개되었다. 양방향 회로에서 사용되는 SiC 전력반도체의 안전한 사용을 위해서는 단락보호에 관한 대책이 반드시 필요하며 향후 온도에 따른 오차 보상, 노이즈 마진의 확보 등 이러한 기법들의 신뢰성을 높이기 위한 노력들이 계속될 것으로 보인다. ■

- [1] Z. Wang, X. Shi, Y. Xue, L. M. Tolbert, F. Wang, and B. J. Blalock, "Design and performance evaluation of overcurrent protection schemes for Silicon Carbide (SiC) power MOSFETs," *IEEE Transactions on Industrial Electronics*, Vol. 61, No. 10, pp. 5570-5581, Oct. 2014.
- [2] P. D. Reigosa, H. Luo, F. Iannuzzo, and F. Blaabjerg, "Investigation on the short circuit safe operation area of SiC MOSFET power modules," in *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2016.
- [3] Y. Shi, R. Xie, L. Wang, Y. Shi, and H. Li, "Switching characterization and short-circuit protection of 1200 V SiC MOSFET T-type module in PV inverter application," in *IEEE Transactions on Industrial Electronics*, Vol. 64, No. 11, pp. 9135-9143, Nov. 2017.
- [4] S. Mocevic et al., "Comparison and discussion on shortcircuit protections for silicon-carbide MOSFET modules: Desaturation versus rogowski switch-current sensor," in *IEEE Transactions on Industry Applications*, Vol. 56, No. 3, pp. 2880-2893, May/June. 2020.
- [5] T. Bertelshofer, A. Maerz, and M. Bakran, "Design rules to adapt the desaturation detection for SiC MOSFET modules," *PCIM Europe 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, 2017.
- [6] S. Yin and Y. Liu, "A reliable gate driver with desaturation and over-voltage protection circuits for SiC MOSFET," *PCIM Asia 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Shanghai, China, 2018.
- [7] J. Person, M. Andresen, T. Rettmann, O. Muehlfeld, and M. Liserre, "Short circuit detection methods for silicon carbide (SiC) power semiconductors," *PCIM Europe 2019; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, 2019.
- [8] J. Wang, Z. Shen, R. Burgos, and D. Boroyevich, "Design of a high-bandwidth Rogowski current sensor for gate drive shortcircuit protection of 1.7 kV SiC MOSFET power modules," *2015 IEEE 3rd Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, 2015.
- [9] J. Wang, Z. Shen, C. DiMarino, R. Burgos, and D. Boroyevich, "Gate driver design for 1.7kV SiC MOSFET module with Rogowski current sensor for shortcircuit protection," *2016 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2016.
- [10] J. Wang, Z. Shen, R. Burgos, and D. Boroyevich, "Integrated switch current sensor for shortcircuit protection and current control of 1.7-kV SiC MOSFET modules," *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2016.
- [11] J. Wang, S. Mocevic, R. Burgos, and D. Boroyevich, "High-Scalability enhanced gate drivers for SiC MOSFET modules with transient immunity beyond 100 V/ns," in *IEEE Transactions on Power Electronics*, Vol. 56, No. 2, pp. 1258-1265, Mar. 2020.
- [12] Y. Kuwabara, K. Wada, J. M. Guichon, J. L. Schanen, and J. Roudet, "Implementation and performance of a current sensor for a laminated bus bar," in *IEEE Transactions on Industry Applications*, Vol. 54, No. 3, pp. 2579-2587, May/June, 2018.
- [13] Y. Kuwabara, K. Wada, J. Guichon, J. Schanen, and J. Roudet, "Overcurrent detection using an integrated rogowski coil for an electric vehicles inverter," *2019 IEEE 4th International Future Energy Electronics Conference (IFEEEC)*, 2019.
- [14] D. Gerber, T. Guillod, and J. Biela, "IGBT gate-drive with PCB Rogowski coil for improved short circuit detection and current turn-off capability," *2011 IEEE Pulsed Power Conference*, 2011.
- [15] D. Gerber, T. Guillod, R. Leutwyler, and J. Biela, "Gate unit with improved short-circuit detection and turn-off capability for 4.5-kV press-pack IGBTs operated at 4-kA pulse current," *IEEE Transactions on Plasma Science*, Vol. 41, No. 10, pp. 2641-2648, Oct. 2013.

- [16] T. Horiguchi, S. Kinouchi, Y. Nakayama, and H. Akagi, "A fast short-circuit protection method using gate charge characteristics of SiC MOSFETs," 2015 IEEE Energy Conversion Congress and Exposition (ECCE), Montreal, QC, pp. 4759-4764, 2015.
- [17] Y. Cui, Z. Zhang, P. Yi, and L. Wei, "Investigation of current mirror based overcurrent protection for 1200V 800A high power SiC MOSFET modules," 2019 IEEE Energy Conversion Congress and Exposition (ECCE), Baltimore, MD, USA, pp. 6161-6165, 2019.
- [18] D. Rothmund, D. Bortis, and J. W. Kolar, "Highly compact isolated gate driver with ultrafast overcurrent protection for 10 kV SiC MOSFETs," in CPSS Transactions on Power Electronics and Applications, Vol. 3, No. 4, pp. 278-291, Dec. 2018.

윤한중 건국대 전기공학과 박사후과정

1991년 2월 9일생. 2016년 건국대 전기공학과 졸업.
2020년 동 대학원 전기공학과 졸업(공학).
2020년~현재 동 대학원 전기공학과 박사후과정.



김진우 건국대 전기공학과 석·박통합과정

1991년 7월 13일생.
2017년 건국대 전기공학과 졸업.
2017년~현재 동 대학원 전기공학과 석·박통합과정.



조영훈 건국대 전기공학과 교수

1980년 2월 4일생. 2002년 건국대 전기공학과 졸업. 2004년 서울대 전기컴퓨터공학부 졸업(석사).
2012년 버지니아공대 전기컴퓨터공학부 졸업(공학). 2004년~2009년 현대모비스 기술연구소 주임연구원.
2012년~2013년 에너지트로닉스 책임연구원. 2013~현재 건국대 전기공학과 부교수. 당 학회 논문지 및 JPE 편집위원.

