

멀티모드 레이더 신호처리를 위한 저복잡도 FFT 프로세서 설계

Design of Low-complexity FFT Processor for Multi-mode Radar Signal Processing

박예림 · 정용철 · 정운호*
한국항공대학교 항공전자정보공학부

Yerim Park · Yongchul Jung · Yunho Jung*
School of Electronics and Information Engineering, Korea Aerospace University, Gyeonggi-do, 10540, Korea

[요 약]

최근 다양한 환경에서 무인기를 효율적으로 운용하기 위한 목적으로 멀티모드 레이더 시스템이 고안되었으며, 이는 PD (pulse Doppler) 방식과 FMCW (frequency modulated continuous wave) 방식을 통합하여 활용할 수 있다는 장점을 가진다. 멀티모드 레이더 시스템의 하드웨어 구조의 경우 FFT (fast Fourier transform) 프로세서와 IFFT (inverse fast Fourier transform) 프로세서가 필수적이지만, FFT 프로세서는 큰 복잡도를 갖는 구조 중 하나로 FFT 프로세서의 복잡도를 감소시키는 방향으로의 구조 설계가 필요하다. 또한, 다양한 거리 해상도를 요구하는 레이더 응용 환경을 고려했을 때, FFT 프로세서는 가변 길이의 연산을 지원할 필요가 있다. 이에 본 논문에서는 멀티모드 레이더 신호처리 프로세서 거리 추정부의 FFT 프로세서와 IFFT 프로세서를 16~1024 포인트의 가변 길이 연산을 지원하는 단일 FFT 프로세서의 하드웨어로 설계하여 제안한다. 제안된 FFT 프로세서는 MATLAB 기반 알고리즘 설계를 수행한 뒤, 그 결과를 토대로 Verilog-HDL (hardware description language)을 활용하여 RTL (register transfer level) 설계가 수행되었으며, 논리 합성 결과 총 총 7,452개의 logic elements, 5,116개의 registers로 구현 가능함을 확인하였다.

[Abstract]

Recently, a multi-mode radar system was designed for efficient operation of unmanned aerial vehicles (UAVs) in various environments, which has the advantage of being able to integrate and utilize methods of the pulse Doppler (PD) radar and the frequency modulated continuous wave (FMCW) radar. For the range detection part of the multi-mode radar signal processor (RSP), the hardware structure using the FFT processor and the IFFT processor is required to be designed in a way that improves efficiency on the area side. In addition, given the radar application environment that requires a variety of distance resolutions, FFT processors need to support variable-length operations. In this paper, the FFT processor and IFFT processor in multi-mode RSP range estimation are designed and proposed as hardware for a single FFT processor that supports variable length operation of 16-1024 points. The proposed FFT processor designed in hardware description language (HDL) and can be implemented with 7,452 logic elements and 5,116 registers.

Key word : FFT processor, Frequency modulated continuous wave radar, Pulse Doppler radar, Radar signal processor.

<https://doi.org/10.12673/jant.2020.24.2.85>



This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Received 27 March 2020; Revised 28 March 2020

Accepted (Publication) 20 April 2020 (30 April 2020)

*Corresponding Author; Yunho Jung

Tel: +82-2-300-0133

E-mail: yjung@kau.ac.kr

I. 서론

최근 무인기를 이용한 응용 산업 분야가 발전함에 따라, 다양한 환경에서 안전한 운용을 위해 무인기를 탐지하여 무인기에 대한 정보를 제공할 필요성이 증가하는 추세이다 [1]. 일반적으로, 무인기의 정보를 제공하기 위해서 여러 가지 센서가 사용되고 있으며 특히, 레이더 (radar)는 다른 센서와 비교하여 주변 환경에 영향을 거의 받지 않기 때문에 다양한 환경에서 민감하게 운용되어야 하는 무인기, 차량 등의 산업 분야에서 각광받고 있다 [2].

레이더 시스템은 크게 PD (pulse Doppler) 방식과 FMCW (frequency modulated continuous wave) 방식으로 구분된다. 펄스파를 이용하는 PD 레이더 방식의 경우 첨두 (peak) 송신 전력이 높아 장거리 표적 검출에 유리하지만 펄스를 송신하는 동안 수신에 불가하여 중, 단거리의 표적 검출은 어렵다는 한계를 가지며, 지속파를 이용하는 FMCW 레이더 방식의 경우 해상도가 높아 단거리 표적검출에 유리하나, 송신 전력이 제한되어 장거리 존재하는 표적을 검출하기에는 한계를 가진다는 특징이 있다 [3]. 따라서, 효율적인 표적 탐지를 위해 PD 레이더 방식과 FMCW 레이더를 함께 활용하며 다양한 거리에 있는 표적을 탐지할 수 있는 멀티모드 레이더가 개발되었다 [4].

기존에 제안된 멀티모드 레이더 신호처리 프로세서 (RSP : radar signal processor)는 PD 레이더의 신호처리와 FMCW 레이더 신호처리를 단일 하드웨어로 모두 지원해, PD 레이더와 FMCW 레이더를 각각 구현하는 것에 비해 면적 측면에서 복잡도를 크게 줄였다. 특히, PD 레이더의 펄스 압축 기법을 위한 FFT (fast Fourier transform) 프로세서와 FMCW 레이더의 거리 측정을 위한 FFT 프로세서를 공유해서 사용했기 때문에, 제안된 RSP에서 표적의 거리 탐지를 위해서 FFT 프로세서와 IFFT (inverse fast Fourier transform) 프로세서가 한 개씩 사용되었다. 그러나, 제안된 하드웨어 구조에서 FFT 프로세서와 IFFT 프로세서가 차지하는 면적이 다른 구조에 비해 가장 크기 때문에, FFT 프로세서와 IFFT 프로세서의 복잡도를 감소시키는 것은 RSP의 하드웨어 복잡도를 감소시키는데 큰 기여를 할 수 있다.

IFFT 프로세서는 FFT 프로세서로 구현이 가능하기 때문에, 표적의 거리 탐지를 위한 FFT 프로세서와 IFFT 프로세서는 하나의 다채널 FFT 프로세서로 처리 가능하다. 특히, Sansaloni에 따르면, 다채널 FFT 프로세서의 경우 MDC (multi-path dealy commutator) 구조의 FFT 프로세서가 가장 면적 효율적인 것으로 밝혀졌다 [5]. 또한, 다양한 거리 해상도를 요구하는 레이더 응용 (application)을 고려했을 때, 멀티모드 레이더 신호처리 프로세서는 가변 길이를 지원하는 FFT 프로세서가 필요하다. 따라서, 본 연구에서는 16~1024 포인트의 가변 길이에 대한 연산을 지원하는 멀티모드 레이더 신호처리를 위한 Radix-2² MDC 구조의 FFT 프로세서의 개선된 하드웨어 구조를 제안하고 설계 및 검증 결과를 제시한다 [6]-[10].

본 논문의 구성은 다음과 같다. II장에서 제안된 FFT 프로세

서에 사용된 알고리즘과 하드웨어 구조의 특징에 대해 설명하고, III장에서는 제안된 FFT 프로세서 하드웨어 구조와 이를 설계한 결과를 보인다. IV장에서는 제안된 하드웨어 구조에 대한 구현 및 FPGA 디바이스를 활용한 검증 결과를 제시하며, V장에서는 결론을 맺는다.

II. 제안하는 FFT 프로세서의 특징

2-1 멀티모드 레이더 신호처리 프로세서의 하드웨어 구조

레이더 시스템은 크게 장거리 표적 식별 목적의 PD 레이더와 중, 단거리의 표적 식별을 위한 FMCW 레이더로 구분된다. PD 레이더의 신호처리 프로세서의 하드웨어 구조는 전처리 프로세서 (pre-processor), 거리 해상도를 향상시키기 위한 펄스 압축 (pulse compression)과 후처리 프로세서 (post-processor)로 구성된다. 비슷하게, FMCW 레이더의 신호처리 프로세서의 하드웨어 구조는 전처리 프로세서, FFT 프로세서, 그리고 후처리 프로세서로 구성된다. 즉, PD 레이더와 FMCW 레이더의 신호처리 프로세서는 거리 추정부에서 차이를 가진다. PD 레이더의 펄스 압축 연산은 정합 필터 (matched filter)로 구현할 수 있으며, 정합 필터 연산은 송신 신호와 수신 신호의 사이의 상관 연산 (correlation)과 같다. 이때, 상관연산은 시간 영역에서 컨벌루션 (convolution) 기반의 연산으로 수행되며, 컨벌루션 연산의 복잡도를 감소시키기 위해 주파수 영역으로 변환한다. 컨벌루션 연산은 곱셈 연산으로 대체될 수 있다. 즉, FFT 프로세서를 활용해 주파수 영역에서 곱셈 연산을 수행하고, 다시 IFFT 프로세서를 활용해 시간 영역으로 변환하여 신호를 사용하는 방식을 채택함으로써 정합필터를 구현할 수 있다.

따라서, [4]의 논문에서 PD 레이더의 정합 필터 연산을 위한 FFT 프로세서와 FMCW 레이더의 거리 추정을 위한 FFT를 그림 1과 같이 공유했다. 즉, 제안된 거리 추정부의 하드웨어 구조는 FFT 프로세서와 IFFT 프로세서를 하나씩 사용해 PD 레이더와 FMCW 레이더의 신호처리 방식을 모두 지원 가능하며, 공통으로 요구되는 FFT 프로세서와 메모리를 공유해 저복잡도로 설계하였다. 그러나, FFT 프로세서가 차지하는 하드웨어 면적이 다른 구조에 비해 가장 크기 때문에 FFT 프로세서를 최적화할 필요가 있다. 특히, 멀티모드 레이더 신호처리에 사용되는 IFFT 프로세서와 FFT 프로세서는 IFFT 프로세서를 FFT 프로세서로 구현함으로써 단일 다채널 FFT 프로세서로 구현할 수 있다. 다채널 FFT 프로세서의 구조는 MDC 구조를 사용하는 것이 가장 효율적인 것으로 널리 알려져 있으므로 본 논문에서는 FFT 프로세서와 IFFT 프로세서를 MDC 구조의 단일 FFT 프로세서로 구현해 기존의 멀티모드 레이더 신호처리 시스템의 거리 추정부에서의 FFT 프로세서를 최적화했다.

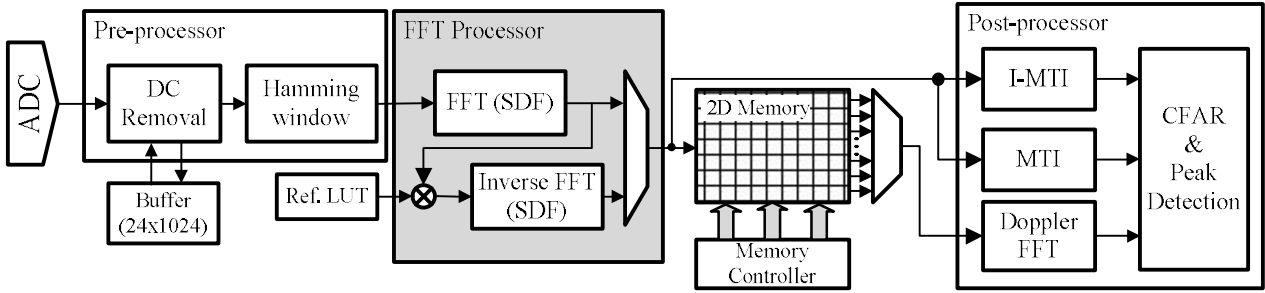


그림 1. 기존의 멀티모드 레이더 신호처리 프로세서의 구조도
 Fig. 1. Block diagram of the conventional multi-mode radar signal processor.

2-2 제안하는 FFT 프로세서의 알고리즘

FFT 프로세서의 알고리즘으로는 radix-2와 radix-4 방식의 알고리즘이 주로 사용된다. 이러한 radix-R 방식을 활용한 N-point FFT 알고리즘의 경우 R이 증가할수록 연산량이 $\log_2 N$ 으로 감소하므로 연산 효율이 증가하지만 상대적으로 하드웨어 구조의 복잡도가 커지는 문제를 가진다 [11], [12]. 이를 보완하기 위한 목적으로 radix-R' 방식을 활용하는 알고리즘이 개발되었으며, 이는 인덱스 분해법 (index decomposition)을 이용하여 FFT 프로세서에서 복잡도가 가장 큰 비단순 승산 (non-trivial multiplication)을 단순 승산 (trivial multiplication)으로 변환하는 방식으로 유도할 수 있다. 즉, radix-R' 방식을 활용하면 FFT 프로세서의 하드웨어 면적을 크게 줄일 수 있다. 그림 2는 radix-2² 알고리즘에 대한 버터플라이 구조도를 나타낸다. 이 알고리즘은 radix-2 방식과 같은 단순한 butterfly 구조를 가지면서도, radix-4와 같은 단순 승산 (trivial multiplication) 수를 가지기 때문에 동일한 포인트에 대해 FFT 연산을 수행하는 과정에서 상대적으로 단순한 연산이 가능하게 되며 이에 따라, 하드웨어의 면적과 구조상의 복잡도 또한 감소하는 효과를 가진다. 따라서, 본 논문에서 제안된 FFT 프로세서는 radix-2² 알고리즘을 기반을 적용했다.

2-3 MDC(Multi-path Delay Commutator) 구조

FFT 프로세서의 구조는 크게 단일 버터플라이 (single butterfly) 구조, 병렬 (parallel) 구조와 파이프라인 (pipeline) 구

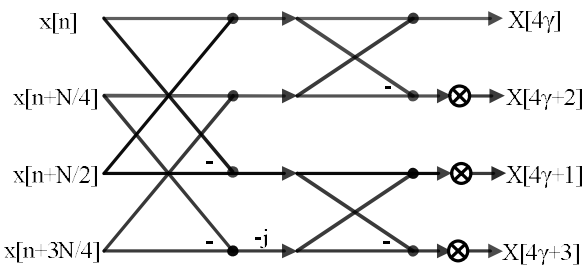


그림 2. Radix-2² 버터플라이 구조
 Fig. 2. Structure of Radix-2² Butterfly.

조로 구분된다. 단일 버터플라이 구조의 경우, 복잡도가 낮은 이점을 갖지만 수율 (throughput)이 낮은 단점이 있으며, 이와 반대로 병렬 구조는 세 가지 구조 중 수율이 가장 큰 이점이 있지만 복잡도가 높은 단점을 가진다. 따라서, 멀티모드 레이더 신호처리를 위한 FFT 프로세서의 하드웨어 구조로는 복잡도와 수율의 교환 관계 (trade-off)를 적절히 만족시키는 파이프라인 방식을 사용하였다.

파이프라인 구조는 데이터 교환 방식에 따라 크게 SDF (single-path delay feedback)와 MDC (multi-path delay commutator) 구조로 분류한다. SDF 방식의 FFT 프로세서는 단일 경로를 통해 데이터를 전달하며, 경로당 하나의 복소 승산기를 요구하므로, 복잡도는 작아지나 단일 경로라는 특징으로 인해 수율이 낮은 단점이 있다. MDC 방식의 FFT 프로세서는 다중 경로를 통해 데이터가 전달되며 지연 교환기를 통해 다음 연산에 맞게 데이터를 정렬한다. 경로 당 하나의 복소 승산기가 사용되므로, 하드웨어 복잡도가 증가하는 단점이 있지만, 상대적으로 다른 구조에 비해 수율이 큰 장점을 가진다. 제안하는 FFT 프로세서는 FFT와 IFFT 연산을 단일 프로세서로 구현하기 위해 2개의 채널을 활용하여 FFT와 IFFT 프로세서의 입력 신호를 동시에 처리해야 하는데, 다채널의 경우에 면적측면에서 가장 효율적인 것으로 알려져 있는 MDC 방식의 파이프라인 구조를 채택하여 높은 데이터 처리율로 FFT와 IFFT 연산을 단일 프로세서로 지원한다.

2-4 가변 포인트 길이 FFT 연산 지원

본 논문에서는 다양한 거리 해상도를 지원하기 위해 가변 포인트 길이를 지원할 수 있는 FFT 프로세서를 제안하였다. 입력 신호 길이에 따라 멀티플렉서 (multiplexer)를 이용해 입력 신호의 길이에 따라 수행되어야 하는 스테이지가 다를 수 있도록 하였다. 또한, 최대 1024-포인트의 FFT 연산을 지원하기 위해 스테이지 블록을 10개 스테이지로 나누었으며, 포인트 길이에 따라 선택적으로 스테이지를 사용하도록 구현하여 16, 64, 256과 1024-포인트의 FFT 연산을 지원할 수 있다. 지원 가능한 모든 포인트에 대하여 스테이지 1, 2, 3은 공통적으로 사용되며, 스테이지 3 수행 후 16-포인트 FFT 연산에 대해서는 스테이지 10

이 수행되며, 64-포인트 FFT 연산에 대해서는 스테이지 4와 5가 수행된 후 스테이지 10이 수행된다. 256-포인트 FFT 연산을 위해서는 스테이지 1부터 7까지 수행된 후 스테이지 10이 수행되며, 1024-포인트 연산을 위해서는 스테이지 1부터 10까지 모든 스테이지가 사용된다. 따라서, 제안된 FFT 프로세서는 이와 같은 방식을 통해 단일 프로세서로 16, 64, 256과 1024-포인트의 가변 길이를 모두 지원할 수 있다.

III. 제안하는 FFT 프로세서의 구조

본 장에서는 멀티모드 레이더 신호처리를 위한 FFT 프로세서의 하드웨어 구조를 설명한다. 그림 3은 제안하는 FFT 프로세서의 구조를 도시한다. 제안하는 FFT 프로세서는 연산을 수행하는 10개의 스테이지 블록과 최종 출력 데이터로의 정렬을 위한 DRM (data reordering module) 블록으로 구성된다. 각 스테이지 블록은 버터플라이 연산 수행 이전 데이터 정렬을 위한 DMM (data mapping module)과 버터플라이 연산을 수행하는 R2BM (radix-2 butterfly module)로 이루어진다.

3-1 제안하는 FFT 프로세서의 구조

제안하는 FFT 프로세서의 하드웨어 구조는 MDC 파이프라인 구조를 통해 2개 채널을 활용하여 병렬로 데이터를 처리하며 FFT 연산을 수행한다. 제안하는 FFT 프로세서의 구조는 다양한 포인트 길이의 FFT 연산을 지원하기 위해 세부 스테이지 블록을 10개 스테이지로 나누어 포인트 길이에 따라 선택적으로 스테이지를 사용하도록 구현하여 16, 64, 256과 1024-포인트

의 FFT 연산을 수행할 수 있다. 연산 수행 이후 레이더의 동작 모드에 따라 해당 결과를 출력으로 내보내거나 혹은 IFFT 연산을 수행하기 위해 실수부와 허수부를 바꾼 뒤 다시 FFT 블록의 입력으로 들어갈 지 결정된다.

그림 4는 제안하는 FFT 프로세서의 타이밍도를 보인다. 그림 4에서 Input 1, Output 1은 FFT 연산의 입, 출력을 나타내며, Input 2, Output 2는 IFFT 연산의 입, 출력을 의미한다. 처음 FFT 프로세서로 입력 데이터가 입력되면, 스테이지 1부터 스테이지 10까지 순차적으로 데이터가 각 스테이지에서의 입출력을 반복하며 FFT 연산을 수행한다. 이후 DRM에서 FFT 연산의 결과를 정렬하면 FFT 연산의 최종 출력 값이 나오게 된다. 제안하는 FFT 프로세서가 지원하는 최대 길이인 1024-포인트 데이터의 경우 처음 데이터가 입력된 후 1277 cycle 후에 출력 값이 나오게 된다. FFT 연산의 출력은 FFT 결과 값이 출력된 후에, IFFT 연산의 입력으로 들어가며, FFT 연산과 동일한 방식으로 스테이지 1부터 순차적으로 입출력을 반복하여 스테이지 10까지 수행하게 된다. 이후 마찬가지로 DRM을 거쳐 데이터 입력으로부터 1277 cycle 후에 IFFT 연산의 결과가 출력된다.

3-2 DMM(data mapping module)

그림 5는 제안하는 FFT 프로세서의 스테이지 1과 2의 세부 블록의 구조를 도시한다. 이와 같이 각 스테이지 블록은 FFT 연산에 맞게 데이터를 정렬하기 위한 DMM 블록과 radix-2 버터플라이 연산을 위한 R2BM 블록으로 구성된다. 그림 6은 1024-포인트에 대해 스테이지 1의 DMM 블록에서의 데이터 정렬 패턴을 나타낸다. 그림 6의 (a)와 같이 병렬의 경로를 통해 각각 A0~A1023, B0~B1023의 순서로 데이터가 입력되면 (b)와 같은

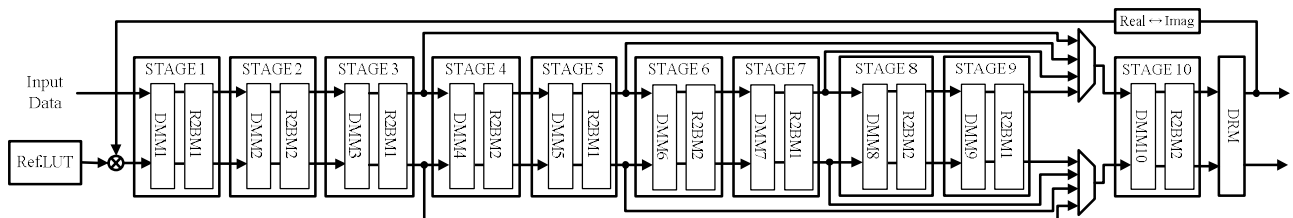


그림 3. 제안된 FFT 프로세서의 구조도
 Fig. 3. Block diagram of the proposed FFT processor.

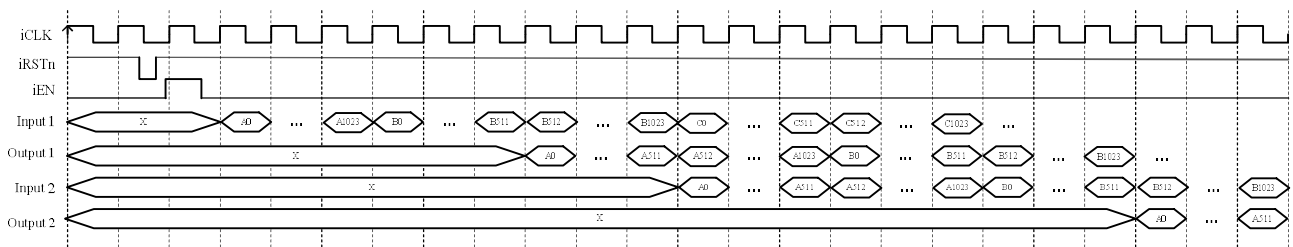


그림 4. 제안된 FFT 프로세서의 타이밍도
 Fig. 4. Timing diagram of the proposed FFT processor.

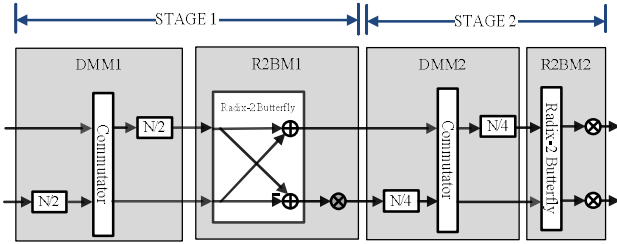


그림 5. 제안된 FFT 프로세서의 스테이지 1과 2 구조도
 Fig. 5. Block diagram of the stage 1 and 2 of the proposed FFT processor.

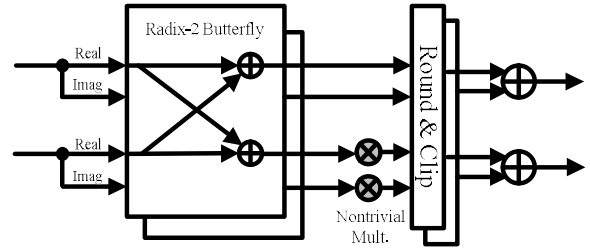


그림 7. R2BM1 블록의 구조도
 Fig. 7. Block diagram of R2BM1.

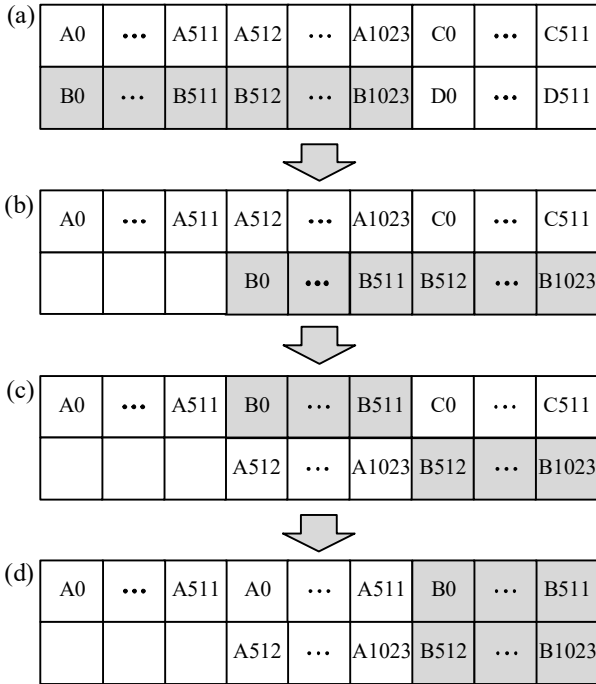


그림 6. 스테이지 1의 DMM에서의 데이터 정렬 패턴
 Fig. 6. Data organizing pattern of DMM in stage 1.

방식으로 쉬프트 레지스터를 이용해 두 번째 경로로 들어간 데이터를 $N/2$ 에 해당하는 512만큼 지연시키는 역할을 수행하며, N 은 포인트 수를 의미한다. 그림 (c)는 데이터 교환기(commutator)에서 데이터를 정렬하는 방식을 나타낸 것이며, 교환기를 거친 데이터 스트림은 다시 (d)와 같이 지연소자를 활용해 첫번째 경로의 데이터를 $N/2$ 만큼 지연시킴으로써 데이터를 재구성한다. 이 결과는 DMM 블록의 출력이며, 이후 R2BM 블록의 입력으로 들어간다.

3-3 R2BM(radix-2 butterfly module)

제안하는 FFT 프로세서는 radix-2² 알고리즘을 기반으로 FFT 연산을 수행하며, 그림 7은 스테이지 1, 3, 5, 7 그리고 9의 R2BM1을 나타내며, 그림 8은 스테이지 2, 4, 6, 8, 그리고 10의 R2BM2 블록의 내부 구조를 도시한다. R2BM1 블록의 경우,

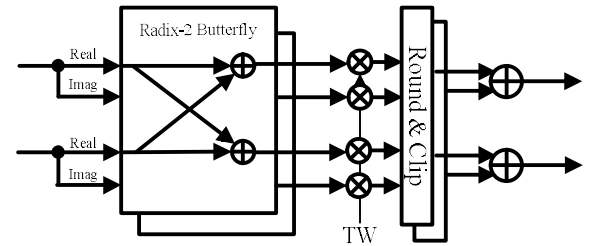


그림 8. R2BM2 블록의 구조도
 Fig. 8. Block diagram of R2BM2.

radix-2 버터플라이 모듈, 비단순 승산기와 Round & Clip 모듈로 구성된다. R2BM2 블록은 radix-2 버터플라이 모듈, 단순 승산기와 Round & Clip 그리고 Normalizaion 모듈로 구성된다. DMM 블록의 출력으로 나온 데이터가 R2BM으로 입력되면 먼저 실수부와 허수부로 나뉘어 버터플라이 모듈의 입력으로 들어가게 되며, 버터플라이 연산을 수행 한다. 이후 R2BM1 블록에서는 비단순 승산을, R2BM2 블록에서는 단순 승산의 연산을 수행한다. 버터플라이 연산과 승산 연산을 수행하는 동안 데이터의 비트 수가 증가하게 되므로, 하드웨어의 복잡도가 증가하는 문제가 발생해 전체 비트 수를 제한해야 할 필요가 있다. 따라서, 최종적으로 단순 및 비단순 승산의 결과가 Round & Clip 모듈을 거치면서 비트 수를 제한하며, R2BM의 출력은 다음 스테이지로 입력된다.

IV. 제안된 FFT 프로세서 설계 및 구현

본 장에서는 멀티모드 레이더 신호처리를 위한 FFT 프로세서의 하드웨어 구조를 설계한 뒤 구현한 결과에 대해 설명한다. 제안된 하드웨어 구조를 가지는 FFT 프로세서는 MATLAB을 기반으로 알고리즘을 검증하였고, 고정 소수점 분석을 통해 최적의 데이터 비트 수를 결정하였다. 표 1은 worst case인 1024-포인트에 대하여 SQNR (signal to quantization noise ratio) 분석 결과를 제시한다. 해당 분석 결과를 토대로 SQNR을 최소 37dB 이상으로 유지하기 위한 최적의 데이터 비트 수를 12bit로 결정하였다. 또한, 제안된 하드웨어는 MATLAB 기반의 알고리즘 검증 결과를 바탕으로 Verilog-HDL을 이용하여 RTL 설계 후, Altera Cyclone-V FPGA device에서 검증되었다. 제안된 FFT

프로세서를 논리 합성한 결과 총 7,452개의 logic elements, 5,116개의 registers로 구현 가능함을 확인하였다.

표 1. 제안된 구조의 SQNR 분석 결과

Table 1. SQNR analysis result of the proposed architecture.

Point \ Bits	11	12	13
16	41.35	43.41	44.12
64	40.89	42.92	43.85
256	38.43	39.55	41.09
1024	36.21	38.87	40.02

표 2. 제안된 FFT 프로세서와 기존 FFT 프로세서와의 논리 합성 결과

Table 2. The logic synthesis results of the proposed FFT processor and conventional FFT processor.

	Logic elements	Register
FFT processor of Multi-mode RSP [4]	9,894	5,236
Proposed FFT Processor	7,452	5,116
Reduction (%)	24.68	2.29

V. 결론

본 논문에서는 멀티모드 레이더 신호처리 프로세서 거리 추정부의 FFT 프로세서와 IFFT 프로세서를 단일 FFT 프로세서의 하드웨어로 제안 및 설계한 결과를 제시한다. 제안된 FFT 프로세서의 처리 과정에는 저복잡도 연산 수행을 위해 radix-2² 알고리즘을 적용하였으며, 다채널인 경우 면적 측면에서의 가장 효율적인 MDC 구조를 채택하였다. 또한, 레이더 시스템에서 다양한 거리 해상도를 지원하기 위해 가변 길이를 지원하도록 설계되었다. 또한, 제안된 FFT 프로세서는 기존에 제안된 멀티모드 레이더의 FFT 프로세서에 비해 logic element는 24.68%가 감소하였고, register는 2.29% 감소된 하드웨어 면적으로 구현이 가능함을 확인할 수 있었다. 이로 인해 보다 작은 면적상에서 레이더 신호의 고속 연산을 수행할 수 있으며, 다양한 거리 해상도를 요구하는 레이더 응용에 적합할 것으로 기대된다.

Acknowledgments

본 연구는 산업통상자원부 및 방위사업청 민군기술협력사업 (16-CM-RB-12)의 일환으로 수행되었으며, CAD tool은 IDEC에 의해 지원되었음.

References

[1] Y. Fan, K. Xiang, J. An, and X. Bu, "A new method of

multi-target detection for FMCW automotive radar," in *Institution of Engineering and Technology International Radar Conference 2013*, Xi'an: China, pp. 1-4, Apr. 2013.

[2] E. Hyun, Y.S. Jin, B. S. Kim, and J. H. Lee, "Development of human detection algorithm for automotive radar," *Transactions of the Korean Society of Automotive Engineers*, Vol. 25, No. 1, pp. 92-102, Jan. 2017.

[3] D. K. A. Pulutan, and J. S. Marciano, "Design trade-offs in a combined FMCW and pulse Doppler radar front-end," in *IEEE 2013 Technical Conference*, Sydney: Australia, pp.567-571, Apr. 2013.

[4] S. H. Lee, Y. C. Jung, Y. H. Jung, "Design of multi-mode radar signal processor for UAV detection," *Journal of Advanced Navigation Technology* Vol. 23, pp.134-141, Apr. 2019.

[5] T. Sansaloni, A. Pe' rez-Pascual, V. Torres and J. Valls, "Efficient pipeline FFT processors for WLAN MIMO-OFDM systems," *Electronics Letter*, Vol. 41, No. 19, Sep. 2005.

[6] S. He and M. Torkelson, "Design and implementation of a 1024-point pipeline FFT processor," in *IEEE Transaction on Custom Integrated Circuits Conference, Proceedings of the IEEE 1998*, Santa Clara: CA, pp. 131-134, May. 1998.

[7] K. Yang, S. Tsai and G.C. Chuang, "MDC FFT/IFFT processor with variable length for MIMO-OFDM systems," *IEEE Transaction on Very Large Scale Integration System*, Vol. 21, No. 4, pp. 720-731, Apr. 2013.

[8] T. Y. Lee, C. H. Huang, W. C. Chen, and M. J. Liu, "A low-area dynamic reconfigurable MDC FFT processor design," *Microprocessors and Microsystems*, Vol. 42, pp. 227-234, May 2016.

[9] C. Wang, Y. Yan, X. Fu, "A high-throughput low-complexity radix-2⁴-2²-2³ FFT/IFFT processor with parallel and normal input/output order for IEEE 802.11ad systems," *IEEE Transaction on Very Large Scale Integration System*, Vol. 23, No. 11, pp. 2728-2732, Nov. 2015.

[10] J. Lee and H. Lee, "A high-speed two-parallel radix-2⁴ FFT/IFFT processor for MB-OFDM UWB systems," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, Vol. E91-A, No. 4, pp. 1206-1211, Apr. 2008.

[11] S. He and M. Torkelson, "A new approach to pipeline FFT processor," in *Proceedings of IEEE Parallel Processing Symposium*, Honolulu: HI, pp. 766-770, Apr. 1996.

[12] M. Garrido, J. Grajal, M. S'anchez, and O. Gustafsson, "Pipelined radix-2^k feedforward FFT architectures," *IEEE Transaction on Very Large Scale Integration System*, Vol. 21, No. 1, pp.23-32, Jan. 2013.



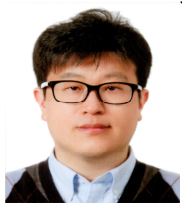
박 예 립 (Yerim Park)

2016년 3월 ~ 2020년 2월 : 한국항공대학교 항공전자정보공학부
 ※관심분야 : 레이더 신호처리 시스템, 레이더 SoC



정 용 철 (Yongchul Jung)

2015년 8월 : 한국항공대학교 전자 및 항공전자공학과 (공학사)
 2017년 2월 : 한국항공대학교 항공전자정보공학부 (공학석사)
 2017년 3월 ~ 현재 : 한국항공대학교 항공전자정보공학부 박사과정
 ※관심분야 : 레이더 신호처리 시스템, 레이더 SoC



정 윤 호 (Yunho Jung)

1998년 2월 : 연세대학교 전자공학과 (공학사),
 2005년 2월 : 연세대학교 전기전자공학과 (공학박사),
 2007년 ~ 2008년 : 연세대학교 연구교수
 2008년 ~ 현재 : 한국항공대학교 교수
 ※관심분야 : 무선 통신 시스템, 항공통신 시스템, 레이더 신호처리 시스템, 모뎀 SoC, 레이더 SoC