

SET에 의한 folded cascode comparator 분석

장재석*, 정재필**, 박정철***

An Analysis of folded cascode comarator by Single Event Transient(SET)

Jae-Seok Jang*, Jae-Pil Chung**,Jung-Cheul Park***

요약 본 논문은 SET에 노출된 전자기기는 불규칙한 작동 및 출력 오류를 나타낼 수 있으므로 집적회로에서 SET 상황에 대해서 연구하였다. 폴디드 캐스코드 비교기에서 지수정류파(iexp)을 이용하여 SET 환경을 설정하였다. 비교기가 SET에 의해 어떤 영향이 있는지에 대해 실험하였다. SET현상을 발생시키지 않은 폴디드 비교기에서는 전파 지연은 0.26 μ s, 이득은 0.649으로 측정되었다. SET현상을 발생시킨 폴디드 비교기에서 출력단과 가까운 MOSFET는 민감하게 측정되었으며 전파 지연은 0.36~0.37 μ s,이득은 0.649로 계산되었다. 중간에 위치한 MOSFET는 0.28~0.30 μ s, 이득은 0.649로 계산되었다. 폴디드 비교기에서 출력단과 가장 멀리 떨어져 있는 MOSFET는 전파지연이 0.25~0.26 μ s, 이득은 0.649로 계산되었다. SET 환경에서, 폴디드 비교기에서 출력부분에 가까이 있는 MOSFET는 민감하였다. 그리고 출력부분과 멀리 떨어져 있는 MOSFET에서는 SET를 입력하지 않은 정상적인 폴디드 비교기와 같은 결과를 얻었다.

Abstract This paper studied the SET situation in VLSI because the electronic devices exposed to SET can indicate irregular operation and output errors. The SET environment was established using the exponential static wave (iexp) in the fold-cascode comparator. The comparator was experimented with how it affected it by the SET. In a folded comparator that did not enter the SET situation, the propagation delay was measured at 0.26 μ s and the gain was 0.649. The MOSFET close to the output stage was measured sensitively in the folded comparator that entered the SET situation. And propagation delay was calculated from 0.36 to 0.37 μ s and the gain was 0.649. The mid-position MOSFET was calculated from 0.28 to 0.30 μ s and the gain was 0.649. The MOSFET, which is farthest from the output stage from the folded comparator, was calculated with the propagation delay between 0.25 and 0.26 μ s and the gain of 0.649. In SET situations, the MOSFET close to the output portion of the folded comparator was sensitive. And at the MOSFET far from the output, the same results were obtained as a normal folded comparator without the SET input.

Key Words : folded cascade comparator, gain, iexp, MOSFET, propagation delay, SET, SEE

1. 서론

CMOS 트랜지스터는 아날로그 회로에서 중요한 역할을 하며 마이크로 전자 장치에 광범위하게 사용된다. 최근에 진화하는 기술은 더 작은 크기, 더 짧은 주기, 더 낮은 작동 전압, 더 낮은 게이트 캐패시턴스를 만들

어 냈지만, 장치에 대한 SET의 영향에 의한 집적 회로의 동작이 오동작 할 수 있는 경향이 있다[1,2,3]. 따라서 SET에 노출된 전자기기는 불규칙한 작동 및 출력 오류를 나타낼 수 있으므로 집적회로에서 SET 상황에서 어떤 영향을 미치는지 검토되어야 한다. 따라서 본

*Defense Agency for Technology and Quality

**Department of Electronic Engineering, Gachon University

***Corresponding Author : Department of Electronic Engineering, Gachon University (jcpark@gachon.ac.kr)

Received April 10, 2020

Revised April 28, 2020

Accepted April 29, 2020

논문에서는 CMOS 비교기가 SET에 대해 민감할 것으로 예상되어 CMOS 비교기를 선택하여 실험을 진행하였다. 본 실험은 비교기에서 각각의 MOSFET에 SET를 설정하기 위해 순간 전류를 주입하였고 비교기의 어떤 부분이 SET에 더 민감한지를 관찰하였다. Single Event Transient(SET)는 이온 유도 전자-정공쌍에 의해 발생하는 상호 작용을 말한다. 전자-정공쌍은 무거운 이온이나 양성자와 마이크로 전자 장치에 의해 생성된다. 전자 장치에서는 이러한 전자-정공쌍이 SET에 민감한 부분에 전류 스파이크 발생을 유도한다[4]. 마이크로 전자 장치의 간섭은 시스템 고장을 유발하여 아날로그 회로의 출력 값에서 인지할 수 있는 과도 오류를 유도할 수 있다[5,6].

본 실험에 사용되는 것은 출력 임피던스가 단일 MOSFET 앰프 이상으로 증가할 때 캐스코드 앰프의 이득이 증가하기 때문에 CMOS 캐스코드 비교기로서의 장치가 적절하다고 판단되어 사용하였다. 또한 캐스코드 MOSFET는 출력 시 전압 변화로부터 입력 장치를 보호한다[7]. 이러한 특성으로부터 CMOS 캐스코드 회로는 CMOS 회로 설계에서 많이 사용되고 있다. 일반적으로 CMOS 캐스코드 비교기는 SET에 매우 민감하고 전파지연으로 인한 입력값 및 게이트에 의해 구현되는 로직함수 등에 의한 이유로 SET는 게이트 출력에서 에러값이 발생시킬 수 있다[8].

본 실험에서 Cadence IC614(0.13um CMOS) 환경에서 비교기 회로를 만들고, 10ns의 임시 전류원을 사용하여 각 MOSFET에 충돌 이온 입자를 시뮬레이션하여 SET 환경조건을 만들었다. 그리고 폴디드 캐스코드 비교기에서 어느부분의 MOSFET가 SET에 민감한지를 확인하였다. SET 환경에서 실험한 이유는 군과 사회에서 사용하는 전자장비가 EMP 및 재밍(jamming)등에 많은 영향을 받을 수 있으므로 이를 어느 정도 해소할 수 있는 방법을 찾고자 본 연구를 시작하였다.

2. 실험 및 고찰

그림 1에 나타난 것은 폴디드 캐스코드(folded cascode) 비교기이다. 비교기에 공급 전압 Vdd로

설정된 구성 요소: 1.2V, 바이어스 전압(V_bias): Vdc 20uV, Vin+: Vsin(주파수: 100kHz, 피크: 3V), Vin-: Vdc 2V, Vout 단에 부하 캐패시턴스는 10uF 및 전류 바이어스(I_bias): idc 1mA 으로 구성되게 하였다. 또한 이 실험은 50us 동안 Cadence의 ADE(Analog Design Enviroments) L를 사용하여 시뮬레이션 하였다. 복잡한 디지털 회로를 만들 때 전파 지연에 의해 출력값이 많이 지연될 수가 있으므로 전파지연(τ_p)을 식(1)에 의해 계산하였다[9].

$$\tau_p = \frac{\tau_{pHL} + \tau_{pLH}}{2} \quad (1)$$

여기서 τ_{pHL} : 높은값에서 낮은값으로

변화되는 출력값

τ_{pLH} : 낮은값에서 높은값으로

변화되는 출력값

이득(gain)은 식(2)에 의해 계산하였다[10].

$$G = \frac{V_{out}}{V_{dd}} \quad (2)$$

SET 환경을 위해 iexp(지수 전류파)를 사용하였고 주입시간을 10ns로 설정하였다. 각각의 MOSFET에 전류를 주입하여 민감한 MOSFET의 현상을 파악하고자 한다. 그림 2에 SET 환경을 연출하기 위해 11us와 11.01us 사이의 iexp 성분을 사용하여 10ns 동안 주입 전류를 2mA로 설정한다.

SET를 주입하지 않은 정상 환경에서 폴디드 캐스코드 비교기 시뮬레이션의 결과를 그림 3에 나타냈다. 그림 3에서 Vin+(sin파 (빨간색))가 Vin- 2V(녹색)보다 높을 경우, Vout(파란색)은 0.8V로 출력된다. 그리고 전파 지연은 0.26us, 이득은 0.649 이다. 그림 1에 A 영역 부분 즉, T2,T3,T7,T13은 출력단에서 공통적으로 근처에 위치한다. 영향을 받는 SET는 그림 5~8에 나타냈다. 그림 4와 그림 5~8을 비교하면 SET 입력시 MOSFET 출력 신호는 10~20us 주기 사이에서 스파이크 또는 단락과 같은 큰 변화를 보여준다.

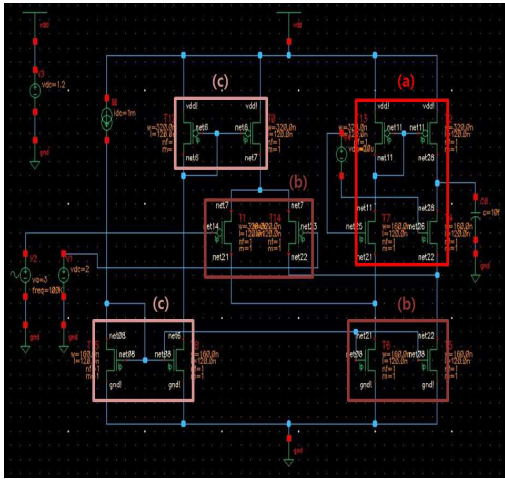


그림 1. 폴디드 캐스코드 비교기 시뮬레이션 회로
Fig. 1. Folded cascode comparator simulation circuit

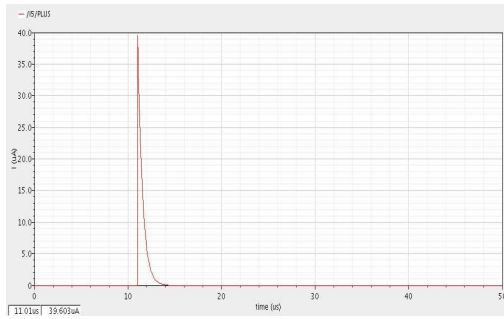


그림 2. iexp를 사용한 전류
Fig. 2. Current by used iexp

그림 5에서 MOSFET T2(M8) 출력 신호는 순간 전류 즉 SET를 주입되었을 때, 큰 스파이크로 나타난 것을 알 수가 있었다. 이것은 이 MOSFET가 SET에 매우 민감하다는 것을 의미한다. 또한 이 MOSFET는 SET로 인해 정상상태보다 더 많은 전류를 흐른다. 여기서, 전파 지연은 $0.36\mu s$, 이득은 0.649 로 계산되었다. 그림 6에서 MOSFET T4(M4)의 출력 신호를 측정할 결과이며 SET가 발생할 때 큰 스파이크를 발생한 것을 알 수가 있었다. 따라서 MOSFET T4는 SET에 민감하다. 전파 지연은 $0.36\mu s$, 이득은 0.649 로 계산되었다.

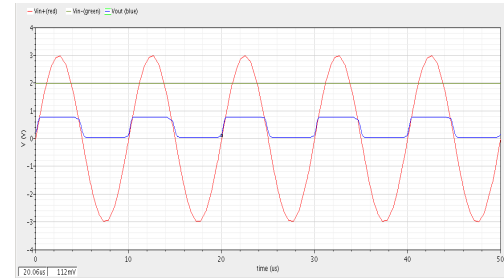


그림 3. 폴디드 비교기의 Vin+, Vin-, Vout 그래프
Fig. 3. graphs of Vin+, Vin- and Vout at folded comparator

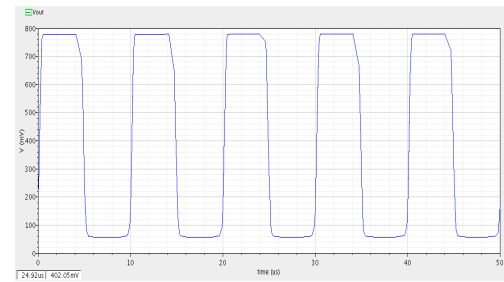


그림 4. 정상 상황에서 폴디드 비교기
Fig. 4. Folded comparator output in normal environment

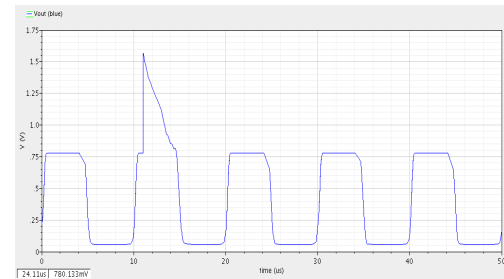


그림 5. T2 Vout 그래프
Fig. 5. T2 graph of Vout

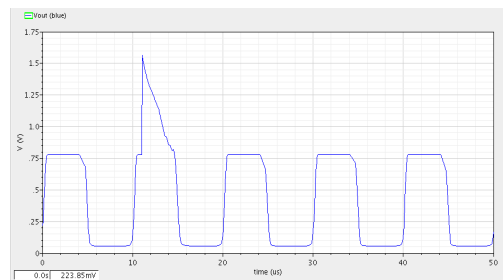


그림 6. T4 Vout 그래프
Fig. 6. graph of T4 Vout

그림 7은 MOSFET T7(M3)에서 출력신호를 측정하는 것으로 SET에 민감한 것을 알 수가 있었다. SET가 발생하는 동안, 출력신호는 10~20 μ s에서 단락된 것으로 측정되었다. 그리고 전파 지연은 0.35 μ s, 이득은 0.649로 계산되었다.

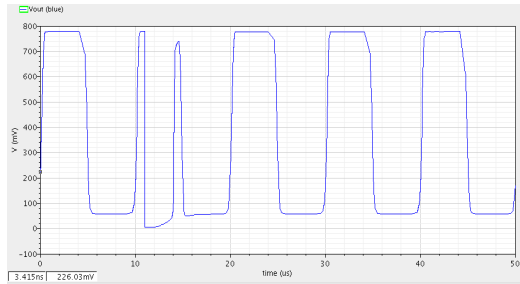


그림 7. T7 Vout 그래프
Fig. 7. graph of T7 Vout

그림 8은 MOSFET T13(M7)의 출력신호를 측정하는 것으로 그림 7에 나타난 MOSFET T7(M3)와 똑같은 출력신호가 검출되었다. 그리고, 전파 지연은 0.35 μ s, 이득은 0.649로 계산되었다. 그림5~8까지의 측정된 그래프에서 알 수 있는 것은 SET 환경에서 출력신호 및 전파 지연이 0.35~0.36 μ s으로 변화되는 것을 알 수 있었다. 결론적으로 SET 환경은 MOSFET의 전류 흐름 순서에 직접적으로 영향을 주고 출력부분에도 영향을 준다는 것을 알 수 있었다.

그림 1에서 T1, T14, T5, T6의 4개의 MOSFET에서 SET에 의한 출력 신호는 그림 9~12에 나타났다. 그림 9에서 SET을 주입하는 동안 MOSFET T1(M1)은 감소된 신호로 측정되었다. 이것은 SET가 이 MOSFET의 전류 흐름을 방해하기 때문이라고 예측된다. 그 결과, 전파 지연은 0.29 μ s, 이득은 0.649로 계산되었다.

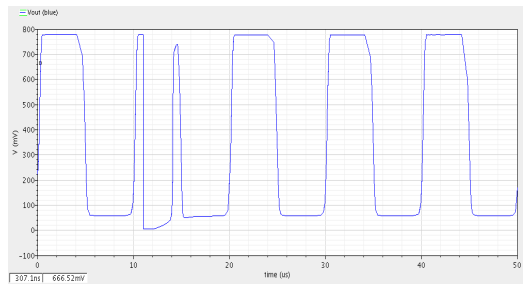


그림 8. T13 Vout 그래프
Fig. 8. graph of T13 Vout

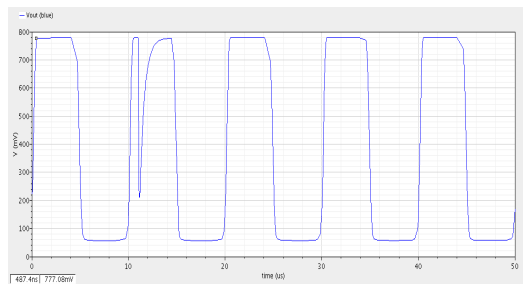


그림 9. T1 Vout 그래프
Fig. 9. graph of T1 Vout

그림 10은 MOSFET T14(M2)에서 SET 환경에서 출력신호가 스파이크 신호로 측정된 것을 나타내었다. 이 결과에서 SET 환경에서 MOSFET의 흐름을 더 많이 만들기 때문이라고 예측할 수 있다. 그 결과, 전파 지연은 0.30 μ s, 이득은 0.649로 계산되었다. 그림 11은 MOSFET T5(M6)가 SET 환경에서 출력신호가 스파이크 신호로 측정된 것을 나타냈다. 이것은 SET 환경에서 MOSFET T5(M6)는 전류를 더 많이 감소시키기 때문일 것으로 예상된다. 그 결과, 전파 지연은 0.31 μ s, 이득은 0.649로 계산되었다.

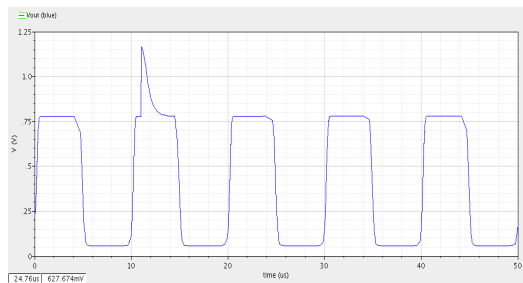


그림 10. T14 Vout 그래프
Fig. 10. graph of T14 Vout

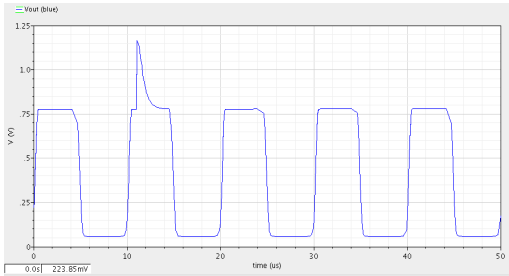


그림 11. T5 Vout 그래프
Fig. 11. graph of T5 Vout

그림 12는 MOSFET T6(M5)이 SET 동안 출력신호가 감소된 신호로 측정된 것을 나타냈다. 이것은 SET는 MOSFET에 전류 흐름을 방해한 것으로 예상된다. 그 결과, 전파 지연은 $0.30\mu s$, 이득은 0.649로 계산되었다. 그림 9~12에 나타난 MOSFET T1, T14, T5, T6은 SET 환경에서 $10\sim 20\mu s$ 시간 주기 사이의 불규칙한 신호도 보여준다. 그러나 MOSFET T2, T4, T7, T13보다 스파이크가 발생하는 시간주기가 감소하였다는 것을 알 수가 있었다. 그리고 SET 환경에서 민감한 MOSFET의 전파 지연은 약 $0.04\sim 0.05\mu s$ 증가되었다. 그림 1에서 출력 포트에서 멀리 떨어진 곳에 위치한 T0, T8, T12, T15(C 영역)를 설정하여 출력신호를 분석하였다. SET에 의한 출력 신호는 그림 13~16에 나타났다. 그림 13에서 MOSFET T0(M12)는 SET를 주입하지 않은 비교기 출력 신호와 동일한 신호로 측정되었다. 이것은 SET 환경에서 MOSFET T0(M12)의 전류 흐름을 방해한 것으로 관측되었다. 그 결과, 전파 지연은 $0.26\mu s$, 이득은 0.649로 계산되었다.

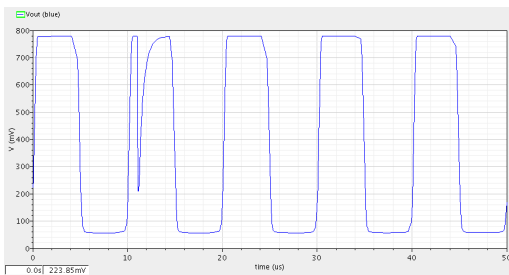


그림 12. T6 Vout 그래프
Fig. 12. graph of T6 Vout

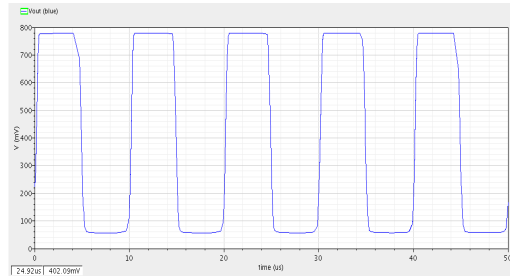


그림 13. T0 Vout 그래프
Fig. 13. graph of T0 Vout

그림 14는 SET 동안 MOSFET T8(M10)의 출력신호가 작은 감소 신호로 측정된 것을 나타냈다. 그것은 SET에 의해 발생되었지만 그 결과에 많은 영향을 미칠 수 없었다. 그 결과, 전파 지연은 $0.27\mu s$, 이득은 0.649로 계산되었다.

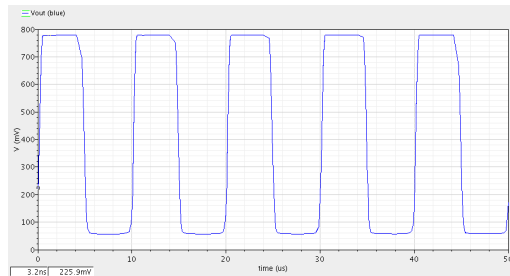


그림 14. T8 Vout 그래프
Fig. 14. graph of T8 Vout

그림 15는 SET 환경에서 MOSFET T12(M11)의 출력신호를 측정된 것으로 정상 폴드드 비교기의 출력신호와 거의 동일하게 측정되었다. 그 결과, 전파 지연은 $0.27\mu s$, 이득은 0.649로 계산되었다.

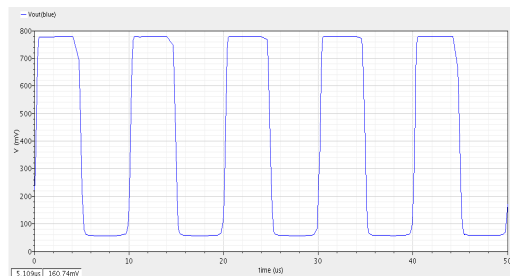


그림 15. T12 Vout 그래프
Fig. 15. graph of T12 Vout

그림 16은 SET 환경에서 MOSFET T15(M9)의 출력신호를 측정된 것으로 정상 풀디드 비교기 출력신호와 거의 동일한 신호로 측정되었다. 이것은 전류주입 동안 아주 작은 감소를 하는 것을 알 수가 있었다. 전파 지연은 $0.27\mu\text{s}$, 이득은 0.649로 계산되었다. 이러한 결과에 의해 MOSFET T0, T8, T12, T15는 SET에 민감하지 않다. 위 결과로 추론하면 SET을 주입하지 않은 정상상황에서의 결과인 그림 4와 비교해보면 MOSFET가 출력 포트에서 멀리 떨어져 있기 때문에 다른 MOSFET를 통과하는 동안에 불규칙한 전류가 제거된 것으로 예측할 수 있다. 결과적으로, 이 4개의 MOSFET가 SET에 민감한 MOSFET가 아니라는 것을 확인할 수 있다.

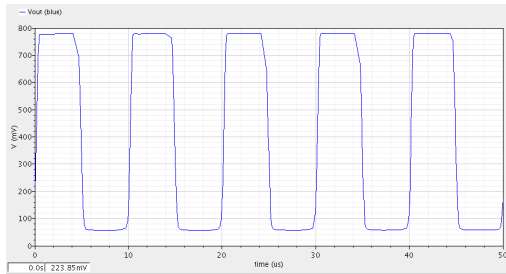


그림 16. T15 Vout 그래프
Fig. 16. graph of T15 Vout

3. 결론

본 연구는 군과 사회에서 사용하는 전자장비가 EMP 및 재밍 등 여러 환경에 노출되어 장비 작동에 영향을 받을 수 있으므로 이를 어느 정도 해소할 수 있는 방법을 찾고자 본 연구를 시작하였다. 풀디드 캐스코드 비교기에 지수정류파(iexp)을 SET 환경을 설정하여 어떤 영향이 있는지에 대해 실험하였다. 본 논문에서 SET상황을 설정하지 않은 풀디드 비교기에서는 전파 지연은 $0.26\mu\text{s}$, 이득은 0.649로 측정되었고 SET상황을 입력한 풀디드 비교기는 민감하게 측정되었으며 전파 지연은 $0.36\sim 0.37\mu\text{s}$, 이득은 0.649로 계산되었다. 그리고 풀디드 비교기에서 중간에서 위치한 MOSFET에서 지연은 $0.28\sim 0.30\mu\text{s}$, 이득은 0.649로 계산되었다. 또한 풀디드 비교기에서 출력단과 가장 멀리 떨어져 있는 MOSFET에서 지연은 $0.25\sim 0.26\mu\text{s}$,

이득은 0.649로 계산되었다.

결론적으로 풀디드 비교기에서 SET 발생환경에서는 출력부분과 멀리 떨어져 있는 MOSFET에는 정상적인 풀디드 비교기와 같은 결과로 나타났고 출력부분에 가까이 있는 부분에서 비정상적으로 나타났다. 이것을 바탕으로 SET 환경에서 전파지연이 정상적인 비교기와 동일할 수 있는 회로를 연구하는데 많은 도움이 될 것으로 기대된다.

REFERENCES

- [1] M. Aykut YiğİTEL, "SET Fault Tolerant Combinational Circuits Based on Majority Logic", Department of Computer Engineering, Bogazici University, Vol.17.No.05. pp. 345-354, 2007
- [2] Mousa Yousefi1, Khalil Monfaredi, "Power Reduction of the Low Offset Dynamic Comparator with Novel Techniques", Majlesi Journal of Electrical Engineering Vol. 13, No. 2, p.15~20, 2019
- [3] Bishnu Prasad De1, R. Kar1, D. Mandal and S. P. Ghoshal, "Soft computing-based approach for optimal design of on-chip comparator and folded-cascade op-amp using colliding bodies optimization", INTERNATIONAL JOURNAL OF NUMERICAL MODELLING :ELECTRONIC NETWORKS, DEVICES AND FIELDS Int. J. Numer. Model. 29,pp.873-896 2016
- [4] Ecoffet. R, Duzellier. S, Tastet. P, Aicardi. C, Labrunee. M, "Observation of heavy ion induced transients in linear circuits," IEEE Radiation Effects Data Workshop, pp. 72-77, Jul. 1994.
- [5] R. Harboe-Sorensen, F. X. Guerre, H. Constans, J. Van Dooren, G. Berger, W. Hajdas, "Single event transient characterization of analog IC's for ESA's satellites," in Proc. RADECS, pp. 573-581, 1999.
- [6] B. E. Pritchard, G. M. Swift, A. H. Johnston, "Radiation effects predicted, observed, and compared for spacecraft systems," in Proc. IEEE NSREC Radiation Effects Data

Workshop Record, pp. 7-17, 2002.

[7] Tao Wang, Li Chen, Anh Dinh, Daniel Teng, "Single-Event-Transient Tolerant Comparators with Auto-Zeroing Techniques", IEEE, 2008 .

[8] R. Mariani and P. Fuhrmann, "Comparing Fail-safe Microcontroller Architectures in Light of IEC 61508", 22nd IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, pp.347, 2007.

[9] Maini, "Digital Electronics: Principles", John Wiley & Sons Devices and Applications, Vol.27 pp.280-300, 2007

[10] Graf, Rudolf F. "Modern Dictionary of Electronics (7 ed.)", Newnes. p. 314. ISBN 0080511988, 1999

박 정 철(Jung-Cheul Park)

[정회원]



- 1983년: 명지대학교 전자공학과(공학사)
- 1991년: 명지대학교 전자공학과(공학석사)
- 2000년: 명지대학교 전자공학과(공학박사)
- 2007년~현재: 가천대학교 전자공학과 교수

〈관심분야〉 신재생에너지, VLSI

저자약력

장 재 석(Jae-Seok Jang)

[정회원]



- 2013년: 가천대학교 전자공학과(공학사)
- 2015년: 영국 사우스햄프턴 대학교(공학석사)
- 2017년~현재 : 국방기술품질원 연구원

〈관심분야〉 직접회로설계

정 재 필(Jae-Pil Chung)

[정회원]



- 1985년: 단국대학교 전자공학과(공학사)
- 1989년: 단국대학교 전자공학과(공학석사)
- 2000년: 한국항공대학교 통신정보공학과 (공학박사)
- 1994년 2월~현재 : 가천대학교 IT융합대학 전자공학과 교수

〈관심분야〉 정보통신