한국정보전자통신기술학회논문지(jkiiect)'20-2, Vol.13 No.1
논문 20-13-01-64 http://dx.doi.org/10.17661/jkiiect.2020.13.1.64

PMOS-다이오드 형태의 eFuse OTP IP 설계

김영희*, 김홍주*, 하윤규*, 하판봉*

Design of PMOS-Diode Type eFuse OTP Memory IP

Young-Hee Kim*, Hongzhou Jin*, Yoon-Gyu Ha*, Pan-Bong Ha*

요 약 전력 반도체 소자의 게이트 구동 칩의 아날로그 회로를 트리밍하기 위해서는 eFuse OTP IP가 필요하다. 기존의 NMOS 다이오드 형태의 eFuse OTP 셀은 셀 사이즈가 작은 반면 DNW(Deep N-Well) 마스크가 한 장 더 필요로 하는 단점이 있다. 본 논문에서는 CMOS 공정에서 추가 공정이 필요 없으면서 셀 사이즈가 작은 PMOS-다이오드 형태의 eFuse OTP 셀을 제안하였다. 본 논문에서 제안된 PMOS-다이오드 형태의 eFuse OTP 셀은 N-WELL 안에 형성된 PMOS 트랜지스터와 기억소자인 eFuse 링크로 구성되어 있으며, PMOS 트랜지스터에서 기생적으로 만들어지는 pn 접합 다이오드를 이용하였다. 그리고 PMOS-다이오드 형태의 eFuse 셀 어레이를 구동하기 위한 코어 구동회로를 제안하였으며, SPICE 모의실험 결과 제안된 코어 회로를 사용하여 61㏀의 post-program 저항을 센싱하였다. 한편 0.13㎛ BCD 공정을 이용하여 설계된 PMOS-다이오드 형태의 eFuse OTP 셀과 512b eFuse OTP IP의 레이아웃 사이즈는 각각 3.475㎛ × 4.21㎛ (=14.62975㎛2)과 119.315㎛ × 341.95㎛ (=0.0408㎟)이며, 웨이퍼 레벨에서 테스트한 결과 정상적으로 프로그램 되는 것을 확인하였다.

Abstract eFuse OTP memory IP is required to trim the analog circuit of the gate driving chip of the power semiconductor device. Conventional NMOS diode-type eFuse OTP memory cells have a small cell size, but require one more deep N-well (DNW) mask. In this paper, we propose a small PMOS-diode type eFuse OTP memory cell without the need for additional processing in the CMOS process. The proposed PMOS-diode type eFuse OTP memory cell is composed of a PMOS transistor formed in the N-WELL and an eFuse link, which is a memory element and uses a pn junction diode parasitic in the PMOS transistor. A core driving circuit for driving the array of PMOS diode-type eFuse memory cells is proposed, and the SPICE simulation results show that the proposed core circuit can be used to sense post-program resistance of 61㏀. The layout sizes of PMOS-diode type eFuse OTP memory cell and 512b eFuse OTP memory IP designed using 0.13㎛ BCD process are 3.475㎛ × 4.21㎛ (= 14.62975㎛2) and 119.315㎛ × 341.95㎛ (= 0.0408㎟2), respectively. After testing at the wafer level, it was confirmed that it was normally programmed.

Key Words : Analog Trimming, PMOS-diode, Power Semiconductor, eFuse, OTP

1. 서 론

Si MOSFET, Si IGBT와 SiC 소자는 고전압 정격, 고전류 정격, 낮은 ON 저항과 낮은 스위칭 손실로 인해 전력반도체 소자로 사용된다[1]. 한편 EV/HEV용 DC-DC 변환기 등의 다양한 응용에 하나의 게이트 구동 칩으로 Si IGBT와 SiC같은 전력반도체 소자를 구동하기 위해서는 차단전압, 스위치를 완전히 차단시키기 위한 게이트 음전압 등과 관련한 다양한 option이 발생할 수 있다[1][2]. 이를 제어하기 위해 사용되는 아날로그 회로를 Si IGBT와

This research is financially supported by Changwon National University in 2019~2020.
*Department of Electronic Engineering, Changwon National University.
Received February 10, 2020 Revised February 20, 2020 Accepted February 20, 2020

SiC 같은 전력반도체 소자에 적합한 option code로 트리밍(trimming) 해야 하는 경우 소용량의 비휘발성 메모리인 eFuse OTP (electrical Fuse One-Time Programmable) 메모리가 많이 사용된다[3][4]. eFuse OTP 메모리 셀은 선택된 셀에 있는 폴리실리콘 게이트인 eFuse 링크(link)에 수 십 mA 이상의 과전류를 흘려 eFuse 링크를 thermal blowing하므로 프로그램한다[5-8].

저면적 5V NMOS-Diode eFuse OTP 셀은 그림 1에서 보는 바와 같이 p-substrate에 형성된 DNW(Deep N-WELL) 안에 형성된 P-WELL 안에 만들어지는 isolated 5V NMOS 트랜지스터(MN1)와 기억소자(memory device)로 게이트 폴리실리콘과 동일한 layer를 사용한 eFuse 링크로 구성되어 있으며, 그림 2에서 보는바와 같이 isolated 5V NMOS 트랜지스터의 공정단면도에서 SL(Source Line)이 연결된 P-WELL과 eFuse 링크의 양극에 연결된 NMOS 트랜지스터의 소스(source) 노드인 NS(NMOS Source) 사이에 pn 접합 다이오드(junction diode)가 기생적으로 만들어진다. 프로그램 모드 시 isolated 5V NMOS 트랜지스터의 소스 접합에 형성된 접합 다이오드와 eFuse 링크를 통해 흐르는 과전류를 이용하여 eFuse 링크를 열적으로 blowing한다[9][10]. 그런데 5V NMOS-diode type eFuse OTP 셀 사이즈는 저면적으로 구현이 가능하지만 그림 2에서 보는바와 같이 DNW 마스크가 추가되어 반도체 공정 원가가 상승하는 단점이 있다.

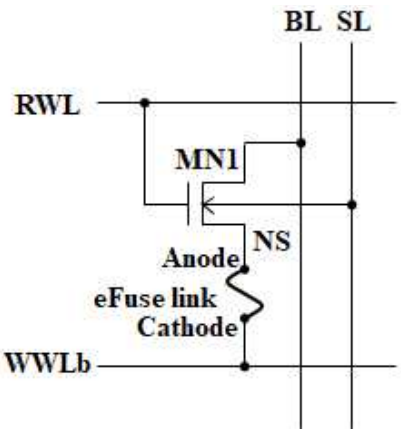

그림 1. NMOS-diode type eFuse OTP 셀 회로도[10].
Fig. 1. NMOS-diode type eFuse OTP memory cell.

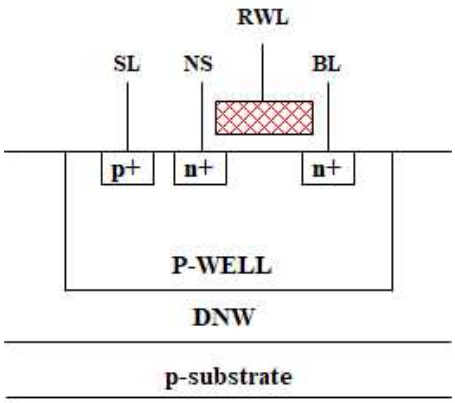

그림 2. Isolated NMOS 트랜지스터의 공정단면도[10].
Fig. 2. Process cross section of an isolated NMOS transistor.

따라서 본 논문에서는 CMOS 공정에서 추가 공정이 필요없는 PMOS-다이오드 형태의 eFuse OTP 셀을 제안하였다. 본 논문에서 제안된 PMOS-다이오드 형태의 eFuse OTP 셀은 N-WELL 안에 형성된 PMOS 트랜지스터와 기억소자인 eFuse 링크로 구성되어 있으며, PMOS 트랜지스터에서 PS(PMOS Source) 노드에 연결된 p+ 확산영역과 WWLb (Write WL bar)가 연결된 N-WELL 사이에 pn 접합 다이오드가 기생적으로 만들어진다. eFuse 링크의 양극은 SL에 연결시켰고, eFuse 링크의 음극은 PMOS 트랜지스터의 소스 노드에 연결되어 있다. 그리고 PMOS 트랜지스터의 게이트는 RWLb(Read WL bar) 신호에 연결되어 있고, 드레인 노드는 BL, body 노드는 WWLb 신호에 연결되어 있다. 선택된 eFuse OTP 셀의 eFuse 링크를 프로그램하기 위해 eFsue 링크의 양극에 연결된 SL(Source Line)과 RWLb 신호에 VDD(=5.5V)의 전압을 인가하고, WWLb에 0V의 전압을 인가하면 선택된 셀의 eFuse 링크, PMOS 트랜지스터의 PS 노드와 body인 N-WELL 사이에 형성된 pn 접합 다이오드를 통해 SL에서 WWLb 전류 경로로 수십 mA 이상의 과전류가 흐르면서 선택된 eFuse 링크를 열적으로 blowing한다. 그리고 제안된 eFuse OTP 셀 어레이를 구동하기 위한 코어 회로를 제안

하였다. 한편 eFuse OTP 메모리 IP가 넓은 동작전압 영역을 갖도록 하기 위해서 BL S/A 회로에 voltage regulation된 V2V(=2.0V ±10%)의 전압을 사용하였다[10]. 제안된 BL S/A회로를 사용하므로 61㎂의 post-program 저항을 센싱하였다. 0.13㎛ BCD 공정을 이용하여 64행 × 8열의 eFuse OTP 셀 어레이를 갖는 512b eFuse OTP IP를 설계하였며, 공정 진행된 512bit eFuse OTP IP 웨이퍼 테스트에서 정상적으로 프로그램 되는 것을 확인할 수 있다.

2. 회로 설계

그림 3은 5V PMOS-다이오드 형태의 eFuse OTP 셀 회로를 보여주고 있으며, 채널 폭(channel width)이 작은 5V PMOS 트랜지스터(MP1)와 기억소자로 게이트 폴리실리콘을 사용한 eFuse 링크로 구성되어 있다. 제안된 PMOS-다이오드 형태의 eFuse OTP 셀에서 5V PMOS 트랜지스터는 그림 4의 PMOS 트랜지스터 공정단면도에서 보는바와 같이 N-WELL 안에 형성된 body부분의 n+ 접합에 연결된 WWLb, p+ 확산 영역에 연결된 SL과 BL 그리고 PMOS 트랜지스터의 게이트 부분에 연결된 RWLb 신호가 각각 사용된다. PMOS 트랜지스터에서 pn 접합 다이오드는 그림 4의 PS 노드에 연결된 p+ 확산 영역과 WWLb가 연결된 N-WELL 사이에 기생적으로 만들어진다. 선택된 eFuse OTP 셀의 eFuse 링크를 프로그램하기 위해서는 eFsue 링크의 양극에 연결된 SL, RWLb, WWLb 신호에 각각 VDD(=5.5V), VDD와 0V 전압을 인가하면 선택된 eFuse OTP 셀의 eFuse 링크, PMOS 트랜지스터의 PS 노드와 body인 N-WELL 사이에 형성된 pn 접합 다이오드를 통해 SL에서 WWLb 전류 경로로 수십 mA 이상의 과전류가 흐르면서 선택된 eFuse OTP 셀에 포함된 eFuse 링크를 열적으로 blowing하여 수 ㏀ 이상의 고저항을 갖도록 만든다. 반면 프로그램되지 않은 저항은 100Ω 정도 된다.

그림 5는 5V PMOS 트랜지스터와 게이트 폴리실리콘을 사용한 eFuse 링크로 구성된 PMOS-다이오드 eFuse OTP 셀의 레이아웃 이미지를 보여주고 있으며, eFuse OTP 셀 사이즈는 3.475㎛ × 4.21㎛ (=14.62975㎛^{2})이다. SL의 p+ 확산 영역을 5V PMOS 트랜지스터의 바디 노드인 N-WELL의 pick-up인 n+ 확산 영역에 최대한 가까이 배치하므로 기생하는 N-WELL 저항을 줄이도록 레이아웃 하였다. 한편 제안된 PMOS-다이오드 eFuse OTP 셀 사이즈는 기존의 eFuse OTP 셀인 89.96㎛^{2}의 셀 사이즈를 갖는 0.18㎛ BCD 공정기반의 dual port eFuse OTP 셀[7]과 97㎛^{2}의 셀 사이즈를 갖는 0.18㎛ generic 공정기반의 dual port eFuse OTP 셀[6]보다도 훨씬 작으며. 5V NMOS-Diode 형태의 eFuse OTP 셀[10] 사이즈인 13.745㎛^{2}와 비슷하다. 그러므로 PMOS-다이오드 eFuse OTP 셀을 이용한 eFuse OTP IP 설계는 5V NMOS-Diode 형태의 eFuse OTP 셀에 비해 셀 사이즈는 비슷한 반면, DNW 마스크 한 장을 줄일 수 있다.

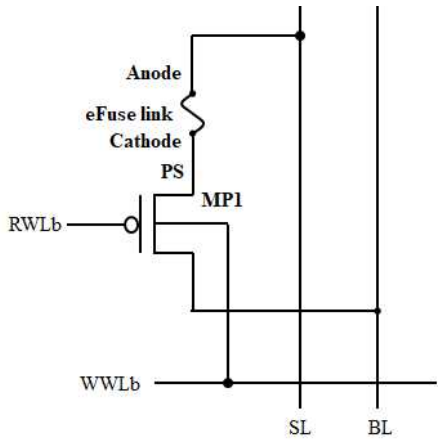

그림 3. 5V PMOS-다이오드 형태의 eFuse OTP 셀 회로도.
Fig. 3. 5V PMOS diode type eFuse OTP memory cell.

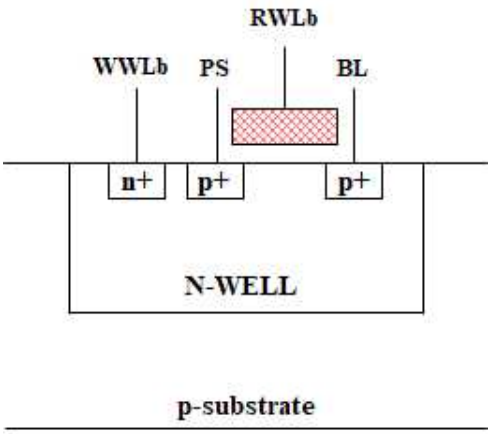

그림 4. PMOS-다이오드 형태의 eFuse OTP 셀 회로에 사용된 PMOS 트랜지스터의 공정단면도.
Fig. 4. Process cross section of a PMOS transistor used in a PMOS-diode type eFuse OTP memory cell.

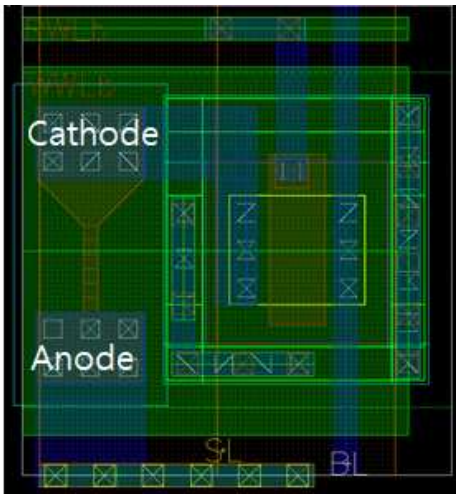

그림 5. PMOS-diode 형태의 eFuse OTP 셀 레이아웃 이미지.
Fig. 5. Layout image of a PMOS diode type eFuse OTP memory cell.

PMOS-다이오드 형태의 eFuse OTP 셀을 사용하여 설계된 512b eFuse OTP 메모리 IP의 주요 특징은 표 1에서 보는 바와 같다. 사용된 공정은 DB 하이텍 0.13㎛ BCD 공정이며, eFuse OTP 셀 어레이는 64행 × 8열로 구성되어 있다. 그리고 eFuse 링크는 Co silicide를 갖는 n+ 폴리실리콘 eFuse 링크를 사용하였다. eFuse OTP 메모리 IP의 프로그램 비트와 읽기 비트는 각각 1비트, 8비트이다. 프로그램 비트를 1비트로 하는 이유는 바이트 단위로 프로그램하는 경우 수 백 mA의 큰 프로그램 전류로 인해 VDD 파워 라인, VSS 라인 등에서의 저항성 전압 강하가 일어나면서 프로그램 하려는 eFuse 링크에 프로그램 파워가 제대로 전달되지 않으면서 eFuse OTP 셀의 프로그램 특성이 나빠지기 때문이다.

한편 사용되는 전원전압은 NMOS-다이오드 형태의 eFuse OTP 메모리 IP 설계와 동일하게 VDD와 V2V (=2.0V ±10%)를 사용하였으며, V2V는 반도체 칩에서 제공되는 내부공급 전압원이다. 프로그램 모드 시 VDD 전압은 eFuse 링크를 thermal blowing시키기 위해 충분한 파워를 공급하는 전압인 5.5V가 사용된다[8].

표 1. PMOS-다이오드 형태의 eFuse OTP 셀을 사용하여 설계된 512b eFuse OTP IP의 주요 특징.
Table 1. Major features of the 512b eFuse OTP memory IP designed using PMOS-diode type eFuse OTP memory cells.

Items	Main Features
Process Technology	DB HiTek 130nm BCD
eFuse Link Type	n+ Poly Fuse with Co Silicide
Cell Array	64Rows × 8Columns
Temperature Range	-40°C ~ 125°C
Operating Mode	Program / Read / Program-Verify-Read
Program bit	1bit
Read bit	8bit
Program Time	20μs

표 2는 5V PMOS-다이오드 형태의 eFuse OTP 셀에 대한 동작모드별 바이어스 조건을 보여주고 있다. 그림 3의 eFuse OTP 셀을 eFuse 링크 저항이 고저항인 '0'로 프로그램하기 위해서는 표 2에서 보는 바와 같이 선택되는 셀의 SL, RWLb, BL과 WWLb 신호를 각각 VDD(=5.5V), VDD, Floating과 0V로 구동하면 된다. 이와 같이 SL과 WWLb 신호를 VDD와 0V로 구동하면 SL에서 eFuse 링크, pn 접합 다이오드와 WWLb로 형성되는 전류 경로로 수 십 mA의 과전류가 흘러 프로그램 할려는 eFuse 링크는 열적 파괴에 의해 blowing되면서 수 ㏁ 이상의 고저항을 갖는다. 프로그램 데이터가 '1'인 경우는 eFuse 링크 저항을

100㏀ 상태로 유지를 해야하므로 모든 행에 있는 SL을 0V로 구동하므로 eFuse 링크를 통해 전류가 흐르지 않아 eFuse 링크의 저항을 unblown 상태인 100㏀ 정도로 유지하게 된다.

읽기 모드에서 선택되는 셀의 SL, RWLb와 WWLb 신호를 각각 VLV, 0V와 VLV로 구동하면 '0'로 프로그램 된 eFuse OTP 셀은 eFuse 링크가 고저항 상태에 있으며, DOUT 포트에 '0'을 출력한다. 반면 '1'으로 프로그램 된 eFuse OTP 셀은 eFuse 링크가 100㏀ 정도의 저항을 가지고 있으므로 BL은 VLV 전압으로 풀업되면서 DOUT 포트에 '1'을 출력한다.

표 2. 동작모드에 따른 eFuse OTP 셀 바이어스 조건.
Table 2. eFuse OTP memory cell bias conditions according to the operating mode.

		PROGRAM MODE		READ MODE	
DIN		0	1	0	1
RWLb	Unselected	VDD	VDD	VDD	VDD
	Selected	VDD	VDD	0V	0V
WWLb	Unselected	VDD	VDD	VLV	VLV
	Selected	0V	0V	VLV	VLV
SL	Unselected	0V	0V	VLV	VLV
	Selected	VDD	0V	VLV	VLV
BL		Floating	Floating	0V	VLV
DOUT		X	X	0	1
eFuse		Blown	Unblown	Blown	Unblown

그림 6은 제안된 eFuse OTP 코어 회로를 보여주고 있다. 그림 6(a)의 SL 구동회로는 프로그램 모드로 진입하게 되면 열 어드레스 A[2:0]를 디코딩한 A210에 의해 DIN이 '0'인 경우 선택된 SL은 VDD_PGM 스위칭 전압을 구동하고, A210에 의해 선택되지 않았거나 DIN이 '1'인 경우 SL은 0V를 구동한다. VDD_PGM 스위칭 전압은 프로그램 모드일때만 VDD 전압을 구동하고, 나머지 모드는 VLV 전압을 구동한다. 그림 6(b)의 WL 구동회로는 프로그램 모드로 진입하게 되면 행 어드레스 A[8:3]에 의해 디코딩된 A876과 A543의 디코딩에 의해 선택된 행의 WWLb와 RWLb는 0V와 VDD 전압을 구동한다. 그리고 읽기 모드로 진입하면 A876과 A543의 디코딩에 의해 선택된 행의 WWLb와 RWLb는 VDD_PGM(=VLV)와 0V 전압을 구동한다. 그림 6(c)의 회로는 S/A(Sense Amplifier) 기반의 D F/F을 사용하는 BL 센싱 회로를 사용하는 대신 clocked inverter(MP13, MP14, MN13과 MN14) 형태의 BL S/A 회로를 사용하다. 읽기 모드로 진압하면 BL_PCGb 신호에 low 펄스가 인가되면서 MP11 PMOS 트랜지스터에 의해 BL은 V2V 전압으로 프리차징 된다. BL 전압이 충분히 2V로 프리차징된 후 MN11 NMOS 트랜지스터를 ON시켜 BL을 풀-다운했을 때 선택된 셀의 eFuse 링크가 100㏀ 정도이면 BL 전압은 로직 '1' 상태의 전압을 유지하는 반면, eFuse 링크 저항이 수 ㏁ 이상인 경우의 BL 전압은 로직 '0' 상태의 전압을 유지한다. 이와같이 eFuse OTP 셀의 프로그램 저항에 대한 전압이 BL에 전달되면 clocked inverter(MP13, MP14, MN13와 MN14)에 의해 BL의 센싱 데이터가 DOUT으로 출력된다.

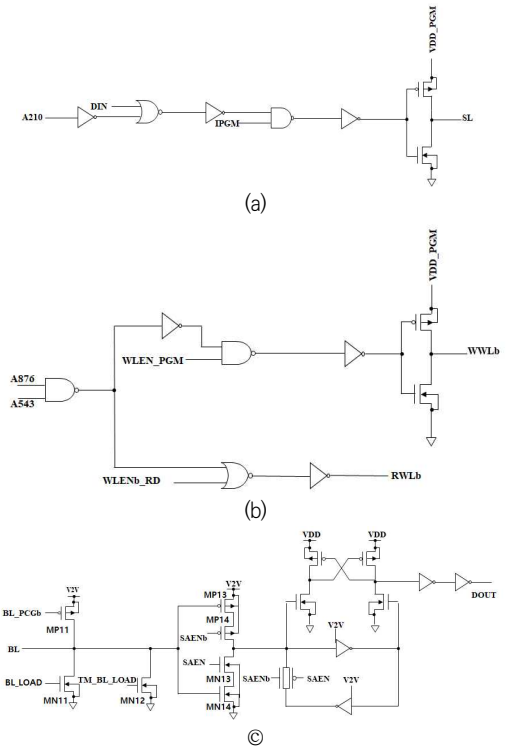

그림 6. 512b eFuse OTP 코어회로 (a) SL 구동회로 (b) WL 구동회로 (c) BL S/A회로.
Fig. 6. 512b eFuse OTP memory core circuits: (a) SL drive circuit, (b) WL drive circuit, and (c) BL S/A circuit.

DB하이텍 130nm BCD 공정을 이용하여 설계된 512b eFuse OTP 메모리 IP의 레이아웃 이미지는 그림 7에서 보는 바와 같으며, 레이아웃 면적은 119.315㎛ × 341.95㎛ (=0.0408㎟)이다.

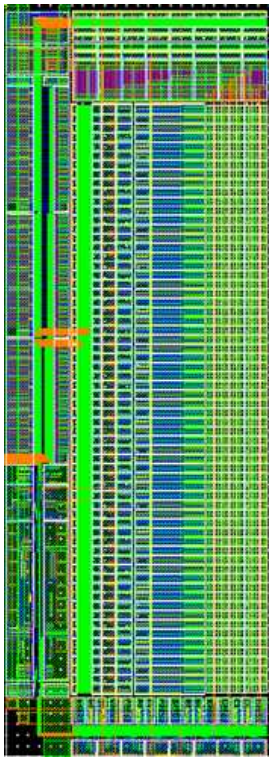

그림 7. PMOS-diode 형태의 eFuse OTP 셀을 사용하여 설계된 512b eFuse OTP IP의 레이아웃 이미지.
Fig. 7. Layout image of the designed 512b eFuse OTP memory IP with PMOS-diode type eFuse OTP memory cells.

3. 모의실험 및 측정 결과

설계된 512b eFuse OTP 메모리 IP에서 프로그램 된 eFuse 링크의 센싱 저항에 대한 SPICE 모의실험 결과는 표 3과 같다. 모델 파라미터와 온도별 eFuse OTP IP의 normal read 모드와 program-verify-read 모드에서 프로그램 된 eFuse 링크의 센싱 저항은 각각 30kΩ, 61kΩ으로 모의실험 되었다. 한편 normal read 모드에서 채널 폭이 작은 PMOS 트랜지스터를 이용하여 BL에 전압을 전달하므로 eFuse OTP 셀의 blowing되지 않은 eFuse 링크를 통해 흐르는 최대 읽기 전류를 97.7㎂로 100㎂ 이내로 억제하였다.

표 3. 동작모드에 따른 프로그램된 eFuse 링크의 센싱 저항 모의실험 결과 (a) normal read 모드 (b)program-verify-read 모드.
Table 3. Simulation results of sensing resistance of the programmed eFuse link according to the operation mode: (a) normal read mode and (b) program-verify-read mode.

(a)

Temp	Model Parameter				
	SS model	SF model	TT model	FS model	FF model
-40°C	12KΩ	21KΩ	9KΩ	1.5KΩ	7.5KΩ
25°C	16KΩ	25KΩ	12KΩ	3.5KΩ	10K
125°C	23KΩ	30KΩ	17.5KΩ	8KΩ	14.5KΩ

(b)

Temp	Model Parameter				
	SS model	SF model	TT model	FS model	FF model
-40°C	29.5KΩ	42KΩ	23KΩ	10.5KΩ	18.5KΩ
25°C	38.5KΩ	50KΩ	30KΩ	16KΩ	24.5K
125°C	53.5KΩ	61KΩ	42KΩ	26.5KΩ	34.5KΩ

그림 8은 공정 진행된 512bit eFuse OTP IP 웨이퍼에서 프로그램 이전과 프로그램 이후의 read mode 측정 파형을 보여 주고 있으며, 정상적으로 프로그램 되는 것을 확인할 수 있다.

(a)

(b)

그림 8. Read mode에서의 웨이퍼 측정결과 (a) 프로그램 이전 (b) 프로그램 이후.

Fig. 8. Measurement results of manufactured wafer in read mode: (a) pre-prpgamming and (b) post-programming.

4. 결 론

Si IGBT와 SiC 같은 전력반도체 소자의 게이트 구동 칩에서 아날로그 회로를 적합한 option code로 트리밍 해야 하는 경우 소용량의 비휘발성 메모리인 eFuse OTP 메모리가 많이 사용된다. eFuse OTP 메모리 IP에 사용되는 eFuse OTP 셀은 추가 마스크가 필요 없으면서 셀 사이즈가 작은 것이 요구된다.

따라서 본 논문에서는 CMOS 공정에서 추가 공정이 필요 없으면서 셀 사이즈가 작은 PMOS-다이오드 형태의 eFuse OTP 셀을 제안하였다. 본 논문에서 제안된 PMOS-다이오드 형태의 eFuse OTP 셀은 N-WELL 안에 형성된 PMOS 트랜지스터와 기억소자인 eFuse 링크로 구성되어 있으며, PMOS 트랜지스터에서 PS 노드에 연결된 p+ 확산 영역과 WWLb가 연결된 N-WELL 사이에 pn 접합 다이오드가 기생적으로 만들어진다. 선택된 eFuse OTP 셀의 eFuse 링크를 프로그램하기 위해 eFsue 링크의 양극에 연결된 SL과 RWLb 신호에 VDD의 전압을 인가하고, WWLb에 0V의 전압을 인가하면 선택된 셀의 eFuse 링크, PMOS 트랜지스터의 PS 노드와 body인 N-WELL 사이에 형성된 pn 접합 다이오드를 통해 SL에서 WWLb 전류 경로로 수십 mA 이상의 과전류가 흐르면서 선택된 eFuse 링크를 열적으로 blowing한다. 한편 eFuse OTP 셀 어레이를 구동하기 위해 제안된 코어 회로를 사용하여 61㏀의 post-program 저항을 센싱하였다. DB 하이텍 0.13㎛ BCD 공정을 이용하여 설계된 PMOS-다이오드 형태의 eFuse OTP 셀과 512b eFuse OTP IP의 레이아웃 사이즈는 각각 3.475㎛ × 4.21㎛ (=14.62975㎛^{2})과 119.315㎛ × 341.95㎛ (=0.0408㎟)이다.

REFERENCES

[1] http://www.ti.com/lit/pdf/slyy169.

[2] Y. J. Han et al., "스위치드 커패시터를 이용한 SiC MOSFET용 음전압 게이트 구동 회로," *2017년도 대한전기학회 창립 70주년 기념 하계학술대회 논문집*, pp. 12-14, July 2017.

[3] S. H. Kulkarni et al., "A 4kb metal-fuse OTP-ROM macro featuring a 2V programmable 1.37㎛2 1T1R bit cell in 32㎚ high-k metal-gate CMOS," *IEEE Journal of Solid-State Circuits*, vol. 45, no. 4, pp. 863-868, April 2010.

[4] W. Y. Jung et al, "Design of eFuse OTP Memory with Wide Operating Voltage Range for PMICs," *Journal of Semiconductor Technology and Science*, vol. 18, no. 1, pp. 115-122, Jan. 2014.

[5] N. Robson et al., "Electrically Programmable Fuse (eFuse): From Memory Redundancy to Autonomic Chips", *Proceedings of Custom Integrated Circuits Conference*, pp. 799-804, Sep. 2007.

[6] J. H. Lee et al., "Design of an Asynchronous eFuse One-Time Programmable Memory IP of 1 Kilo Bits Based on a Logic Process," *JKIICE*, vol. 20, no. 2, pp. 306-316, July 2009.

[7] D. H. Kim et al., "Design and measurement of a 1kBit eFuse one-time programmable memory IP based on a BCD process," *IEICE Trans. Electron*, vol. E93-C, no. 8, pp. 1365-1370, Aug. 2010.

[8] Y. Ren et al., "Design of Logic eFuse OTP Memory IP," *JKIICE*, vol. 20, no. 2, pp. 317-326, Feb. 2016.
[9] S. H. Lee et al, "Design of an NMOS-Diode eFuse OTP Memory IP for CMOS Image Sensors," *JKIICE*, vol. 20, no. 2, pp. 306-316, Feb 2016.
[10] M. H. Kim et al., "Design of 5V NMOS-Diode eFuse OTP IP for PMICs," *JKIIECT*, vol. 10, no. 2, pp. 168-175, April 2017.
[11] H. Park et al., "Design of Small-Area Dual-Port eFuse OTP Memory IP for Power ICs", *JKIIECT*, vol. 8, no. 4, pp. 310-318, Aug. 2015.

저자약력

김 영 희 (Young-Hee Kim) **[종신회원]**

- 1989년 2월 : 경북대학교 전자공학과 (공학사)
- 1997년 2월 : 포항공과대학교 전기전자공학과 (공학석사)
- 2000년 8월 : 포항공과대학교 전기전자공학과 (공학박사)
- 1989년 1월 ~ 2001년 2월 : 현대전자 책임연구원
- 2001년 3월 ~ 현재 : 창원대학교 전자공학과 교수

〈관심분야〉 메모리 IP 설계, SoC 설계

김 홍 주 (Hongzhou Jin) **[학생회원]**

- 2017년 6월 : 연변대학교 전자정보통신학과 (공학사)
- 2017년 9월 ~ 현재 : 창원대학교 전자공학과 석·박사과정

〈관심분야〉 NVM IP 설계

하 윤 규 (Yoon-Gyu Ha) **[학생회원]**

- 2017년 2월 : 창원대학교 전자공학과 (공학사)
- 2019년 2월 : 창원대학교 전자공학과 (공학석사)
- 2019년 1월 ~ 현재 : 매그나칩 후임연구원

〈관심분야〉 NVM IP 설계, High voltage공정기술

하 판 봉 (Pan-Bong Ha) **[종신회원]**

- 1981년 2월 : 부산대학교 전기공학과 (공학사)
- 1983년 2월 : 서울대학교 전자공학과 (공학석사)
- 1993년 2월 : 서울대학교 전자공학과 (공학박사)
- 1987년 3월 ~ 현재 : 창원대학교 전자공학과 교수

〈관심분야〉 임베디드 시스템, SoC 설계