

Vertical PIP 커패시터를 이용한 MTP 메모리 IP 설계

김영희*, 차재한**, 김홍주*, 이도규*, 하판봉*, 박무훈*

Design of MTP memory IP using vertical PIP capacitor

Young-Hee Kim*, Jae-Han Cha**, Hongzhou Jin*, Do-Gyu Lee*,

Pan-Bong Ha*, Mu-Hun Park*

요약 Wireless charger, USB type-C 등의 응용에서 사용되는 MCU는 추가 공정 마스크가 작으면서 셀 사이즈가 작은 MTP 메모리가 요구된다. 기존의 double poly EEPROM 셀은 사이즈가 작지만 3~5 장 정도의 추가 공정 마스크가 요구되고, FN 터널링 방식의 single poly EEPROM 셀은 셀 사이즈가 큰 단점이 있다. 본 논문에서는 vertical PIP 커패시터를 사용한 110nm MTP 셀을 제안하였다. 제안된 MTP 셀의 erase 동작은 FG와 EG 사이의 FN 터널링을 이용하였고 프로그램 동작은 CHEI 주입 방식을 사용하므로 MTP 셀 어레이의 PW를 공유하여 MTP 셀 사이즈를 1.09 μm^2 으로 줄였다. 한편 USB type-C 등의 응용에서 요구되는 MTP 메모리 IP는 2.5V ~ 5.5V의 넓은 전압 범위에서 동작하는 것이 필요하다. 그런데 VPP 전하펌프의 펌핑 전류는 VCC 전압이 최소인 2.5V일 때 가장 낮은 반면, 리플 전압은 VCC 전압이 5.5V일 때 크게 나타난다. 그래서 본 논문에서는 VCC detector 회로를 사용하여 ON되는 전하펌프의 개수를 제어하여 VCC가 높아지더라도 펌핑 전류를 최대 474.6 μA 로 억제하므로 SPICE 모의실험을 통해 VPP 리플 전압을 0.19V 이내로 줄였다.

Abstract MCU used in applications such as wireless chargers and USB type-C require MTP memory with a small cell size and a small additional process mask. Conventional double poly EEPROM cells are small in size, but additional processing masks of about 3 to 5 sheets are required, and FN tunneling type single poly EEPROM cells have a large cell size. In this paper, a 110nm MTP cell using a vertical PIP capacitor is proposed. The erase operation of the proposed MTP cell uses FN tunneling between FG and EG, and the program operation uses CHEI injection method, which reduces the MTP cell size to 1.09 μm^2 by sharing the PW of the MTP cell array. Meanwhile, MTP memory IP required for applications such as USB type-C needs to operate over a wide voltage range of 2.5V to 5.5V. However, the pumping current of the VPP charge pump is the lowest when the VCC voltage is the minimum 2.5V, while the ripple voltage is large when the VCC voltage is 5.5V. Therefore, in this paper, the VPP ripple voltage is reduced to within 0.19V through SPICE simulation because the pumping current is suppressed to 474.6 μA even when VCC is increased by controlling the number of charge pumps turned on by using the VCC detector circuit.

Key Words : MTP IP, VPP charge pump, MTP cell, VCC detector, Ripple voltage

1. 서론

MCU(Micro Controller Unit) 등에서는 40ns 이하

의 고속의 읽기 동작이 가능하면서 테스트 시간을 줄이기 위한 고속의 쓰기동작 특성을 가진 EEPROM이나 Flash 메모리 IP(Intellectual Property)같은 비휘발성

This research is financially supported by Changwon National University in 2019~2020.

*Department of Electronic Engineering, Changwon National University.

**SK hynix system ic INC.

Received January 03, 2020

Revised February 14, 2020

Accepted February 17, 2020

메모리가 요구되고 있다[1-7]. Wireless charger, USB type-C 등의 응용에서 사용되는 반도체 칩에서는 MCU 용 EEPROM 메모리 IP가 요구된다[6-8].

표 1. EEPROM 셀의 특성 비교.

Table 1. Property comparison of EEPROM cell.

Reference No.	Process Technology	Cell Size	Erase 방식	Program 방식	Erase Time	Program Time	Data Endurance
[9]	0.13 μm BCD	0.97 μm^2	FN	FN	2ms	2ms	10K
[10]	0.13 μm BCD	33 μm^2	FN	FN	10ms	10ms	100
[11]	0.13 μm CMOS	7.37 μm^2	FN	CHE	100ms	20ms	10K
[12]	0.18 μm Logic	2 μm^2	BTBT	CHE	100ms	10ms	수 100K
This work	110nm LPF	1.09 μm^2	FN	CHE	20ms	20 μs	10K

EEPROM 셀은 전하를 저장하는 storage layer 가 있는 FG(Floating Gate)인 FG 소자가 많이 사용되며, 성능과 전력소모 특성이 우수한 2T FG EEPROM 셀이 많이 사용되고 있다. 한편 2T FG EEPROM 셀인 split gate EEPROM cell을 사용하는 double poly EEPROM 셀은 발표되었으며, erase와 program 방식이 FN(Fowler-Nordheim) 터널링 방식이지만 EEPROM cell의 coupling 커패시터로 vertical PIP 커패시터의 double poly EEPROM 셀 구조이므로 셀 사이즈는 0.97 μm^2 로 작다[8-9]. 참고문헌 [10]의 single poly EEPROM 셀은 참고문헌 [9]의 double poly EEPROM 셀과 마찬가지로 positive 펌핑 전압인 VPP와 negative 펌핑 전압인 VNN 전압을 이용하여 FN 터널링 방식의 erase와 program 동작을 수행한다. 한편 프로그램 동작이 이루어지는 셀의 coupling 커패시터를 형성하는 PW(P-Well)과 TG_SENSE 트랜지스터를 형성하는 PW는 각각 VPP와 VNN 전압을 인가하고, erase 동작이 이루어지는 셀의 coupling 커패시터를 형성하는 PW와 TG_SENSE 트랜지스터를 형성하는 PW는 각각 VNN과 VPP 전압을 인가하여야 하므로 single poly EEPROM 셀 어레이의 DNW(Deep N-Well) 안에서 coupling 커패시터와 TG_SENSE 트랜지스터의 PW는 서로 분리시켜야 하므로 셀 사이즈가 33 μm^2 로 크다[10]. 한편 single poly EEPROM의 셀 사이즈를 줄이기 위해서는 동일한 PW 안에 소자를 형성하는 것이 필요하다. 동일한 PW 안에

소자를 형성하는 single poly EEPROM셀은lateral MIP(Metal-Insulator-Polysilicon) 커패시터를 사용하면서 FG EEPROM 셀을 프로그램하기 위해 CHE(Channel Hot Electron Injection) 방식을 사용하여 PW를 GND로 바이어싱 한다[11]. Coupling ratio를 0.815로 유지하기 위해서는 lateral MIP 커패시터가 차지하는 면적이 크므로 셀 사이즈는 7.37 μm^2 로 크다. Erase는 BTBT(Band-To-Band Tunneling) 방식을 사용하고 프로그램은 HCI 방식을 사용하는 merged MOS 커패시터를 갖는 MTP 셀[12]이 제안되었으며, PW는 GND로 바이어싱 하므로 분리된 PW이 필요 없으므로 셀 사이즈를 줄일 수 있지만 merged MOS커패시터를 PW에 형성해야 하므로 셀 사이즈를 줄이는데 한계가 있다. 한편 USB type-C 등의 응용에서 요구되는 MTP 메모리 IP는 2.5V ~ 5.5V의 넓은 전압 범위에서 동작하는 것이 필요하다. 그런데 VPP 전하 펌프의 펌핑 전류는 VCC 전압이 최소인 2.5V일 때 가장 낮은 반면, 리플 전압(ripple voltage)은 VCC 전압이 5.5V일 때 크게 나타나는 문제점이 있다. 만약 32비트 프로그램에 320 μA 이상의 VPP 펌핑 전류가 요구되는 경우 기존의 VPP 전하펌프의 리플 전압은 5.5V의 VCC에서 SPICE 모의실험 결과 0.85V로 너무 높게 나타난다. 2.5V ~ 5.5V의 넓은 전압 범위에서 endurance와 retention 특성을 guarantee하기 위해서 VPP 전하펌프의 리플 전압은 가능하면 3% 이내로 억제하는 것이 필요하다.

본 논문에서는 하이닉스 110nm 공정을 이용하여 커플링 커패시터를 형성하기 위하여 vertical PIP 커패시터를 사용한 MTP 셀을 제안하였으며, erase 동작은 FG와 PW 사이의 FN 터널링 대신 FG와 EG 사이의 FN 터널링을 이용하였고 프로그램 동작은 CHE 주입 방식을 사용하므로 MTP 셀 어레이의 PW(=0V)을 공유하여 MTP 셀 사이즈를 1.09 μm^2 으로 줄였다. 그리고 제안된 MTP 셀을 사용하여 설계된 512Kb MTP IP에서는 VCC detector 회로를 사용하여 ON되는 VPP 전하 펌프의 개수를 제어하는 회로를 제안하므로 VCC가 높아 지더라도 2.5V ~ 5.5V의 넓은 VCC 전압 범위에서 VPP 펌핑 전류를 최대 474.6 μA 로 억제하였다. ON되는 VPP 전하 펌프의 개수를 제어하는 제안된 회로를 사용

하여 VPP 펌핑 전류를 억제하므로 리플 전압을 0.19V 이내로 줄일 수 있다.

2. 회로 설계

하이닉스 시스템아이씨에서 제안된 vertical PIP 커패시터를 사용한 MTP 셀은 셀 사이즈를 줄이기 위해 커플링 커패시터로 단위 면적당 커패시턴스가 큰 vertical PIP 커패시터를 사용하여 커플링 커패시터를 구현하므로 커플링 커패시터가 차지하는 면적을 줄였으며, 110nm CMOS 양산 공정 기반의 MTP 셀 레이아웃에서 PIP 패턴에 관련된 DR(Design Rule)은 1.5V LV(Logic Voltage) 소자 rule을 적용했고 PIP 공정은 5V MV(Medium Voltage) 공정 기술을 사용하여 소자/공정 관점에서 violation이 없도록 하였다. 그리고 FG MTP 셀의 프로그램 동작은 CHEI 방식을 사용하여 electron injection 시키고, erase 동작은 FG와 n+ junction 사이의 overlap된 gate oxide의 FN 터널링을 이용하여 FG에 있는 electron을 소거하므로 program과 erase 동작이 이루어질 때 PW를 p-substrate 전압과 동일한 전압인 GND로 바이어싱하므로 동일한 PW 안에 MTP 셀 어레이 소자를 형성하여 분리된 PW를 사용하는 경우보다 셀 사이즈를 줄일 수 있다. 그래서 제안된 MTP 셀 사이즈는 1.09 μm^2 이다.

그림 1은 하이닉스 시스템아이씨에서 제안된 2행 \times 2열 MTP 셀 어레이의 셀 레이아웃 이미지를 보여 주고 있다. MTP 셀은 행 방향으로 CG(Control Gate), SG(Select Gate), SL(Source Line)이 라우팅 되고, 열 방향으로 BL(Bit-Line)과 EG(Erase Gate) 신호가 라우팅 된다. 본 논문에서 사용한 MTP 셀은 그림 2에서 보는바와 같이 5V의 CG PIP 커패시터(C1), EG gate oxide 커패시터(C2), FG MOS 트랜지스터(MN1)와 over-erase 되었을 때 BL에서의 off-leakage 전류를 줄이기 위한 select 트랜지스터(MN2)로 구성되어 있다. 그리고 MTP 셀에 사용된 FG MOS 트랜지스터, select 트랜지스터와 EG n+ junction의 PW은 공유되어 있다.

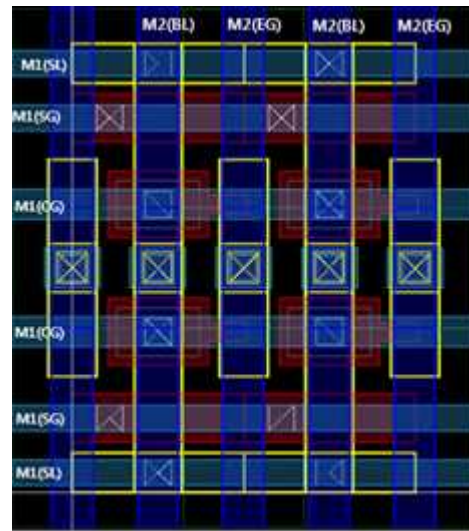


그림 1. 2행 \times 2열 셀 어레이의 하이닉스 MTP 셀 레이아웃 이미지.
Fig. 1. Layout image of 2 \times 2 Hynix MTP cell.

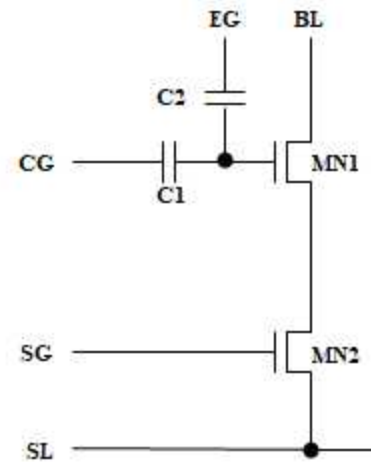


그림 2. MTP 셀의 등가회로도.
Fig. 2. Equivalent circuit of MTP cell.

표 2는 MTP 셀의 동작 모드별 바이어스 전압 조건을 보여주고 있다. Erase 모드는 erase time을 줄이기 위해 한 행(row)에 연결된 1024비트의 셀에 해당되는 한 페이지를 한꺼번에 erase하는 page erase 방식을 사용하였다. Page erase 모드에서 선택된 page row에 연결된 셀의 CG, SG, SL, BL, EG, PW 전압은 각각 -7.5V, 0V, 0V, 0V, 7.5V와 0V의 전압을 바이어싱 하면 한 row에 연결

된 모든 셀의 FG에 있는 electron은 EG 노드로 소거되면서 erase된 셀의 FG MOS 트랜지스터인 MN1의 문턱전압(threshold voltage)인 VTE는 -0.5V 정도 된다. 한편 프로그램 모드에서는 32비트씩 프로그램을 수행하며, CG, SG, SL, BL, EG, PW 전압은 각각 5V, 2.5V, 0V, 7.5V, 0V와 0V의 전압을 바이어싱 하면 HCI에 의해 선택된 셀의 FG로 electron이 주입되면서 프로그램된 셀의 FG MOS 트랜지스터인 MN1의 문턱전압인 VTP는 4V 정도 된다. 한편 read 모드에서 CG, SG, SL, EG, PW 전압은 각각 1.5V, 5V, 0V, 0V와 0V의 전압을 바이어싱 하고 BL 전압을 VDD-V_T로 프리차징 하면 erase된 셀의 BL에 0V 가까이 떨어지는 반면, 프로그램 된 셀은 VDD-V_T로 유지된다.

표 2. MTP 셀의 동작모드별 셀 바이어스 조건.
Table 2. Cell bias conditions according to MTP cell operating mode.

Mode	Cell State	CG	SG	SL	BL	EG	PW
Byte PGM (HCI)	Selected Row / Selected Column	5V	2.5V	0V	7.5V	0V	0V
	Selected Row / Unselected Column	5V	2.5V	0V	0V	0V	0V
	Unselected Row / Selected Column	0V	0V	0V	7.5V	0V	0V
	Unselected Row / Unselected Column	0V	0V	0V	0V	0V	0V
Page ERS (FN)	Selected Page	-7.5V	0V	0V	0V	7.5V	0V
	Unselected Page	0V	0V	0V	0V	7.5V	0V
Read	Selected Row / Selected Column	1.5V	5V	0V	1.5V	0V	0V
	Selected Row / Unselected Column	1.5V	5V	0V	0V	0V	0V
	Unselected Row / Selected Column	0V	0V	0V	1.5V	0V	0V
	Unselected Row / Unselected Column	0V	0V	0V	0V	0V	0V

설계된 512Kb MTP 메모리 IP의 주요 특징은 표 3과 같다. 사용되는 전압은 VCC와 VDD(=1.5V)의 dual power를 사용하고 있고 VCC 전압은 2.5V~5.5V의 넓은 동작 전압 범위를 가진다. 동작 모드는 정상동작 모드로 read 모드, page erase 모드, 프로그램 모드가 있으며, write-verify-read 모드로 erase-verify-read와 program-verify-read 모드가 있다. MTP 셀 어레이는 512행 × 1,024열로 구성되어 있으며, read, page erase, 프로그램 동작은 각각 32bit, 1Kbit, 32bit 단위로 수행된다. 한편 erase time, program time과 read access time은 각각 20ms, 20μs와 40ns이다.

표 3. 512Kb MTP IP의 주요 특징.
Table 3. Major specifications of 512Kb MTP IP.

Items	Main Features	
Supply Voltage	VCC	2.5V ~ 5.5V
	VDD	1.35V ~ 1.65V
Function	Normal Mode	Read / Page Erase / Program
	Write-Verify-Read	Erase-Verify-Read / Program-Verify-Read
	Others	All Erase / Cell V _T Measuring
Memory Density	512Kb	
Cell Array	512Rows x 1024Columns	
I/O	32bit	
Temperature Range	-40~125℃	
Erase Time	20ms	
Program Time	20μs	
Access Time	40ns	
Endurance	10K Cycles	
Data Retention	10Years	

표 2의 동작모드별 셀 바이어스 전압을 공급하기 위해서는 표 4에서 보는바와 같이 voltage regulator로 VRD(Read Voltage), voltage follower 회로를 이용한 VCP와 VEV(Erase-Verify-Read Voltage), positive charge pump 회로로 VPP(Boosted Voltage), V5V(5VPower), VPVR (Program-Verify-Read Voltage), negative charge pump 회로로 VNN(Negative Voltage)와 VNNL(Lower VNN) 발생 회로가 필요하다.

표 4. 동작모드별 DC-DC 변환기의 전압원 출력전압 및 회로 종류.
Table 4. Output voltages and circuits of DC-DC convert according to operating mode.

Voltage Source	Page Erase	Program	Read	PVR	EVR	회로
VRD	2.5V	2.5V	1.5V	1.5V	1.5V	Voltage Regulator
VCP	1.25V	1.25V	VCC	VCC	VCC	Voltage Follower
VEVR	0V	0V	0V	0V	1V	Voltage Follower
VPP	7.5V	7.5V	VCC	VCC	VCC	Charge Pump
V5V	5V	5V	5V	5V	5V	Charge Pump
VPVR	VRD	VRD	VRD	3V	3V	Charge Pump
VNN	-7.5V	0V	0V	0V	0V	Charge Pump
VNNL	-2.5V	0V	0V	0V	0V	Charge Pump

표 3에서 보는바와 같이 program 모드에서는 선택되는 BL에 7.5V의 전압이 필요하고 page erase 모드에서도 모든 EG 노드에 7.5V의 전압이 필요하다. 그런데 7.5V 전압은 외부 전압원인 VCC보다 더 높은 전압이고 32비트의 셀을 HCI 방식으로 프로그램하기 위해서는 셀당 5μs의 전류를 고려하면 160μs 이상의 구동전류가 요구된다. VCC 전압

보다 더 높은 전압인 VPP 부스팅 전압을 위한 DC-DC 변환기는 PWM(Pulse Width Modulation) 방식과 전하 펌핑 방식이 가능하며 [13], 요구되는 구동 전류가 설계 마진을 고려하여 320 μ A로 작은 경우 전하 펌핑 방식이 작은 레이아웃 면적으로 설계가 가능하므로 본 논문에서는 그림 3 과 같은 전하 펌핑 방식의 VPP 전하 펌프 회로를 사용할 수 있다. 그림 3의 전하 펌핑 방식의 링 발진기(ring oscillator)는 8개의 oscillation 신호 OSC[7:0]를 출력하며, 2-위상 cross-coupled 단위 전하 펌프 회로[13-14]를 사용하므로 전하 펌핑 시 VCC 공급전압원의 peak 전류를 줄여 전자파 간섭(EMI) 특성을 낮출 수 있다[13]. 그런데 그림 3에서 사용된 링 발진기의 발진 주기가 길어서 8개의 OSC[7:0]를 출력할 수 있지만 MTP IP에 사용되는 VPP 전하 펌프의 펌핑 전류는 설계 마진을 고려하여 320 μ A 이상을 목표로 설계하는 경우는 VCC=5.5V, FF(Fast NMOS, Fast PMOS) 모델 파라미터, Temp.=-40 $^{\circ}$ C에서 발진 주기가 15.7ns로 짧으므로 8개의 OSC 출력 신호를 만들 수는 없고 90도 위상차를 갖는 OSC_T와 OSC_B 신호를 만들어 설계할 수 있다. 각각의 OSC_T와 OSC_B 신호는 4-stage VPP 전하 펌프 회로에 연결된다.

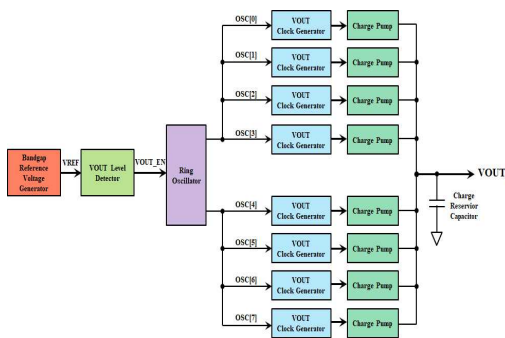


그림 3. 전하 펌핑 방식을 이용한 DC-DC 변환기 블록도[13].
Fig. 3. DC-DC convert Block diagram in charge pump method [13].

그림 4는 4-stage VPP 전하 펌프 회로의 단위 전하펌프 회로를 보여주고 있으며, NMOS charge transfer 스위치(MN1, MN2), cross-coupled

PMOS charge transfer 스위치(MP1, MP2), body potential 바이어싱 회로(MP3, MP4, MP5, MP6), N0와 N3 노드를 VIN과 VIN+VCC 사이에 스위칭 기능을 하는 게이트 부스팅 회로(MN3, MN4, MC0, MC3)와 펌핑 커패시터 (MC1, MC2)로 구성되어 있다. 펌핑 커패시터는 5V의 isolated NMOS 트랜지스터를 사용하였다. 4개의 clock 신호(CLK0, CLK1, CLK2, CLK3)는 non-overlap clock 신호이며, VCC 전압으로 스위칭 한다. 그림 4의 전하 펌핑 회로는 한 주기 동안 CLK1과 CLK2의 rising edge에 한번 씩 전하 펌핑이 일어나는 2-위상 전하 펌핑 방식의 회로이다. 그래서 만약 90도 위상차가 OSC_T와 OSC_B가 각각 4-stage 전하 펌프 회로를 구동하게 되면 그림 5에서 보는 바와 같이 한주기 발진동안 전하를 4번 펌핑하는 4-위상 전하펌프로 동작하게 된다. 그런데 4-위상 4-stage VPP 전하 펌프를 사용하는 경우 VPP 전하 펌프의 펌핑 전류는 VCC 전압이 최소인 2.5V일 때 320 μ A의 펌핑 전류를 만족하도록 설계하여야 한다. 만약 2.5V의 VCC에서 320 μ A의 펌핑 전류를 만족하도록 설계하면 5.5V의 VCC에서는 1.9mA로 너무 높게 공급되므로 리플 전압은 SPICE 모의실험 결과 0.85V로 너무 높게 나타난다. 따라서 VPP 리플 전압은 VCC 전압이 5.5V일 때 크게 나타난다.

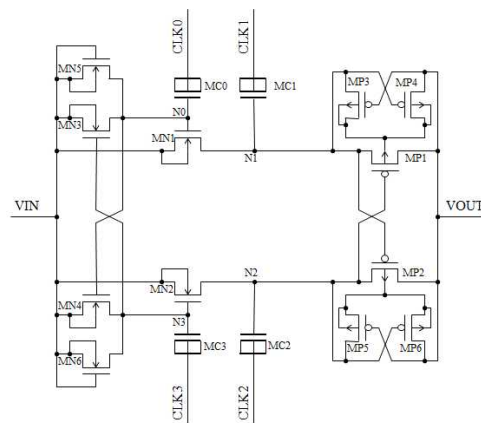


그림 4. 4-stage 전하펌프 회로에 사용된 단위 전하 펌프 회로[15].
Fig. 4. Unit charge pump circuit in 4-stage charge pump circuit [15].

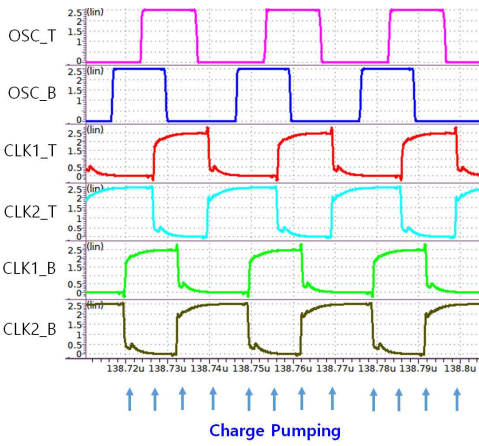


그림 5. 4-위상 전하 펌핑의 모의실험 결과 파형.
Fig. 5. Simulation results of 4-phase charge pumping.

그림 6은 본 논문에서 제안한 VCC detector 회로를 사용한 VPP 전압 발생기 회로의 블록도를 보여주고 있다. VPP 전압 발생기 회로는 VCC detector 회로, 8개의 4-stage VPP 전하 펌프 회로, VPP level detector, 링 발진기(ring oscillator)와 VPP 프리차징 회로로 구성되어 있다. VPP level detector는 VPP 전압을 1/5로 전압 분배한 전압인 VPP_DIV 전압과 $VREF_VPP(=1.5V)$ 를 비교하여 VPP 전압이 7.5V보다 낮은 경우는 OSC_EN이 VDD가 되어 링 발진기의 발진(oscillation)에 의해 4-stage VPP 전하 펌프 회로의 펌핑에 의해 VPP 전압을 부스팅한다. 그림 6의 4-stage VPP 전하 펌프 회로의 단위 전하 펌프 회로는 그림 4의 회로가 사용되었으며, 단위 전하 펌프 회로만 보면 OSC 신호의 rising과 falling edge에 positive 전하를 펌핑하므로 2-위상 전하 펌핑 방식이다. VPP 발생기 회로에서 TOP/BOTTOM에 있는 각각의 4개의 4-stage VPP 전하 펌프 회로 중 각각 1개씩은 항상 ON되어 있으며, 그림 7의 VCC detection 결과에 따라 표 5에서 보는바와 같이 2.4V까지는 8개, 2.5V는 7개, 2.6V는 6개, 2.9V까지는 5개, 3.3V까지는 4개, 4.1V까지는 3개, 그리고 나머지 5.5V까지는 2개의 4-stage VPP 전하 펌프만 ON된다. 그림 7은 6개의 출력을 갖는 Flash A/D 변환기를 이용한 VCC detector 회로를 보여주고 있으며, 그림 6에서 보여지는 8개의 4-stage VPP 전하펌프 회로 중 ON되는 전하펌프의 개

수를 제어하는 회로이다.

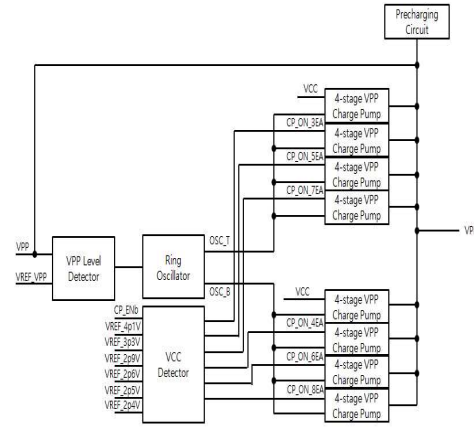


그림 6. VCC detector를 포함하는 VPP 발생기 회로의 블록도.
Fig. 6. Block diagram of VPP generator circuit including VCC detector.

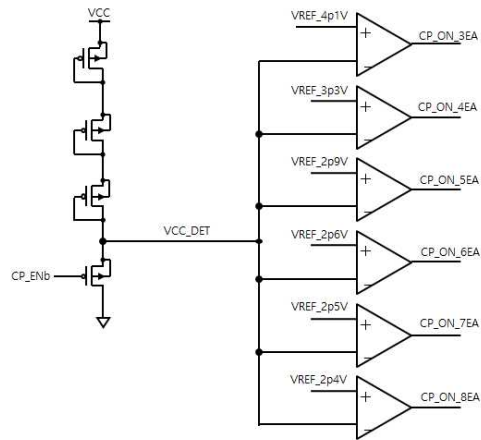


그림 7. VCC detector 회로.
Fig. 7. VCC detector circuit.

표 5. VCC에 따른 VPP 전하펌프 ON 개수.
Table 5. ON numbers of VPP charge pump according to VCC.

VCC	CP_ON_3EA	CP_ON_4EA	CP_ON_5EA	CP_ON_6EA	CP_ON_7EA	CP_ON_8EA	CP 개수
2.2V	VCC	VCC	VCC	VCC	VCC	VCC	8
2.3V	VCC	VCC	VCC	VCC	VCC	VCC	8
2.4V	VCC	VCC	VCC	VCC	VCC	VCC	8
2.5V	VCC	VCC	VCC	VCC	VCC	0V	7
2.6V	VCC	VCC	VCC	VCC	0V	0V	6
2.7V	VCC	VCC	VCC	0V	0V	0V	5
2.8V	VCC	VCC	VCC	0V	0V	0V	5
2.9V	VCC	VCC	VCC	0V	0V	0V	5
3.0V	VCC	VCC	0V	0V	0V	0V	4
3.1V	VCC	VCC	0V	0V	0V	0V	4
3.2V	VCC	VCC	0V	0V	0V	0V	4
3.3V	VCC	VCC	0V	0V	0V	0V	4
3.4V	VCC	0V	0V	0V	0V	0V	3
3.5V	VCC	0V	0V	0V	0V	0V	3
3.6V	VCC	0V	0V	0V	0V	0V	3
3.7V	VCC	0V	0V	0V	0V	0V	3
3.8V	VCC	0V	0V	0V	0V	0V	3
3.9V	VCC	0V	0V	0V	0V	0V	3
4.0V	VCC	0V	0V	0V	0V	0V	3
4.1V	VCC	0V	0V	0V	0V	0V	3
4.2V	0V	0V	0V	0V	0V	0V	2
4.3V	0V	0V	0V	0V	0V	0V	2
4.4V	0V	0V	0V	0V	0V	0V	2
4.5V	0V	0V	0V	0V	0V	0V	2
4.6V	0V	0V	0V	0V	0V	0V	2
4.7V	0V	0V	0V	0V	0V	0V	2
4.8V	0V	0V	0V	0V	0V	0V	2
4.9V	0V	0V	0V	0V	0V	0V	2
5.0V	0V	0V	0V	0V	0V	0V	2
5.1V	0V	0V	0V	0V	0V	0V	2
5.2V	0V	0V	0V	0V	0V	0V	2
5.3V	0V	0V	0V	0V	0V	0V	2
5.4V	0V	0V	0V	0V	0V	0V	2
5.5V	0V	0V	0V	0V	0V	0V	2

그림 8은 설계된 512Kb MTP 메모리 IP의 레이아웃 면적은 1238.125 μm^2 × 1064.3 μm^2 (=1.318 mm^2)이다.

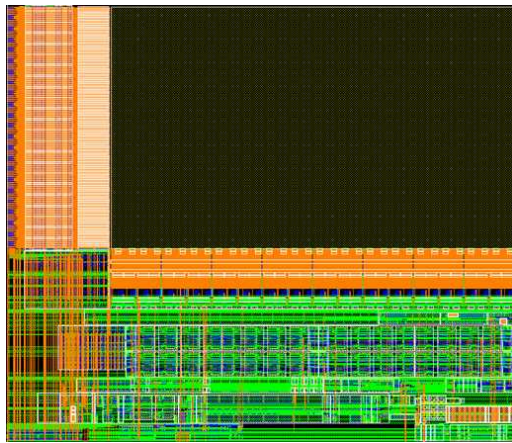


그림 8. 설계된 512Kb MTP 메모리 IP의 레이아웃 이미지.
Fig. 8. Layout image of the designed 512Kb MTP memory IP.

3. 모의실험 결과

표 6은 Temp.=25 $^{\circ}\text{C}$, typical 모델 파라미터의 모의 실험 조건에서 VCC별 4-stage VPP 전하 펌프의 펌핑

전류, ON되는 전하 펌프 개수 및 total VPP 펌핑 전류를 비교한 것이다. 4-stage VPP 전하펌프의 펌핑 전류는 VCC가 증가할수록 증가하는 반면, VCC가 증가할수록 ON되는 펌핑 전류를 조절하여 total 펌핑 전류가 320 μA 이상을 만족하도록 설계하였다. 그래서 VCC가 높아지더라도 total VPP 펌핑 전류는 표 6에서 보는바와 같이 최대 474.6 μA 로 억제하였다.

표 6. VCC별 4-stage 전하 펌프의 펌핑 전류, ON되는 전하 펌프 개수 및 total VPP 펌핑 전류 비교.

Table 6. Pumping current of 4-stage charge pump by VCC, number of charge pumps turned on and comparison of total VPP pumping current.

VCC	Unit CP의 Pumping Current	CP ON개수	Total pumping current
2.2V	37.44 μA	8	299.52 μA
2.3V	44.40 μA	8	355.20 μA
2.4V	51.30 μA	8	410.40 μA
2.5V	58.16 μA	7	407.12 μA
2.6V	64.98 μA	6	389.88 μA
2.7V	71.79 μA	5	358.95 μA
2.8V	78.58 μA	5	392.90 μA
2.9V	85.33 μA	5	426.65 μA
3.0V	92.03 μA	4	368.12 μA
3.1V	98.71 μA	4	394.84 μA
3.2V	105.40 μA	4	421.60 μA
3.3V	112.00 μA	4	448.00 μA
3.4V	118.60 μA	3	355.80 μA
3.5V	125.20 μA	3	375.60 μA
3.6V	131.70 μA	3	395.10 μA
3.7V	138.10 μA	3	414.30 μA
3.8V	144.50 μA	3	433.50 μA
3.9V	150.70 μA	3	452.10 μA
4.0V	156.90 μA	3	470.70 μA
4.1V	162.90 μA	3	488.70 μA
4.2V	168.70 μA	2	337.40 μA
4.3V	174.20 μA	2	348.40 μA
4.4V	179.30 μA	2	358.60 μA
4.5V	184.40 μA	2	368.80 μA
4.6V	189.50 μA	2	379.00 μA
4.7V	194.60 μA	2	389.20 μA
4.8V	199.80 μA	2	399.60 μA
4.9V	205.20 μA	2	410.40 μA
5.0V	210.50 μA	2	421.00 μA
5.1V	215.80 μA	2	431.60 μA
5.2V	221.20 μA	2	442.40 μA
5.3V	226.60 μA	2	453.20 μA
5.4V	232.00 μA	2	464.00 μA
5.5V	237.30 μA	2	474.60 μA

그림 9는 Temp.=25 $^{\circ}\text{C}$, typical 모델 파라미터의 모의실험 조건에서 기존의 VPP 전하 펌프 회로와 제안된 VPP 전하펌프 회로의 VCC별 리플전압을 비교한 결과를 보여주고 있다. VCC detector 회로를 사용한 제안된 VPP 전하 펌프 회로는 ON되는 4-stage VPP 전하 펌프 개수를 조절하여 최대 VPP 펌핑 전류를 474.6 μA 로 억제하므로 VPP 리플 전압은 그림 9에서 보는바와 같이 기존 VPP 전하 펌프 회로의 0.85V보다 낮은 0.19V 정도로 양호한 리플전압 특성을

보여주고 있다.

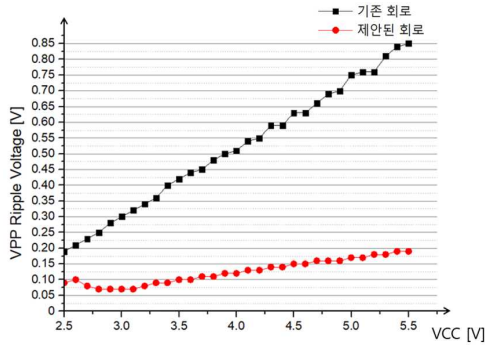


그림 9. VPP 전하 펌프 회로의 VCC별 리플전압 비교.
Fig. 9. Comparison of VPP ripple voltages in VPP charge pumping circuit.

4. 결론

Wireless charger, USB type-C 등의 응용에서 사용되는 MCU 칩에서는 추가공정이 작게 요구되고 셀 사이즈가 작은 EEPROM이나 MTP 셀이 요구된다. 그리고 VPP 전하펌프의 리플 전압은 2.5V ~ 5.5V의 넓은 전압 범위에서 endurance와 retention 특성을 guarantee하기 위해 3% 이내로 억제하는 것이 필요하다.

본 논문에서는 커플링 커패시터로 단위 면적당 커패시턴스가 큰 vertical PIP 커패시터를 사용하여 커플링 커패시터를 구현하므로 커플링 커패시터가 차지하는 면적을 줄이고 MTP 셀 어레이의 PW를 공유하여 MTP 셀 사이즈를 $1.09\mu\text{m}^2$ 으로 줄인 MTP 셀을 제안하였다. Wireless charger, USB type-C 등에 사용되는 MCU 칩의 MTP 셀로서 한 장의 추가 마스크를 사용하면서 MTP 셀 사이즈가 작으므로 대용량 MTP IP 설계에서 원가경쟁력을 확보할 수 있다. 또한 VCC detector 회로를 사용하여 ON되는 VPP 전하 펌프의 개수를 제어하는 회로를 제안하므로 VCC가 높아지더라도 2.5V ~ 5.5V의 넓은 VCC 전압 범위에서 VPP 펌프 전류를 최대 $474.6\mu\text{A}$ 로 억제하므로 VPP 리플 전압을 VPP 목표전압인 7.5V의 3% 이내인 0.19V 이내로 줄일 수 있었다.

하이닉스 시스템아이씨 CMOS 공정을 기반으로 설

계된 512Kb MTP 메모리 IP의 레이아웃 면적은 $1238.125\mu\text{m} \times 1064.3\mu\text{m}$ ($=1.318\mu\text{m}^2$)이다. 한편 제안된 vertical PIP 커패시터를 사용한 110nm CMOS 공정 기반의 MTP 셀 관련 PIP 패턴에 관련된 DR은 1.5V LV 소자 rule을 적용했고 PIP 공정은 5V MV 공정 기술을 사용하여 소자/공정 관점에서 violation이 없도록 하였으며, 향후 110nm CMOS 공정을 통해 vertical PIP 커패시터를 사용한 MTP 셀과 설계된 512Kb MTP IP의 전기적인 특성을 검증할 계획이다.

REFERENCES

- [1] F. Xu, X. Q. He, L. Zhang, "Key Design Techniques of A 40ns 16K Bits Embedded EEPROM Memory", *2004 International Conference on Communications, Circuits and Systems*, vol. 2, pp. 1516-1520, June 2004.
- [2] A. Conte, G. L. Gudiceo, G. Palumbo, A. Signorello, "A High-Performance Very Low-Voltage Current Sense Amplifier for Nonvolatile Memory", *IEEE J. Solid-State Circuits*, vol. 40, no. 2, pp. 507-514, Feb. 2005.
- [3] H. Hidaka, "Embedded Flash Memory for Embedded Systems: Technology, Design for Sub-systems, and Innovations," *Springer International Publishing*, 2017.
- [4] M. Hatanaka *et al.*, "Value Creation in SOC/MCU Applications by Embedded Non-Volatile Memory Evolutions," *Asian Solid State Circuits Conference*, pp. 38-42, Nov. 2007.
- [5] G. S. Cho, *et al.*, "Design of a Small-Area Low-Power, and High-Speed 128-KBit EEPROM IP for Touch Screen Controllers," *Journal of KIIC*, vol. 13, no. 12, pp. 2633-2640, Dec. 2009.
- [6] Heon Park *et al.*, "Design of a Cell Verification Module for Large-Density EEPROMs," *JKIIECT*, vol. 10, no. 2, pp.

176-183, Oct. 2017.

[7] Y. H. Kim et al., "Design of an Embedded Flash IP for USB Type-C Applications," *JKIIECT*, vol. 12, no. 3, pp. 312-320, June 2019.

[8] Y. H. Kim et al., "Design of 40ns 512Kb EEPROM IP," *Proceedings of the 4th ICIECT 2018*, pp. 245-246, July 2018.

[9] Y. H. Kim et al., "Study on Memory Circuit Structure Analysis," *ETRI Report*, Oct. 2017.

[10] Y. K. Ha et al., "Design of Zero-Layer FTP Memory IP," *JKIIECT*, vol. 11, no. 6, pp. 742-750, Dec. 2018.

[11] Chih-Ping, Chung and Kuei-Shu Chang-Liao. "A highly scalable single poly-silicon embedded electrically erasable programmable read only memory with tungsten control gate by full CMOS process." *IEEE Electron Device Letters*, vol. 36, no. 4, pp. 336-338, Feb. 2015.

[12] Y. Roizin et al., "High density MTP logic NVM for power management applications," *IEEE International memory workshop*, pp. 1-2, June 2009.

[13] J. S. Hu et al., "A DC-DC Converter IP Design using a Multi-Phase Charge Pumping Scheme," *ITC-CSCC*, pp. 539-542, 2004.

[14] P. Favrat, "A High-Efficiency CMOS Voltage Doubler", *IEEE JSSC*, vol. 33, no. 3, pp. 410-416, Mar. 1998.

[15] G. H. Lim et al., "Charge pump design for TFT-LCD driver IC using stack-MIM capacitor," *IEICE Trans on Electronics*, vol. E91-C, no. 6, pp. 928-935, June 2008.

저자약력

김 영 희 (Young-Hee Kim) [중신회원]



- 1989년 2월 : 경북대학교 전자공학과 (공학사)
- 1997년 2월 : 포항공과대학교 전기전자공학과 (공학석사)
- 2000년 8월 : 포항공과대학교 전기전자공학과 (공학박사)
- 1989년 1월 ~ 2001년 2월 : 현대전자 책임연구원
- 2001년 3월 ~ 현재 : 창원대학교 전자공학과 교수

〈관심분야〉 메모리 IP 설계, SoC 설계

차 재 한 (Jae-Han Cha) [정회원]



- 1992년 : 부산대학교 물리학과 (학사)
- 1996년 : 부산대학교 물리학과 (석사)
- 1996년 ~ 2011년 : 현대전자, 하이닉스, 매그나칩반도체, 책임연구원
- 2012년 ~ 2017년 : GF 수석연구원
- 2017년 ~ 현재 : 하이닉스시스템 아이씨 수석연구원

〈관심분야〉 eNVM 소자기술개발, Power IC 소자개발 CMOS Device개발

김 홍 주 (Hongzhou Jin) [학생회원]



- 2017년 6월 : 연변대학교 전자정보통신학과 (공학사)
- 2017년 9월 ~ 현재 : 창원대학교 전자공학과 석·박사과정

〈관심분야〉 NVM IP 설계

이 도 규 (Do-Gyu Lee)

[학생회원]



- 2018년 2월 : 창원대학교 전자공학과 (공학사)
- 2018년 3월 ~ 현재 : 창원대학교 전자공학과 석사과정

〈관심분야〉 NVM IP 설계

하 판 봉 (Pan-Bong Ha)

[종신회원]



- 1981년 2월 : 부산대학교 전기공학과 (공학사)
- 1983년 2월 : 서울대학교 전자공학과 (공학석사)
- 1993년 2월 : 서울대학교 전자공학과 (공학박사)
- 1987년 3월 ~ 현재 : 창원대학교 전자공학과 교수

〈관심분야〉 임베디드 시스템, SoC 설계

박 무 훈 (Mu-Hun Park)

[종신회원]



- 1990년 2월 : 경북대학교 전자공학과 (공학사)
- 1993년 3월 : 일본 東北대학교 전기통신공학과 (공학석사)
- 1996년 3월 : 일본 東北대학교 전기통신공학과 (공학박사)
- 창원대학교 전자공학과 교수

〈관심분야〉 신호처리, NVM IP 설계