

비대칭형 무접합 이중게이트 MOSFET에서 산화막 두께와 문턱전압이동 관계

Relationship of Threshold Voltage Roll-off and Gate Oxide Thickness in Asymmetric Junctionless Double Gate MOSFET

정 학 기*[★]

Hakkee Jung*[★]

Abstract

The threshold voltage roll-off for an asymmetric junctionless double gate MOSFET is analyzed according to the top and bottom gate oxide thicknesses. In the asymmetric structure, the top and bottom gate oxide thicknesses can be made differently, so that the top and bottom oxide thicknesses can be adjusted to reduce the leakage current that may occur in the top gate while keeping the threshold voltage roll-off constant. An analytical threshold voltage model is presented, and this model is in good agreement with the 2D simulation value. As a result, if the thickness of the bottom gate oxide film is decreased while maintaining a constant threshold voltage roll-off, the top gate oxide film thickness can be increased, and the leakage current that may occur in the top gate can be reduced. Especially, it is observed that the increase of the bottom gate oxide thickness does not affect the threshold voltage roll-off.

요 약

본 논문에서는 비대칭 무접합 이중게이트 MOSFET에 대한 문턱전압이동을 상단과 하단 게이트 산화막 두께에 따라 분석하였다. 비대칭 구조에서는 상단과 하단 게이트 산화막 두께를 달리 제작할 수 있으므로 문턱전압이동을 일정하게 유지하면서 상단 게이트에서 발생할 수 있는 누설전류를 감소시키기 위하여 상단과 하단 산화막 두께를 조절할 수 있다. 이를 위하여 해석학적 문턱전압 모델을 제시하였으며 이 모델은 2차원 시뮬레이션 값과 잘 일치하였다. 결과적으로 일정한 문턱전압이동을 유지하면서 하단 게이트 산화막 두께를 감소시키면 상단 게이트 산화막 두께를 증가시킬 수 있어 상단 게이트에서 발생할 수 있는 누설전류를 감소시킬 수 있을 것이다. 특히 하단 게이트 산화막 두께가 증가하여도 문턱전압이동에는 큰 영향을 미치지 않는다는 것을 관찰하였다.

Key words : asymmetric, junctionless, threshold voltage roll-off, oxide thickness, double gate

* Dept. of Electronic Engineering, Kunsan National University

★Corresponding author

E-mail : hkjung@kunsan.ac.kr, Tel : +82-63-469-4684

Manuscript received Mar. 6, 2020; revised Mar. 20, 2020; accepted Mar. 20, 2020.

Acknowledgment

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

최근 MOSFET 구조의 크기감소는 게이트 산화막 두께의 감소로 인한 게이트 누설전류의 증가와 더불어 문턱전압이동 등 단채널 효과의 확대 등으로 구조의 개선이 요구되고 있다[1]. 이와 같은 문제점을 개선하기 위하여 개발된 소자가 FinFET 등 다중 게이트 MOSFET이다[2-3]. FinFET 구조는 삼중 게이트 구조로서 핀구조의 채널 양측 및 상단에 게이트를 형성한 구조로서 삼성전자에서는 이

구조를 이용하여 10 nm 이하 채널길이를 갖는 트랜지스터를 제작하고 있다[4]. 다중 게이트 구조는 FinFET 뿐만이 아니라 게이트를 상하단에 제작하는 이중게이트(double gate; DG) 구조가 있으며 이 구조는 특히 대칭형 및 비대칭형에 대하여 연구되고 있다. 비대칭형의 경우 상단과 하단의 게이트 산화막 두께를 달리 제작할 수 있어 단채널 효과 및 게이트 누설전류 등을 제어할 수 있는 요소가 증가하는 장점이 있다. Liu 등은 FinFET에서 산화막 두께 변화에 대한 전류-전압특성을 관찰하였고 Ding 등은 비대칭 접합형 DGMOSFET에 대한 전위모델을 제시하였으며 Jiang 등은 단지 대칭형 무접합 이중게이트 구조에 대하여 단채널 효과를 분석하였다[5-7]. 그러므로 본 연구에서는 비대칭형 구조를 가진 무접합 이중게이트 MOSFET의 단채널 효과 중 문턱전압이동(Threshold voltage roll-off)에 대하여 상하단 게이트 산화막 두께의 변화가 미치는 영향을 채널길이 및 실리콘 두께를 파라미터로 고찰한다.

본 논문에서는 Ding의 비대칭 접합형 이중게이트 MOSFET의 전위모델을 수정하여 비대칭 무접합 이중게이트 MOSFET에서 사용할 수 있는 전위모델을 제시할 것이며 급수형태인 전위모델의 단지 첫 번째 항만을 사용하여 해석학적 문턱전압 모델을 제시하고 이의 타당성을 입증할 것이다[8]. 또한 채널 내 전하전송특성에 큰 영향을 미치는 채널 최소 전위의 변화를 상단과 하단 게이트 산화막 두께에 따라 분석함으로써 최소 전위와 문턱전압이동의 관계를 설명하고자 한다. 특히 트랜지스터 크기 감소로 발생하는 게이트 산화막 두께 감소로 인한 게이트 누설전류에 대하여 고찰함으로써 이에 대한 해결방안을 제시하고자 할 것이다.

II. 본론

1. 비대칭 무접합 DGMOSFET의 해석학적 문턱전압이동 모델

그림 1에 본 논문에서 사용한 비대칭 무접합 DGMOSFET의 개략도를 도시하였다. 소스와 드레인 단자는 n^+ 로 고농도 도핑하였으며 채널은 $N_d = 10^{19} / \text{cm}^3$ 으로 도핑하였다. 상하단 게이트 전압은 각각 V_{gt} 와 V_{gb} 이며 본 논문에서는 상하단 산

화막 두께에 대한 효과만을 고려하기 위하여 동일한 값을 사용하였다. L_g 는 게이트 길이, t_{si} 는 실리콘 두께, t_{ox1} 과 t_{ox2} 는 각각 상단과 하단의 산화막 두께를 표시한다. 포아송방정식과 Ding의 경계조건을 이용하여 구한 전위분포는 다음과 같은 식으로 표현할 수 있다[6].

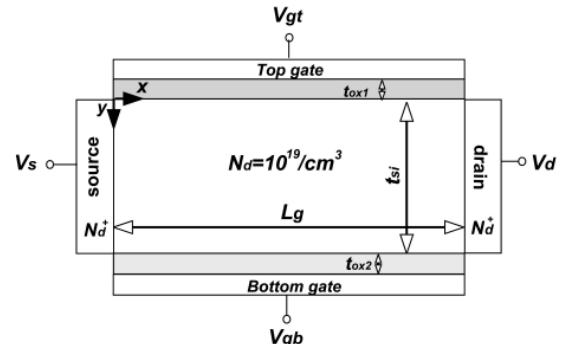


Fig. 1. Schematic cross sectional diagram of asymmetric junctionless double gate (JLDG) MOSFET.

그림 1. 비대칭 무접합 이중게이트 MOSFET의 단면도

$$\phi(x,y) = V_s + V_d x/L_g + \sum_{n=1}^{\infty} A_n(y) \sin \frac{n\pi x}{L_g} \quad (1)$$

$$A_n(y) = C_n e^{k_n y} + D_n e^{-k_n y} - f_n/k_n$$

$$f_n = \begin{cases} -4qN_d/n\pi\epsilon_{si}, & n = 1,3,5, \dots \\ 0, & n = 2,4,6, \dots \end{cases}$$

$$C_n = \frac{C_{ox1} [(\epsilon_{si} k_n - C_{ox2})(f_n - G_n k_n^2) + r(C_{ox1} + \epsilon_{si} k_n)(f_n - H_n k_n^2) e^{k_n t_{si}}]}{k_n^2 [C_{ox1} \epsilon_{si} k_n (1+r_2)(1+e^{2k_n t_{si}}) - (C_{ox1} C_{ox2} + \epsilon_{si}^2 k_n^2)(1-e^{2k_n t_{si}})]}$$

$$D_n = C_{ox1} e^{k_n t_{si}} \left[(\epsilon_{si} k_n + C_{ox2})(f_n - G_n k_n^2) e^{k_n t_{si}} - r(C_{ox1} - \epsilon_{si} k_n)(f_n - H_n k_n^2) \right]$$

$$G_n = \begin{cases} (2/n\pi)[2(V_s - V_{gt} + V_{fb}) + V_d], & n = 1,3,5, \dots \\ 0, & n = 2,4,6, \dots \end{cases}$$

$$H_n = \begin{cases} (2/n\pi)[2(V_s - V_{gb} + V_{fb}) + V_d], & n = 1,3,5, \dots \\ 0, & n = 2,4,6, \dots \end{cases}$$

여기서 $C_{ox1} = \epsilon_{ox1}/t_{ox1}$, $C_{ox2} = \epsilon_{ox2}/t_{ox2}$, $r = C_{ox2}/C_{ox1}$ 이며 본 논문에서는 $\epsilon_{ox1} = \epsilon_{ox2}$ 인 이산화실리콘의 유전율을 사용하였다. 또한 $k_n = n\pi/L_g$ 이다.

무접합 구조의 경우 채널 내에서 대부분의 이동전하는 중심축($y = t_{si}/2$)을 통하여 이동하는 것으로 알려져 있으며 이때 문턱전압은 중심축의 최소 전위 ϕ_{min} 이 0이 될 때 상단 게이트 전압으로 정의할 수 있다. 먼저 ϕ_{min} 을 구하기 위하여 $\partial\phi(x, t_{si}/2)/\partial x = 0$ 을 만족하는 $x = x_{min}$ 값을 구하여 식 (1)에 대입하면 ϕ_{min} 값을 구할 수 있다. 본 논문에서는 계산을 간단

히 수행하기 위하여 $n=1$ 을 사용하여 계산할 것이며 이의 타당성을 입증할 것이다. 식 (1)을 x 에 대하여 미분하면

$$\frac{\partial\phi(x,t_{si}/2)}{\partial x} = \frac{V_d}{L_g} + A_1\left(\frac{t_{si}}{2}\right)\left(\frac{\pi}{L_g}\right)\cos\left(\frac{\pi x}{L_g}\right) \quad (2)$$

$$A_1\left(\frac{t_{si}}{2}\right) = C_1e^{t_{si}k_1/2} + D_1e^{-t_{si}k_1/2} + \frac{2qN_dL_g^2}{\pi^3\epsilon_{si}}$$

이때 식 (2)의 우변이 0을 만족하는 x 값을 구하면

$$x_{\min} = \frac{L_g}{\pi} \cos\left(-\frac{V_d}{\pi A_1(t_{si}/2)}\right) \quad (3)$$

와 같다. 이때 x_{\min} 을 식 (1)에 대입하면 다음과 같은 ϕ_{\min} 값을 구할 수 있다. 즉,

$$\phi_{\min} = V_s + \frac{V_d}{L_g}x_{\min} + A_1\left(\frac{t_{si}}{2}\right)\sin\left(\frac{\pi x_{\min}}{L_g}\right) \quad (4)$$

이때 $\phi_{\min}=0$ 을 만족하는 상단 게이트 전압 V_{gt} 를 구하여 이를 문턱전압으로 정의하면 다음과 같은 문턱전압 값을 해석학적으로 구할 수 있다.

$$V_{th} = \frac{K_1 + K_2 + K_3 + K_4}{4M_1(B_3 + B_4)/\pi} + V_{fbt} \quad (5)$$

$$K_1 = V_s + \frac{V_d}{L_g}x_{\min} + M_1(B_1 + B_2) - f_1/k_1^2$$

$$K_2 = \frac{2}{\pi} [2(V_s - V_{gb} + V_{fbb}) + V_d] M_1(B_5 + B_6) \sin\left(\frac{\pi x_{\min}}{L_g}\right)$$

$$K_3 = \left(\frac{4}{\pi}\right)(B_3 + B_4) M_1 V_s \sin\left(\frac{\pi x_{\min}}{L_g}\right)$$

$$K_4 = \left(\frac{2}{\pi}\right)(B_3 + B_4) M_1 V_d \sin\left(\frac{\pi x_{\min}}{L_g}\right)$$

$$B_1 = (\epsilon_{si}k_1 - rC_{ox1})f_1 + r(C_{ox1} + \epsilon_{si}k_1)f_1e^{t_{si}k_1}$$

$$B_2 = (\epsilon_{si}k_1 + rC_{ox1})f_1e^{t_{si}k_1} - r(C_{ox1} + \epsilon_{si}k_1)f_1$$

$$B_3 = -k_1^2(\epsilon_{si}k_1 - rC_{ox1}), B_4 = -k_1^2e^{t_{si}k_1}(\epsilon_{si}k_1 + rC_{ox1})$$

$$B_5 = -rk_1^2e^{t_{si}k_1}(\epsilon_{si}k_1 + C_{ox1}), B_6 = rk_1^2(C_{ox1} - \epsilon_{si}k_1)$$

$$M_1 = \frac{C_{ox1}e^{t_{si}k_1/2}}{k_1^2[C_{ox1}\epsilon_{si}k_1(1+r)(1+e^{2k_1t_{si}}) - (rC_{ox1}^2 + \epsilon_{si}^2k_1^2)(1-e^{2k_1t_{si}})]}$$

여기서 V_{fbt} 와 V_{fbb} 는 각각 상단과 하단 게이트의 평탄전압을 나타낸다. 본 논문에서는 식 (5)의 해석학적 문턱전압 모델의 타당성을 입증할 것이며 식 (5)를 이용하여 상하단 산화막 두께에 대한 문턱전압이동을 분석할 것이다.

2. 무접합 DGMOSFET의 문턱전압이동

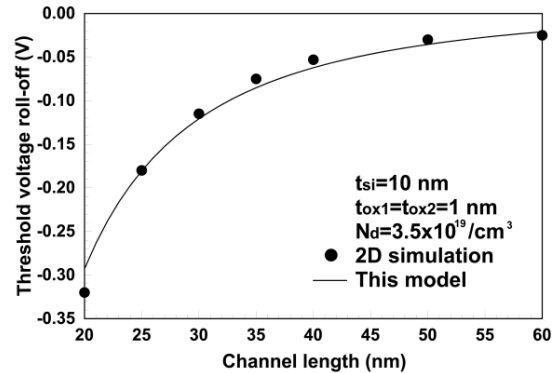


Fig. 2. Comparison of threshold voltage roll-offs between this analytical model and two dimensional simulation [8] under the given conditions.

그림 2. 주어진 조건에서 이 모델과 2차원 시뮬레이션 [8]의 문턱전압이동 비교

먼저 식 (5)의 타당성을 입증하기 위하여 2차원 시뮬레이션 값과 식 (5)의 결과를 그림 2에서 비교하였다. 그림 2에서 알 수 있듯이 식 (1)에서 단지 $n=1$ 의 경우만을 사용한 경우 일지라도, 2차원 시뮬레이션 값 [9]과 본 논문에서 제시한 식 (5)를 이용하여 계산한 문턱전압이동 값이 동일한 조건에서 잘 일치하는 것을 알 수 있었다. 그러므로 지금부터는 식 (5)를 이용하여 산화막 두께에 대한 문턱전압이동을 분석할 것이다.

비대칭 구조의 경우 상단과 하단 게이트 산화막의 두께를 달리 제작할 수 있다. 상단과 하단의 게이트 산화막 두께에 따른 중심 포텐셜에너지의 변화를 그림 3에 도시하였다. 그림 3에서 상하단 게이트 산화막 두께를 상호 교환하여도 동일한 결과를 유도하였다. 그림 3에서 알 수 있듯이 하단 게이

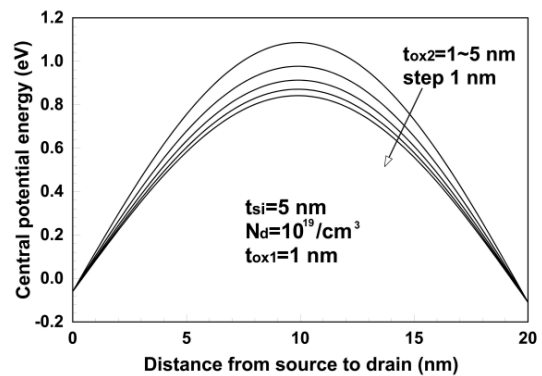


Fig. 3. Potential energy distributions under the given conditions.

그림 3. 주어진 조건에서 포텐셜에너지 분포

트 산화막 두께가 증가할수록 포텐셜에너지 분포는 낮아지므로 더욱 낮은 문턱전압을 보일 것이다. 특히 하단게이트 산화막 두께가 증가할수록 포텐셜에너지 분포는 포화되는 경향을 나타내므로 하단게이트 산화막 두께가 일정 크기 이상으로 증가하면 문턱전압에 큰 영향을 미치지 못한다는 것을 예측할 수 있다. 이와 같이 상하단 게이트 산화막 두께에 따라 포텐셜에너지분포는 변화하며 이는 채널 내 전하전송에 영향을 미칠 것이다.

하단 게이트 산화막 두께를 파라미터로 하여 상단 게이트 산화막 두께에 따른 문턱전압이동을 그림 4에 도시하였다. 그림 4에서 채널 길이는 20 nm와 15 nm일 경우이며 흰 원은 상단과 하단의 게이트 산화막 두께가 동일한 대칭형 구조의 경우를 나타내고 있다. 그림 2에서도 알 수 있듯이 채널길이 감소에 따라 문턱전압이동이 크게 발생하는 것을 관찰할 수 있다. 또한 산화막 두께가 감소할수록 문턱전압이동은 감소하며 하단 게이트 산화막 두께가 2 nm 이상 증가할 경우 문턱전압이동 값이 포화되는 것을 관찰할 수 있다. 이는 그림 3에서 설명하였듯이 포텐셜에너지 포화현상에 기인한다. 검은 원은 문턱전압이동이 동일한 경우, 하단 게이트 산화막 두께를 2 nm에서 1 nm로 감소한 경우이다 이때 상단 게이트 산화막 두께는 2 nm에서 3 nm 이상까지 증가시킬 수 있다. 즉, 동일한 문턱전압이동을 유지하면서 상단 게이트 산화막 두께를 증가시켜 상단 게이트에서 발생할 수 있는 게이트 누설 전류를 감소시킬 수 있을 것이다. 이로 인하여 입출력 단자로 사용되는 상단 게이트 단자를 누설전

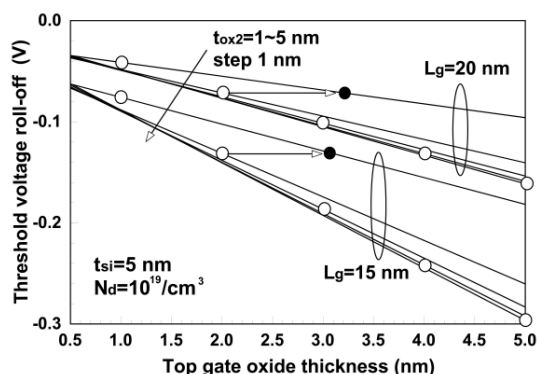


Fig. 4. Threshold voltage roll-offs for top gate oxide thickness under the given conditions.

그림 4. 주어진 조건에서 상단게이트 산화막 두께에 대한 문턱전압이동

류로부터 보호할 수 있을 것이다. 그러나 채널 길이가 감소할수록 하단 게이트 산화막 두께의 감소로 인한 상단 게이트 산화막 두께의 증가 효과가 감소한다는 것을 관찰할 수 있다.

하단 게이트 산화막 두께변화에 대한 문턱전압이동 현상을 보다 상세히 관찰하기 위하여 상단 게이트 산화막 두께를 파라미터로 한 문턱전압이동 값을 그림 5에 도시하였다. 그림 4에서와 동일하게 흰 원은 상하단 게이트 산화막 두께가 동일한 대칭형의 경우를 표기한다. 하단 게이트 산화막 두께가 감소하면 문턱전압이동 값이 크게 감소하는 것을 알 수 있으며 하단 게이트 산화막 두께가 증가할수록 문턱전압이동 값이 거의 일정한 값을 보이고 있었다. 즉, 그림 5에서 알 수 있듯이 대칭점을 지나 하단 게이트 산화막 두께가 증가할 경우, 문턱전압이동 값은 거의 동일한 것을 관찰할 수 있다. 그러므로 대칭점 이상의 산화막 두께에서는 단지 상단 게이트 산화막 두께에 대해서만 문턱전압이동 값이 의존하는 것을 관찰하였다.

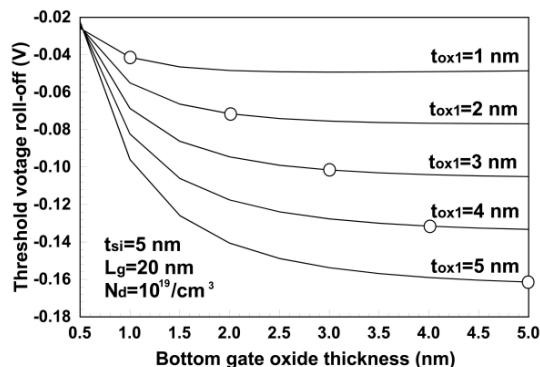


Fig. 5. Threshold voltage roll-offs for bottom gate oxide thickness under the given conditions.

그림 5. 주어진 조건에서 하단게이트 산화막 두께에 대한 문턱전압이동

채널 두께를 파라미터로 하여 구한 하단과 상단 게이트 산화막 두께에 따른 문턱전압이동 값을 그림 6에 도시하였다. 채널 두께가 감소할수록 상하단 게이트 산화막 두께 변화에 따른 문턱전압이동의 변화는 급격히 감소하고 있었으며 채널 두께가 증가할수록 상하단 산화막 두께 변화에 매우 민감하게 문턱전압 이동이 변화하는 것을 알 수 있다. 전술한 바와 같이 흰 원은 상하 대칭구조의 경우를 나타내며 검은 원은 동일한 문턱전압이동 값을 유

지하면서 하단 게이트 산화막 두께를 2 nm에서 1 nm로 감소시켰을 경우 일치하는 상단 게이트 산화막 두께를 표기하고 있다. 그림 6에서 알 수 있듯이 채널 두께가 감소할수록 상단 게이트 산화막 두께의 증가효과가 덜하다는 것을 관찰할 수 있다. 전술한 바와 같이 하단 산화막 두께가 2 nm 이상으로 증가하면 문턱전압이동 값이 포화되는 것을 알 수 있으며 채널두께가 감소할수록 포화 현상은 매우 두드러진다는 것을 관찰할 수 있다. 채널 두께가 7 nm까지 증가하면 상하단 게이트 산화막 두께에 매우 민감하게 문턱전압이동이 변화한다는 것을 주시하라. 그러므로 문턱전압이동 현상을 감소시키기 위하여 채널 두께는 가능하면 얇게 제작하여야할 것이다.

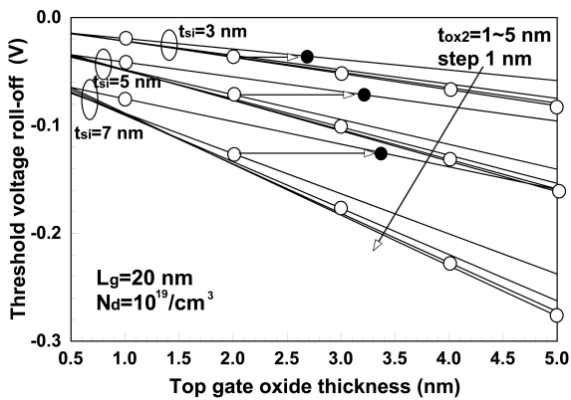


Fig. 6. Threshold voltage roll-offs for top gate oxide thickness under the given conditions.

그림 6. 주어진 조건에서 상단게이트 산화막 두께에 대한 문턱전압이동

문턱전압이동 현상은 소스 측에서 채널로 전송되는 전하량과 관계되며 이는 채널 내 최소 전위 ϕ_{min} 에 따라 직접적으로 영향을 받을 것이다. 식 (1)을 이용하여 구한 그림 3에서도 알 수 있듯이 상단과 하단의 게이트 산화막 두께에 따라 ϕ_{min} 값은 변화한다. 이와 같은 최소전위의 변화 $\Delta\phi_{min}$ 과 이에 해당하는 문턱전압이동 ΔV_{th} 를 다음과 같이 정의하였다.

$$\Delta\phi_{min} = \phi_{min}(L_g = 20 \text{ nm}) - \phi_{min}(L_g = 100 \text{ nm}) \quad (6)$$

$$\Delta V_{th} = V_{th}(L_g = 20 \text{ nm}) - V_{th}(L_g = 100 \text{ nm})$$

식 (6)을 이용하여 채널 두께가 5 nm인 경우 상단과 하단게이트 산화막 두께에 대한 $\Delta\phi_{min}$ 의 등고

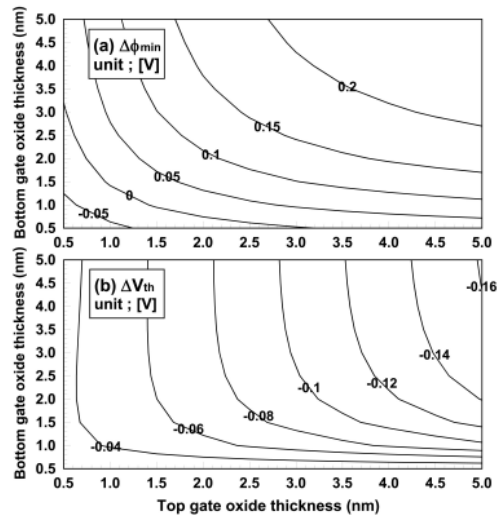


Fig. 7. Contours of (a) $\Delta\phi_{min}$ and (b) ΔV_{th} for top gate oxide thickness and bottom gate oxide thickness in the case of $L_g = 20 \text{ nm}$ and $t_{si} = 5 \text{ nm}$.

그림 7. 채널길이 20 nm, 채널두께 5 nm에서 상하단 게이트 산화막 두께에 대한 (a) 최소전위변화 $\Delta\phi_{min}$ 와 (b) 문턱전압이동 ΔV_{th}

선 그래프와 이에 해당하는 문턱전압이동 ΔV_{th} 의 등고선 그래프를 그림 7에 도시하였다. 그림 7(a)에서 알 수 있듯이 $\Delta\phi_{min}$ 은 상단과 하단 게이트 산화막 두께에 상호 반비례 관계를 나타내고 있었다. 또한 산화막 두께가 증가할 경우, $\Delta\phi_{min}$ 도 증가하는 것을 알 수 있다. 그러나 그림 7(a)를 관찰해보면 상단 게이트 산화막 두께가 감소하고 하단 게이트 산화막 두께가 증가할 경우, 하단 게이트 산화막 두께에 따른 $\Delta\phi_{min}$ 의 변화는 거의 무시할 수 있을 정도인 것으로 관찰되었다. 이와 같은 변화는 역으로 하단 게이트 산화막 두께가 감소하고 상단 게이트 산화막 두께가 증가할 경우도 동일하게 관찰되었다. $\Delta\phi_{min}$ 의 이러한 변화는 문턱전압이동의 변화 ΔV_{th} 에 직접적인 영향을 미치는 것을 그림 7(b)에서 관찰할 수 있다. 즉, 상단 게이트 산화막 두께가 일정할 경우, 하단 게이트 산화막 두께가 증가하면 문턱전압이동은 거의 일정하게 나타나고 있었다. 이와 같은 현상은 하단게이트 산화막 두께를 일정하게 고정하고 상단 게이트 산화막 두께를 증가시켰을 경우 동일하게 관찰되는 것을 알 수 있다. 그러므로 전술한 바와 같이 하단 게이트 산화막 두께를 감소시키면서 상대적으로 전류-전압특성에 중요한 영향을 미치는 상단 게이트 산화막 두께를 증가시켜 게이트 누설전류를 감소시킬 수 있을 것이다.

III. 결론

본 논문에서는 비대칭 무접합 DG MOSFET의 상하단 산화막 두께와 문턱전압이동의 관계를 관찰하였다. 비대칭 구조의 장점은 단채널 효과를 감소시킬 수 있는 제어요소가 증가하며 보다 효율적으로 단채널 효과를 감소시킬 수 있는 최적의 설계조건을 구할 수 있다는 것이다. 문턱전압이동 현상을 해석하기 위하여 채널 내 전위분포를 이용한 해석학적 문턱전압 모델을 제시하였으며 이는 2차원 시뮬레이션 값과 잘 일치하는 결과를 유도하였다. 상하단 산화막 두께와 문턱전압이동의 관계를 분석한 결과, 하단 게이트 산화막 두께가 일정한 값 이상에서는 동일한 문턱전압이동 값을 나타내고 있다는 것을 알 수 있었다. 또한 문턱전압이동에 영향을 미치는 채널 내 최소 전위인 ϕ_{min} 값의 변화가 직접적으로 문턱전압이동에 큰 영향을 미치고 있었다. 문턱전압이동 값을 일정하게 유지하면서 하단 게이트 산화막 두께를 감소시키면 상단 게이트 산화막 두께를 증가시킬 수 있기 때문에 상단 게이트에서 발생할 수 있는 게이트 누설전류를 감소시킬 수도 있을 것이다. 이와 같은 결과는 향후 비대칭 무접합 DG MOSFET 제작 시 기초 자료로 이용할 수 있다고 사료된다.

References

[1] D. Sarkar, D. Datta, and S. Dasgupta, "Modeling of Leakage Current Mechanisms in Nanoscale DG MOSFET and its Application to Low Power SRAM Design," *J. of Computers*, Vol.3, No.2, pp.37-47, 2008. DOI: 10.4304/jcp.3.2.37-47

[2] V. Narendar and R.A. Mishra, "Analytical modeling and simulation of multigate FinFET devices and the impact of high-k dielectrics on short channel effects (SCEs)," *Superlattices and Microstructures*, Vol.85, pp.357-369, 2015. DOI: 10.1016/j.spmi.2015.06.004

[3] S. Choe, K. Kwon, and S. Kim, "Performance Analysis of Tri-gate FinFET for Different Fin Shape and Source/Drain Structures," *J. of the Institute of Electronics and Information Engineering*, Vol.51, No.7, pp.1497-1507, 2014. DOI: 10.5573/ieie.2014.51.7.071

[4] D. Manners, "Samsung starts mass production of 10nm 16Gb automotive LPDDR4X DRAM," <https://www.electronicweek.com/news/business/samsung-starts-mass-production-10nm-16gb-automotive-lpddr4x-dram-2018-04/> 2018.

[5] Y. Liu, T. Matsukawa, K. Endo, M. Masahara, S. Ouchi, K. Ishi, H. Yamauchi, J. Tsukada, Y. Ishikawa, and E. Suzuki, "Cointegration of High-Performance Tied-Gate Three-Terminal FinFETs and Variable Threshold-Voltage Independent-Gate Four-Terminal FinFETs With Asymmetric Gate-Oxide Thicknesses," *IEEE Electron Device Letters*, Vol.28, No.6, pp.517-519, 2007. DOI: 10.1109/LED.2007.896898

[6] Z. Ding, G. Hu, J. Gu, R. Liu, L. Wang, and T. Tang, "An analytic model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," *Microelectronics J.*, Vol.42, No.3, pp.515-519, 2011. DOI: 10.1016/j.mejo.2010.11.002

[7] C. Jiang, R. Liang, J. Wang and J. Xu, "A two-dimensional analytical model for short channel junctionless double-gate MOSFETs," *AIP ADVANCES*, Vol.5, pp.057122, 2015. DOI: 10.1063/1.4921086

[8] H. Jung, "Analysis of Subthreshold Swing in Symmetric Junctionless Double Gate MOSFET Using high-k Gate Oxides," *Int. J. Elec. & Elec. Eng. & Telcomm*, Vol.8, No.6, pp.334-339, 2019. DOI: 10.18178/ijeetc.8.6.334-339

[9] Q. Xie, Z. Wang, and Y. Taur, "Analysis of Short-Channel Effects in Junctionless DG MOSFETs," *IEEE Trans. Electron Devices*, Vol.64, No.8, pp. 3511-3514, 2017. DOI: 10.1109/TED.2017.2716969

BIOGRAPHY

Hak kee Jung (Member)



1983 : BS degree in Electronic Engineering, Ajou University.
 1985 : MS degree in Electronic Engineering, Yonsei University.
 1990 : PhD degree in Electronic Engineering, Yonsei University.

1990~ : Professor, Kunsan National University