

상시불통형 p-GaN/AlGaN/GaN 이종접합 트랜지스터의 게이트막 농도 계조화 효과

Gate Field Alleviation by graded gate-doping in Normally-off p-GaN/AlGaN/GaN Hetrojunction FETs

조성인*, 김형탁*

Seong-In Cho*, and Hyungtak Kim*

Abstract

In this work, we proposed a graded gate-doping structure to alleviate an electric field in p-GaN gate layer in order to improve the reliability of normally-off GaN power devices. In a TCAD simulation by Silvaco Atlas, a distribution of the graded p-type doping concentration was optimized to have a threshold voltage and an output current characteristics as same as the reference device with a uniform p-type gate doping. The reduction of an maximum electric field in p-GaN gate layer was observed and it suggests that the gate reliability of p-GaN gate HFETs can be improved.

요약

본 연구에서는 상시불통형 p-GaN 전력반도체소자의 신뢰성 향상을 위해 p-GaN 게이트막 내부의 전계를 완화하고자 p-GaN 게이트 도핑농도의 계조화를 제안한다. TCAD 시뮬레이션으로 균일한 도핑농도를 갖는 소자와 문턱전압과 출력 전류 특성이 동일하도록 p형 농도를 계조화하고 최적화하였다. p-GaN 게이트층에서의 전계 감소로 소자의 게이트 신뢰성이 개선될 수 있을 것으로 판단된다.

Key words : Normally-off, p-GaN gate, heterojunction, graded doping, simulation, power devices

1. 서론

AlGaN/GaN은 III-V족 반도체로 자발 및 압전 분극을 통해 전자채널이 자가형성되어 상시도통형으로 동작한다. 전력반도체분야에서 소비전력 및 안정성 때문에 상시불통형으로의 구현이 필요하다.

이를 위한 방법으로 게이트 영역의 AlGaN을 식각하는 구조, 게이트 영역의 채널 부근에 플루오린(F)을 주입하는 구조, p-GaN 게이트막을 사용하는 구조가 있다[1-3]. 그 중 p-GaN 게이트막을 사용하는 방법은 AlGaN/GaN 이종접합구조에 p-GaN 박막을 증착함으로써 전자채널 부근의 에너지밴드

* Dept. of Electronic and Electrical Engineering, Hongik University

★ Corresponding author

E-mail : hkim@hongik.ac.kr, Tel : +82-2-320-3013

※ Acknowledgment

This research was supported by Korea Electric Power Corporation(R18XA02) and the Korea Institute for Advancement of Technology(KIAT) grant funded by the Korea Government(MOTIE) (P07820002101, The Competency Development Program for Industry Specialist). The EDA tool was supported by the IC Design Education Center.

Manuscript received Nov. 25, 2020; revised Dec. 28, 2020; accepted Dec. 31, 2020.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

의 전도대를 fermi-level보다 상향이동시켜 상시불 통형을 구현하는 방법이다. p-GaN 게이트 구조는 게이트 층에 금속전극을 형성할 때 금속종류와 공정에 따라 Ohmic 혹은 Schottky 접합을 형성시킬 수 있다[4-6]. Ohmic 접합의 경우 소자를 도통시키기 위해 게이트에 양전압을 가하면 낮은 게이트 전압에서도 게이트 누설전류가 빠르게 증가하는 문제가 있으며 Schottky 접합의 경우 비교적 Ohmic 접합에 비해 높은 전압에서 게이트 누설전류가 증가한다[7]. 게이트 누설전류의 문제로 p-GaN 게이트 전력반도체에서는 Schottky 접합을 채용하여 상용화가 되고 있다. 그러나 Schottky 접합에서도 도전과제가 남아있다. Schottky 접합의 p-GaN 게이트 소자는 back-to-back 다이오드를 형성하여[8] 전극에 양전압을 인가하면 게이트전극과 p-GaN으로 형성된 Schottky 다이오드는 역전압 상태가 된다. 또한, p-GaN을 형성시키기 위해서 GaN에 마그네슘(Mg)을 도핑하며 낮은 활성화률로 인해 고농도로 도핑한다. 즉, 소자의 도통을 위해 게이트에 양전압을 인가하면 게이트전극과 p-GaN 사이의 계면에 매우 강한 전계가 집중되며[9] 이는 소자열화의 주요인자가 된다. 이를 해결하기 위한 방안으로 p-GaN의 도핑농도를 낮추면 되지만 문턱전압이 변화하여[10] 특성에 악영향을 끼치는 문제가 있다. 본 논문에서는 소자열화의 주요인자인 게이트전극과 p-GaN 사이 계면에 집중되는 강한 전계를 완화시키며 문턱전압 및 출력특성은 유지하기 위해 p-GaN 게이트 층을 계조화하고 최적화하였다.

II. p-GaN 게이트 전력반도체소자의 시뮬레이션

1. p-GaN 게이트 소자구조

소자구조는 2 μm Al_{0.05}Ga_{0.95}N 버퍼층, 1.25 μm GaN 층, 14 nm Al_{0.2}Ga_{0.8}N 배리어층, 120 nm p-GaN 게이트, 300 nm 패시베이션층이며 소스의 길이(L_s), 소스와 게이트 사이의 거리(L_{sg}), 게이트의 길이(L_g), 게이트와 드레인 사이의 거리(L_{gd}), 드레인의 길이(L_d)는 각각 0.5 μm, 1 μm, 1.4 μm, 6 μm, 그리고 0.5 μm이다. 게이트전극으로 일함수가 4.6 eV인 텅스텐(W)을 사용함으로써 Schottky 접합을 형성하였다(그림 1).

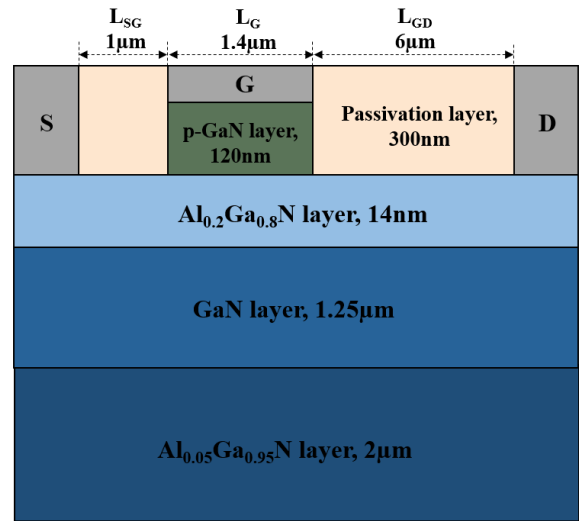


Fig. 1. Overall structure of p-GaN gate device. 그림 1. p-GaN 게이트 소자의 전체구조

2. p-GaN 게이트 층 비교

그림 2는 균일층의 p-GaN 게이트와 다중층으로 농도 계조화된 p-GaN 게이트의 단면도를 나타내었다. p-GaN 층의 두께에 대한 영향은 배제시키고 농도 분포의 영향만을 확인하기 위하여 p-GaN의 층 두께는 3가지 구조 모두 120 nm로 동일하며 2단계 계조화의 경우 각 농도에 대한 두께는 60 nm, 3단계 계조화의 경우 각 40 nm로 균등하게 분할하였다. 도핑농도는 시판 중인 상용 p-GaN 기판의 마그네슘 농도에 근거하여 균일층의 경우 1x10¹⁹ /cm³으로 설정하였다. 이를 비교군으로 계면에 집중되는 전계를 낮추고자 게이트전극과 접합하는 p-GaN 층의 농도를 낮추고 동일한 문턱전압 및 전류-전압 특성을 갖기 위하여 분포를 최적화한 결과 2단계 농도 계조화의 경우 8x10¹⁸ /cm³, 1x10¹⁹ /cm³이며 3단계 농도 계조화의 경우 7x10¹⁸ /cm³, 8.5x10¹⁸ /cm³, 1x10¹⁹ /cm³이다(표 1).

균일층의 p-GaN 게이트와 다중층의 계조화된 p-GaN 게이트에서의 활성화된 마그네슘의 농도는 그림 3과 같다. 균일층의 경우 활성화된 마그네슘 농도는 약 4.2x10¹⁷ /cm³이며 2단계로 계조화된 구조의 경우 3.7x10¹⁷ /cm³, 4.2x10¹⁷ /cm³이며 3단계로

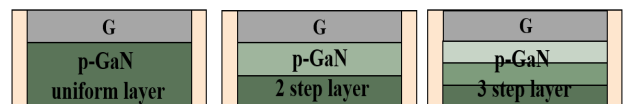


Fig. 2. Uniform layer & Graded p-GaN gate with multiple layer.

그림 2. 균일층과 다중층으로 계조화된 p-GaN 게이트

계조화된 구조의 경우 $3.5 \times 10^{17} / \text{cm}^3$, $4 \times 10^{17} / \text{cm}^3$, $4.2 \times 10^{17} / \text{cm}^3$ 이다.

Table 1. Doping concentration and Thickness of p-GaN.

표 1. p-GaN의 도핑농도 및 두께

Parameters	Doping concentration (cm^{-3})	Thickness (nm)
uniform layer	1×10^{19}	120
2step layer	$8 \times 10^{18} / 1 \times 10^{19}$	60 / 60
3step layer	$7 \times 10^{18} / 8.5 \times 10^{18} / 1 \times 10^{19}$	40 / 40 / 40

3. p-GaN 게이트 소자 특성 비교

상시불통형 동작 구현을 위해 사용하는 기존 기술 중 하나인 균일층의 p-GaN 게이트 소자와 2단계 및 3단계로 농도 계조화된 p-GaN 게이트 소자의 기본 전류-전압 특성을 비교하였다(그림 4). Linear extrapolation 방법으로 각 p-GaN 도핑구조에 대한 문턱전압을 추출한 결과 균일층 구조의 경우 1.32 V이며 2단계 계조화 구조는 1.42 V, 3단계 계조화 구조는 1.47 V로 0.1 V의 미미한 차이를 확인하였다(그림 5). 또한, 전류-전압 특성도 균일층의 p-GaN 게이트 구조와 비교하였을 때 계조화된 구조 모두 $V_{DS}=10 \text{ V}$ 에서 최대 480 mA/mm로 특성에 큰 변화가 없다. 그러나 그림 6에서 게이트전극

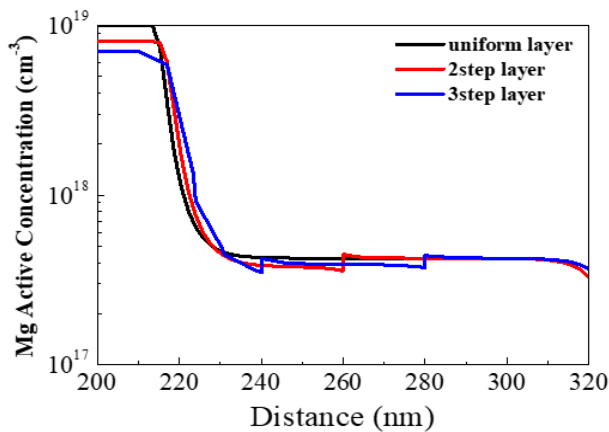


Fig. 3. Activated Mg concentration in each structure.

그림 3. 각 구조에서의 활성화된 마그네슘(Mg) 농도

Table 2. Activated Mg concentration in p-GaN.

표 2. p-GaN의 활성화된 마그네슘(Mg) 농도

Parameters	Activated Mg concentration (cm^{-3})
uniform layer	4.2×10^{17}
2step layer	$3.7 \times 10^{17} / 4.2 \times 10^{17}$
3step layer	$3.5 \times 10^{17} / 4 \times 10^{17} / 4.2 \times 10^{17}$

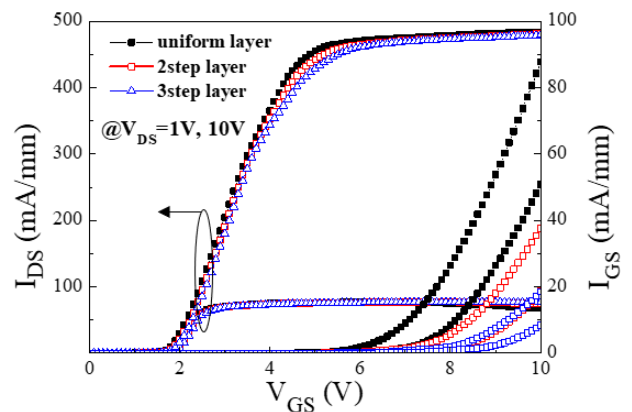


Fig. 4. Transfer characteristics according to p-GaN gate doping structures.

그림 4. p-GaN 게이트 도핑구조에 따른 전달특성

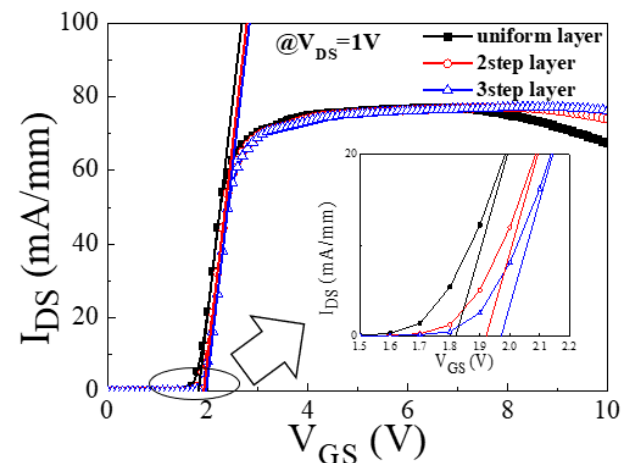


Fig. 5. Extracting the threshold voltage to the linear extrapolation method.

그림 5. Linear extrapolation 방법으로의 문턱전압 추출

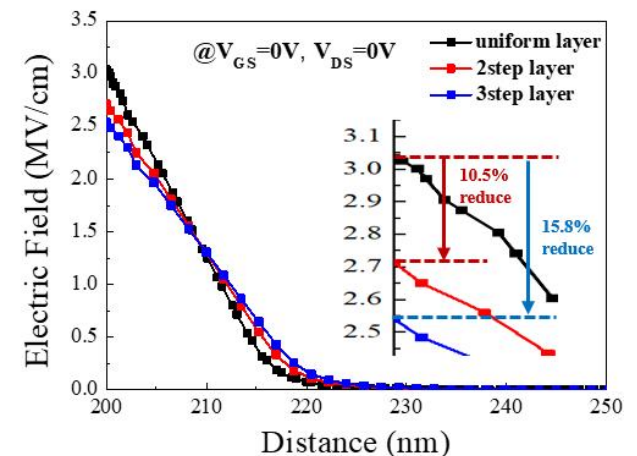


Fig. 6. Electric field according to p-GaN gate doping structures.

그림 6. p-GaN 게이트 도핑구조에 따른 전계

/p-GaN 계면에서의 전계가 균일층일 때 비해 2단계 농도 계조화 구조일 때 10.5 % 감소율로 완회되

었고 3단계 농도 계조화된 구조일 때는 15.8 % 감소율로 완화되었다. 게이트전극과 접합하는 p-GaN 층의 농도 감소로 인한 공핍영역의 증가 때문에 전계가 완화된 것으로 판단되며 단계적인 농도 증가 및 분포가 문턱전압과 기본 전류-전압 특성 변화를 최소화시켰다고 생각된다. p-GaN의 농도 계조화 구조는 소자의 게이트 관련 신뢰성 향상에 큰 도움이 될 것으로 예상된다.

III. 결론

본 논문에서는 p-GaN 게이트의 농도 계조화를 통해 게이트전극과 p-GaN 사이의 계면에 집중되는 강한 전계를 완화시키는 방법을 제안하였다. 기존 기술인 균일층의 p-GaN 게이트 구조에서 게이트 전극과 접합하는 p-GaN 층의 도핑농도를 낮추어 계면에 집중되는 전계를 완화시켰고 계조화된 p-GaN의 acceptor 농도 분포를 최적화하여 소자의 특성은 동일하게 설계하였다. 그 결과 균일층의 p-GaN 게이트 소자 대비 p-GaN의 2단계농도 계조화의 경우 전계가 10.5 %의 감소율로 완화되었고 3단계 농도 계조화의 경우, 전계는 15.8 %의 감소율로 더 크게 완화되었다. p-GaN 층의 내부전계 완화로 게이트 누설전류 특성 또한 개선되었으며 3단계 계조화 구조가 더 크게 개선되었다. 결과를 비추어 볼 때 본 논문에서 제시하는 p-GaN의 마그네슘 농도 계조화 구조는 기존 기술 대비 게이트 관련 신뢰성 향상에 큰 도움이 될 것으로 판단된다.

References

[1] S. Liu, S. Yang, Z. Tang, Q. Jiang, C. Liu, M. Wang, and K. J. Chen, "Performance Enhancement of Normally-Off Al₂O₃/AlN/GaN MOS-Channel-HEMTs with and ALD-Grown AlN Interfacial Layer," in *Proc. of the 26th Int. Symp. Power semiconductor Devices & IC's (ISPSD)*, 2014, pp.362-365. DOI: 10.1109/ISPSD.2014.6856051

[2] K. J. Chen, L. Yuan, M. J. Wang, H. Chen, S. Huang, Q. Zhou, C. Zhou, B. K. Li, and J. N. Wang, "Physics of fluorine plasma ion implantation for GaN normally-off HEMT technology," *Tech. Dig. Int. Electron Devices Meet.*, vol.1, pp.465-468,

2011. DOI: 10.1109/IEDM.2011.6131585

[3] Y. Uemeto, M. Hikita, H. Ueno, H. Matsuo, H. Ishida, M. Yanagihara, T. Ueda, T. Tanaka, and D. Ueda, "Gate injection transistor (GIT) - A normally-off AlGaIn/GaN power transistor using conductivity modulation," *IEEE Trans. Electron Devices*, vol.54, no.12, pp.3393-3399, 2007. DOI: 10.1109/TED.2007.908601

[4] O. Hilt, A. Knauer, F. Brunner, E. Bahat-Treidel and J. Wurfl, "Normally-off AlGaIn/GaN HFET with p-type GaN Gate and AlGaIn Buffer," in *Proc. of the 22nd Int. Symp. Power Semiconductor Devices & IC's (ISPSD)*, pp.347-350, 2010.

[5] I. Hwang, J. Kim, H. S. Choi, H. Choi, J. Lee, K. Y. Kim, J. -B. Park, J. C. Lee, J. Ha, J. Oh, J. Shin and U. -I. Chung, "p-GaN Gate HEMTs With Tungsten Gate Metal for High Threshold Voltage and Low Gate Current," *IEEE Electron Device Lett.*, vol.34, no.2, pp.202-204, 2013.

DOI: 10.1109/LED.2012.2230312

[6] T. -L. Wu, D. Marcon, S. You, N. Posthuma, B. Bakeroort, S. Stoffels, M. V. Hove, G. Groeseneken and S. Decoutere, "Forward Bias Gate Breakdown Mechanism in Enhancement-Mode p-GaN Gate AlGaIn/GaN High-Electron Mobility Transistors," *IEEE Electron Device Lett.*, vol.36, no.10, pp. 1001-1003, 2015. DOI: 10.1109/LED.2015.2465137

[7] M. Meneghini, O. Hilt, J. Wurfl and G. Meneghesso, "Technology and Reliability of Normally-Off GaN HEMTs with p-Type Gate," *Energies*, vol.10, no.2, p.153, 2017.

DOI: 10.3390/en10020153

[8] A. Stockman, E. Canato, A. Tajalli, M. Meneghini, G. Meneghesso, E. Zanoni, P. Moens and B. Bakeroort, "On the Origin of the Leakage Current in p-Gate AlGaIn/GaN HEMTs," in *Proc. IEEE Int. Rel. Phys. Symp.*, pp.4B.5-1-4B.5-4, 2018.

[9] A. Stockman, F. Masin, M. Meneghini, E. Zanoni, G. Meneghesso, B. Bakeroort and P. Moens, "Gate Conduction Mechanisms and Lifetime Modeling of p-Gate AlGaIn/GaN High-Electron-Mobility Transistors," *IEEE Trans. Electron*

Devices., vol.65, no.12, pp.5365–5372, 2018.

DOI: 10.1109/TED.2018.2877262

[10] L. Efthymiou, G. Longobardi, G. Camuso, T. Chen and F. Udrea, “On the physical operation and optimization of the p-GaN gate in normally-off GaN HEMT devices,” *Appl. Phys. Lett.*, vol.110, no.12, pp.123502-1–123502-5, 2017.

DOI: 10.1063/1.4978690

BIOGRAPHY

Seong-In Cho (Member)



2019 : BS degree in Electronic and Electrical Engineering, Hongik University.

2019~Present : MS degree in Electronic and Electrical Engineering, Hongik University.

Hyungtak Kim (Member)



1996 : BS degree in Electrical Engineering, Seoul National University.

1998~2003 : MS degree and PhD degree in ECE, Cornell University.

2003~2007 : Senior Engineer, Semiconductor R&D Center, Samsung Electronics.

2007~Present : Professor, Electronic and Electrical Engineering, Hongik University.