

피드백 감지 회로 구조로 인한 향상된 Load Regulation 특성을 가진 LDO 레귤레이터 LDO Regulator with Improved Load Regulation Characteristics and Feedback Detection Structure

정 준 모[★]

Jun-Mo Jung[★]

Abstract

In this paper Low Drop-Out (LDO) regulator that improved load regulation characteristics due to the feedback detection structure. The proposed feedback sensing circuit is added between the output of the LDO's internal error amplifier and the input of the pass transistor to improve the regulation of the delta value coming into the output. It has a voltage value with improved load regulation characteristics than existing LDO regulator. The proposed LDO structure was analyzed in Samsung 0.13um process using Cadence's Virtuoso, Spectre simulator.

요 약

본 논문에서는 피드백 감지 회로 구조로 인하여 향상된 load regulation 특성을 개선시킨 LDO를 제안하였다. LDO 레귤레이터 내부 오차증폭기의 출력단과 패스 트랜지스터의 입력단 사이에 제안된 feedback 감지 회로를 추가하여 출력에 들어오는 델타 값의 regulation을 개선시켜 기존의 LDO 레귤레이터보다 개선된 load Regulation 특성의 전압 값을 갖는다. 제안된 회로는 Cadence의 Spectre, Virtuoso 시뮬레이션을 이용하여 삼성 0.13um 공정에서 특성을 시뮬레이션 하였다.

Key words : LDO regulator, Line Regulation, Load Regulation, Capless LDO, Feedback Detection

1. 서론

스마트 폰의 등장 이후 모바일 기기는 하나의 시스템으로 다른 전자 기기를 제어하고, 고성능의 시스템이 단일 모바일 기기에 구현되어 다양한 업무를 수행함에 따라 전력 소모가 급증하고 있다. 전자 및 전기 시스템에서 전원 공급 장치와 레귤레이터는 필수 기능입니다. 스마트 폰 및 태블릿 PC와

같은 모바일 장치는 안정적인 에너지 공급 없이는 정상적으로 작동 할 수 없습니다. 우선, 레귤레이터는 부하 전압에 관계없이 예측할 수 없고 잡음이 있는 안정적이고 일정한 전원을 제공 할 수 있도록 합니다. 또한 PMIC(Power Management IC)는 입력 전원을 적절한 출력 전원으로 변환하여 각 시스템에 필요한 전원을 공급하는 장치입니다[1]. 전력 관리 IC(PMIC)는 전력 변환 프로세스, 안정적인

* Dept. of Electronics Engineering, Seokyeong University

★ Corresponding author

E-mail : jjmo@skuniv.ac.kr, Tel : +82-940-7732

※ Acknowledgment

Manuscript received Dec. 15, 2020; revised Dec. 23, 2020; accepted Dec. 30, 2020.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

전원 공급 및 높은 변환 효율에서 가장 중요한 요소로 볼 수 있습니다. 또한 PMIC는 개별 솔루션에서 각 애플리케이션에 필요한 전압까지 각 장치에 대해 하나의 칩을 사용하여 얻을 수 있는 공간 절약 이점과 비용 절감으로 인해 배터리 기반 휴대용 정보 단말기의 핵심 구성 요소로 부상하고 있습니다. LDO(Low-Drop Out) 회로는 패스 트랜지스터, 출력 전압을 고정하기 위한 오류 증폭기, 피드백 저항 및 대형 외부 출력 커패시터로 구성됩니다. 근래의 SoC(System on Chip) 추세에 따르면 LDO 회로는 외부 핀을 절약하고 시스템 성능을 향상시키기 위해 칩에 내장되는 추세로 간주됩니다. LDO를 칩 내부에 내장하면 기존 LDO를 외부에 설치하는 기술에 비해 크기와 전압의 변동인자를 줄이고 전압 변동 및 부하 과도에 따른 전압 스파이크를 제거할 수 있습니다. 본 논문에서는 오차증폭기와 출력단 패스 트랜지스터 사이에 Feedback 감지 회로를 통하여 기존 LDO 레귤레이터의 Load Regulation 보다 향상된 특성을 갖는 선형 레귤레이터를 제안한다[2].

II. 본론

1. Low Drop-Out 레귤레이터

그림 1, 2은 기본 LDO 레귤레이터의 스케메틱이다. LDO 레귤레이터는 출력전압을 안정적으로 유지하기 위한 오차 증폭기, 패스 트랜지스터, 피드백 저항 그리고 수 마이크로 패럿의 외부 출력 커패시터로 구성된다. 밴드갭 레퍼런스는 온도와 입력전압의 변화에 대한 이상적인 전압, 전류를 특정 범위 내에서 제공한다[3]. 오차 증폭기는 출력전압과 피드백 저항에서 분배된 전압을 비교하여 게이트로 인가되어 저전압 강하(Low Drop)가 일어나며 일정한 전압을 제공한다. 출력 커패시터는 LDO 동작의 안정성을 확보하기 위해서 보편적으로 수 마이크로패럿의 값을 갖는다. 레귤레이터의 안정적인 성능과 구동을 위하여 페이즈 마진을 확보하는 것이 중요하다. 먼저 기존의 LDO는 앰프와 패스 트랜지스터를 포함하면 2-Stage를 형성하게 됨으로 안정도를 잡는 것이 필수이다. 페이즈 마진을 제대로 확보하지 못한다면, Stability를 장담할 수 없다[4]. 또한 Load 레귤레이션은 부하전류 따라 출력전압이 변동 할 경우, 출력전압의 변화를 확인 할

수 있는 척도이다. 따라서 Load 레귤레이션은 전류에 대한 전압 변화를 나타내며, 작은 값을 가진다면 레귤레이터는 보다 향상된 전기적인 특성을 가진다[5]. 그림 2는 LDO 레귤레이터의 스케메틱이다. 기본적인 LDO 레귤레이터는 출력단에 커패시터 크기에 따라 SoC(System On Chip)의 가능성을 판단한다. 물론 칩에 내장을 하는 커패시터의 유무도 중요하지만 LDO 레귤레이터의 안정도를 확보함에 있어 커패시터의 크기가 정해지기도 한다[6].

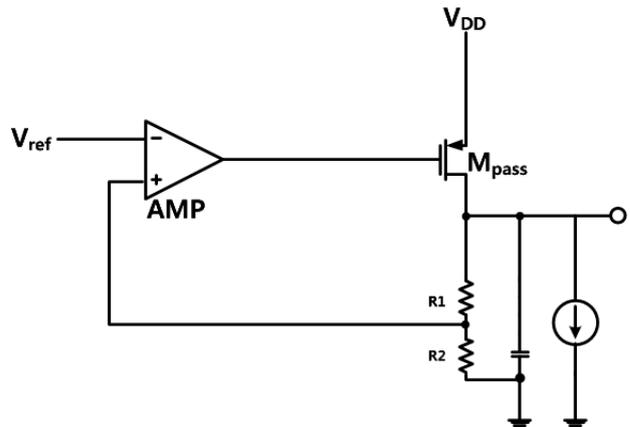


Fig. 1. Block of the LDO regulator.

그림 1. LDO 레귤레이터의 블록도

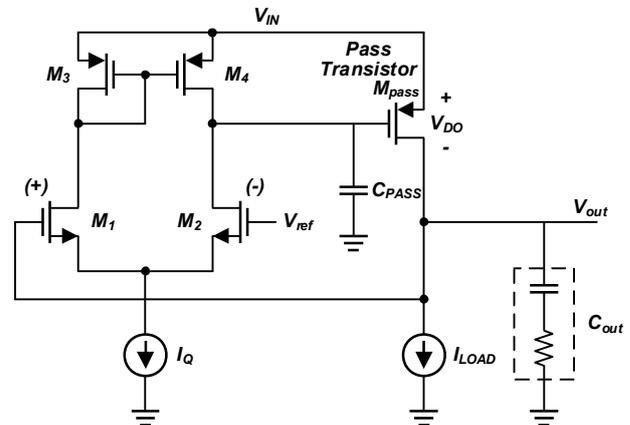


Fig. 2. Schematic of LDO Regulator.

그림 2. LDO 레귤레이터의 스케메틱

2. 제안된 Push-Pull LDO 레귤레이터

그림 3은 Feedback 감지 회로 구조로 패스 트랜지스터의 게이트단과 오차증폭기의 출력 사이에 Feedback 감지 회로를 추가한 LDO 레귤레이터이다. 피드백을 거쳐서 변환된 전압에 따라 오차증폭기의 출력이 변동하게 되는데, 그로 인하여 Feedback 감지 회로가 변동되면서 전류를 변화시켜주는 구조이다. 그림 4를 참고하면 로드전류로 인한 출력전압이 상승한

다면, 오차증폭기의 전압이 상승하게 될 것이며, 상승된 전압으로 인하여 인버터를 거쳐 추가전류를 발생하여 패스 트랜지스터의 게이트 전압을 상승시켜주는 효과를 가져다준다. 따라서 오차증폭기의 출력이 상승된 점을 보다 빨리 상승시켜 추가적인 전류를 확보하는 효과를 가져 올 수 있기 때문에 패스 트랜지스터의 전류는 줄여주며, 본래 출력대비 상승한 전압을 감소시켜주는 효과를 가져다준다. 반대로 그림 5를 참고하면, LDO의 출력전압이 로드전류가 상승함으로 인하여 감소하게 되면 오차증폭기의 출력전압이 감소하면 감소된 전압으로 인하여 인버터를 거쳐 추가전류를 발생하여 패스 트랜지스터의 게이트 전압을 하강시켜주는 효과를 가져다준다. 따라서 오차증폭기로 인해 하강된 출력을 보다 안정적으로 피드백 시켜 전압이 하강하게 된다. 그러므로 오차증폭기의 출력의 감소된 점을 보다 빨리 감소시켜주는 효과를 가져 올 수 있기 때문에 패스 트랜지스터의 전류를 상승시키며, 본래 출력대비 하강된 전압을 증가시켜주는 효과를 가져다준다[7].

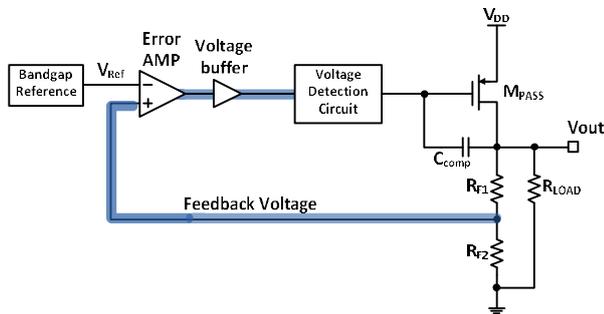


Fig. 3. The Proposed LDO Regulator.
그림 3. 제안된 LDO 레귤레이터

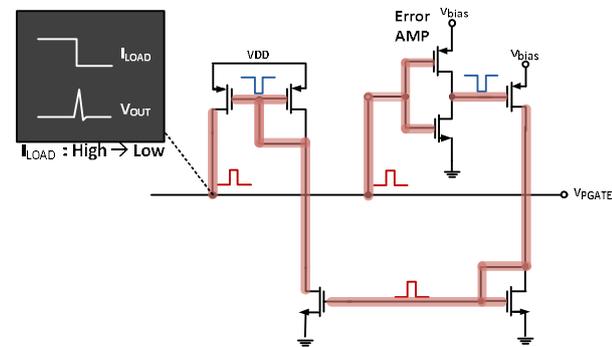


Fig. 4. The Proposed LDO Undershoot Detect Circuit.
그림 4. 제안된 LDO Undershoot Detect Circuit

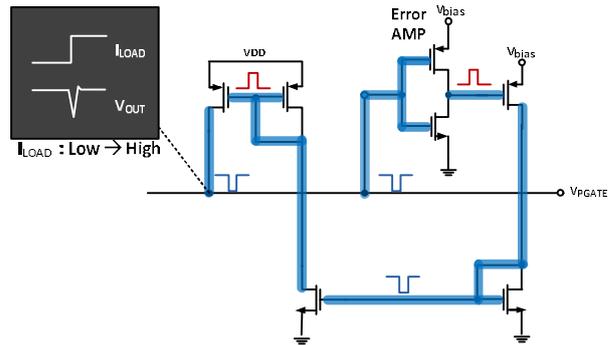


Fig. 5. The Proposed LDO Overshoot Detect Circuit.
그림 5. 제안된 LDO Overshoot Detect Circuit

3. 시뮬레이션 결과

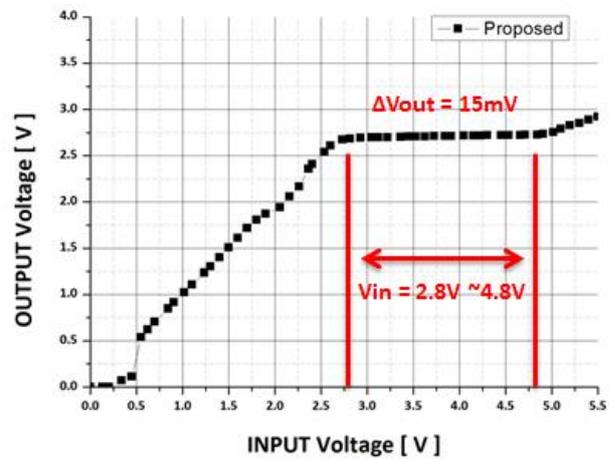


Fig. 6. The line regulation simulation result for the proposed LDO.

그림 6. 제안된 LDO의 Line Regulation 시뮬레이션 결과

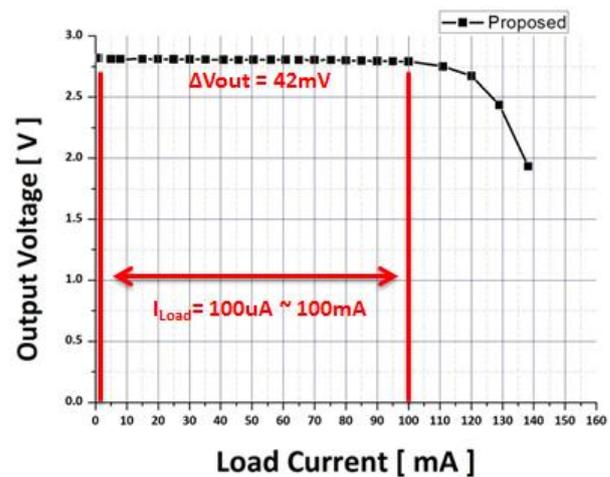


Fig. 7. The load regulation simulation result for the proposed LDO.

그림 7. 제안된 LDO의 Load Regulation 시뮬레이션 결과

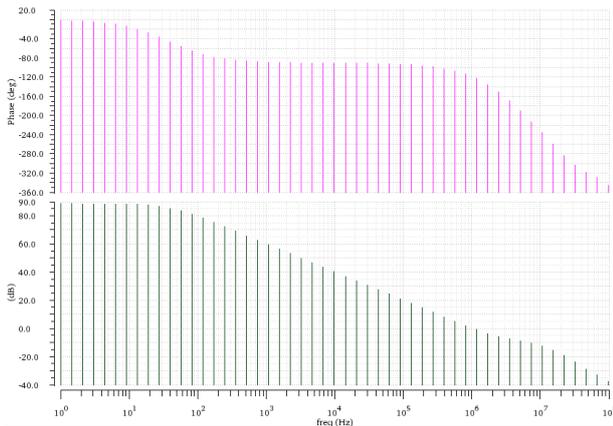


Fig. 8. Phase margin simulation result for the proposed LDO.
그림 8. 제안된 LDO의 페이즈 마진 시뮬레이션 결과

Table 1. The conventional LDO circuit data.

표 1. 기본 LDO 회로 데이터

Conventional Circuit With LDO Regulator	
Input Voltage	3.3V
Output Voltage	3V
Reference Voltage	1.2V
Dropout Voltage	300mV
Line Regulation	$\Delta 40\text{mV}$ (Input Voltage = 2.8 V~4.8 V)
Load Regulation	$\Delta 72\text{mV}$ (Load Current = 100 μA ~100 mA)

Table 2. The proposed LDO circuit data.

표 2. 제안된 회로 데이터

Proposed Circuit With LDO Regulator	
Input Voltage	3.3V
Output Voltage	3V
Reference Voltage	1.2V
Dropout Voltage	300mV
Line Regulation	$\Delta 15\text{mV}$ (Input Voltage = 2.8 V~4.8 V)
Load Regulation	$\Delta 42\text{mV}$ (Load Current = 100 μA ~100 mA)

그림 8은 제안된 LDO 레귤레이터의 페이즈 마진과 이득 값의 시뮬레이션 결과이다. 페이즈 마진은 65도를 확보하였으며, Gain을 높이기 위하여 오차 증폭기의 이득을 높게 가져감으로 인해 Gain을 88 db를 확보하였다[8]. 그림 6은 제안된 LDO의 Line Regulation 시뮬레이션 결과이다. 시뮬레이션 결과를 보면 입력전압이 2.8 V~4.8 V 까지 상승할 때

$\Delta 15\text{ mV}$ 의 전압 변화를 가지게 된다. 반면 기존의 LDO의 Line Regulation은 입력전압이 2.8 V~4.8 V까지 상승할 때 $\Delta 40\text{ mV}$ 의 변화를 가진다. 제안한 Feedback 감지 회로 구조를 사용하여 부하 전류와 입력 전압에 따른 출력 델타량을 개선시킬 수 있었다. 표 1, 표 2는 제안된 LDO와 기존 LDO의 데이터시트를 보여준다. 데이터시트를 비교하면 기존 LDO에 비해 개선된 Regulation 델타 값을 확인할 수 있다. 따라서 제안된 LDO의 Load Regulation은 100 μA ~100 mA에서 $\Delta 42\text{ mV}$ 약 30 mV의 향상된 델타 전압 값을 갖는다.

III. 결론

본 논문에서는 본래의 LDO 레귤레이터에서 오차 증폭기 출력 단자와 패스 트랜지스터의 게이트 단자 사이에 Feedback 감지 회로를 추가하여 레귤레이션 특성이 향상된 LDO 레귤레이터를 제안하였다. 또한, 부하 전류, 입력 전압의 변화에 따른 변동율의 특성에 따른 부하 조정의 특성이 향상되었음을 확인하였다. 그 결과 출력 전류, 입력전압의 변동에도 델타 값이 감소하여 동작이 확보되어진 LDO 레귤레이터를 개발하였다. 본 논문은 삼성 0.13 μm 공정을 사용하여 시뮬레이션을 진행하였다.

References

- [1] Behzad Razavi, "Design of Analog CMOS Integrated Circuits," *Hanbit media*, pp.253-306, 2011.
- [2] Sao-Hung Lu, "A Fast-Recovery Low Dropout Linear Regulator for Any-Type Output Capacitors," *Asian Soild-state circuits conference*, pp.497-500, 2005. DOI: 10.1109/ASSCC.2005.251786
- [3] Behzad Razavi, "Design of Analog CMOS Integrated Circuits," *Hanbit media*, pp.383-406, 2011.
- [4] Behzad Razavi, "Design of Analog CMOS Integrated Circuits," *Hanbit media*, pp.295-326, 2011.
- [5] Yong-Seo Koo; Kang-Yoon-Lee; Jae-Hwan Ha; Yil-Suk Yang. "A Design of Power Management IC for CCD Image Sensor," *IKEEE*, vol.13, no.4,

pp.63-68, 2009.

[6] Yong-Seo Koo. "A design of low-area low drop-out regulator using body bias technique," *IEICE Electronics Expresss*, vol.10, no.19, pp.1-12, 2013. DOI: 10/19/10_10.20130300e

[7] Liang-Guo Shen, Zu-Shu Yan, Xing Zhang, Yuan-Fu Zhao, Ming Gao, "A fast-response low-dropout regulator based on power-efficient low-voltage buffer," *Circuits and Systems, 2008. MWSCAS 2008. 51st Midwest Symposium on*, pp.546-549, 2008. DOI: 10.1109/MWSCAS.2008.4616857

BIOGRAPHY

Jun-Mo Jung (Member)



1985 : BS degree in Electronics Engineering, Hanyang University.
 1987 : MS degree in Electronics Engineering, Hanyang University.
 1992 : PhD degree in Electronics Engineering, Hanyang University.
 1995~presently : professor in Seokyeong University.

main interesting field : integrated circuit, micro processor