

높은 Holding Voltage 및 All-Direction 특성을 갖는 SCR 기반의 ESD 보호회로에 관한 연구

A Study on SCR-based ESD Protection Circuit with High Holding Voltage and All-Direction Characteristics

진 승 후*, 도 경 일*, 우 제 욱*, 구 용 서*

Seung-Hoo Jin*, Kyoung-Il Do*, Je-Wook Woo*, Yong-Seo Koo*

Abstract

In this paper, we propose a new ESD protection circuit with improved electrical characteristics through structural changes of the existing one-way SCR. The proposed ESD protection circuit has high holding voltage characteristics due to the inserted N⁺ floating and P⁺ floating regions, and thus the latch-up immunity characteristics are improved. In addition, structural change enables ESD discharge in four types of Zapping mode (PD, PS, ND, NS), and has superior area efficiency than unidirectional SCR. In addition, the P⁺ floating and N⁺ floating lengths corresponding to the base length of the parasitic bipolar transistor, and the distance between P⁺ floating and N⁺ floating were designated as design variables, and the high holding voltage was verified through Synopsys' TCAD Simulator.

요 약

본 논문에서는 기존 단방향 SCR의 구조적인 변경을 통해 향상된 전기적 특성을 갖는 새로운 ESD 보호회로를 제안한다. 제안된 ESD 보호회로는 삽입된 N⁺ Floating 및 P⁺ Floating 영역으로 인해 높은 Holding Voltage 특성을 가져 Latch-up 면역특성이 향상되었다. 또한 구조적인 변경으로 모든 4가지 유형(PD, PS, ND, NS)의 Zapping Mode에서 ESD 방전이 가능하므로 단방향 SCR보다 우수한 면적효율을 가진다. 그리고 기생 바이폴라 트랜지스터의 베이스 길이에 해당하는 P⁺ floating, N⁺ floating 길이와 P⁺ floating과 N⁺ floating 사이의 거리를 설계변수로 지정하였으며, 높은 Holding Voltage를 갖는 것을 Synopsys 사의 TCAD Simulator를 통해 검증하였다.

Key words : ESD, SCR, Zapping Mode, Trigger Voltage, Holding Voltage

* Dept. of Electronics Engineering, Dankook University

★ Corresponding author

E-mail : tmdgn132@naver.com, Tel : +82-31-8005-3625

※ Acknowledgment

The EDA tool was supported by the IC Design Education Center(IDECE), Korea. This work was supported by the National Research Foundation of Korea(NRF) grant funded by the Korea government Ministry of Education (No. 2018R1D1A1B07049047).

Manuscript received Dec. 4, 2020; revised Dec. 28, 2020; accepted Dec. 29, 2020.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

ESD(Electro-Static Discharge)는 소자 또는 회로의 내, 외부적인 요인으로 전하가 순간적으로 방전이 되면서, IC(Integrated Circuit)에 Junction Breakdown, Via Damage, Oxide Breakdown, Spiking, Charge Trap 등의 현상을 일으키게 되어 반도체 내부 IC의 손상 및 파괴를 유발한다[1]. 반도체 산업의 발달에 따라 지속적으로 소형화가 진행되고 있으며, 효율적인 발전을 위하여 고집적화가 이루어지고 있는 추세이다. 이러한 반도체 기술의 발전으로 IC의 집적도는 높아졌지만 그에 따라 Gate Oxide의

두께는 얇아지고 Junction Depth는 매우 감소하여 ESD에 더욱 취약해져 IC의 파괴가 증가하였다[2]. 따라서 ESD에 의한 IC의 파괴를 감소시키기 위해서 Core IC의 내부를 보호하기 위한 ESD 보호회로에 대한 연구가 지속적으로 진행되고 있다.

널리 알려진 ESD 보호회로의 대표적인 소자로는 MOSFET 구조의 GGNMOS(Gate-Grounded NMOS)와 SCR(Silicon Controlled Rectifier) 등이 있다[3]. GGNMOS는 ESD 보호회로의 대표적인 형태로서 CMOS 공정과의 호환성이 가장 큰 장점으로 뽑히지만, 표면에서 전류밀도가 높기 때문에 열전도도가 낮은 Oxide 부근에서 Thermal failure에 취약하다. 뿐만 아니라 Advanced 공정 기술 중 Silicide 기술은 전류의 흐름을 표면으로 집중시켜 Device 성능을 향상시켰지만, ESD 관점에서는 열 발생이 표면으로 집중되기 때문에 감내특성(Robustness)을 저하시킨 요인으로 작용한다[4]. 반면에 단방향 SCR은 여러 기생 BJT(Bipolar Junction Transistor)가 서로 base 전류를 제공하는 Positive Feedback 동작을 하기 때문에 GGNMOS와 비교하여 전류 구동 능력이 우수하고 높은 감내 특성(Robustness)을 지닌다. 하지만 기생 BJT의 Positive Feedback 동작으로 인한 약 1.5V의 낮은 Holding Voltage는 Latch-up 문제가 발생할 수 있는 단점이 있다[5][6].

이러한 ESD 보호회로에 대해서 객관적인 평가를 하기 위한 4 가지 유형의 Zapping Mode가 있다. PS(Positive Vss) 모드는 Positive ESD 전압이 핀에 적용되고 Vss 핀이 접지되는 경우이다. 이때, Vdd 핀과 다른 핀은 Floating 되어있다. NS(Negative Vss) Mode는 Negative ESD 전압이 핀에 적용되고 Vss 핀이 접지된 경우이다. 이때 Vdd 핀과 다른 핀은 PS Mode와 같이 Floating된다. PD(Positive Vdd) Mode는 Positive ESD 전압이 핀에 적용되고 Vdd 핀이 접지되는 경우이다. 이때 Vss 핀과 다른 핀은 Floating 상태이다. ND(Negative Vdd) Mode는 Negative ESD 전압이 핀에 적용되고 Vdd 핀이 접지된 경우이다. Vss 및 기타 핀은 PD Mode와 같이 Floating된다[7].

따라서 본 논문에서는 구조적 변경을 통해 4가지 ESD Stress Mode인 PD, ND, PS, NS의 모든 방전 경로를 제공하고 N+ Floating 및 P+ Floating 영역을 삽입하여 높은 홀딩 전압을 특징으로 갖는 새로운 ESD 보호회로를 제안한다. 제안된 ESD 보호회로의

전기적 특성은 Synopsys사의 T-CAD Simulator를 통해 검증하였으며 그 결과를 분석하였다.

II. 본론

1. 기존 ESD 보호회로

일반적인 SCR의 단면도와 등가회로를 각각 그림 1, 2에 나타내었다. SCR은 Lateral NPN BJT와 Lateral PNP BJT가 연결된 PNPN 구조를 지닌다. 또한, N-Well의 P+, N+ 영역에는 Anode단을 연결하고 P-Well의 P+, N+ 영역에는 Cathode단을 연결하였다.

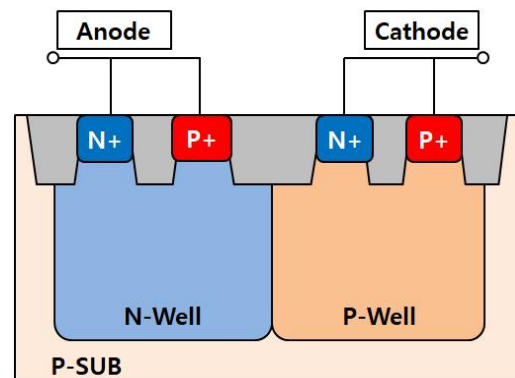


Fig. 1. Cross section view of the conventional SCR structure.
그림 1. 일반적인 SCR 구조의 단면도

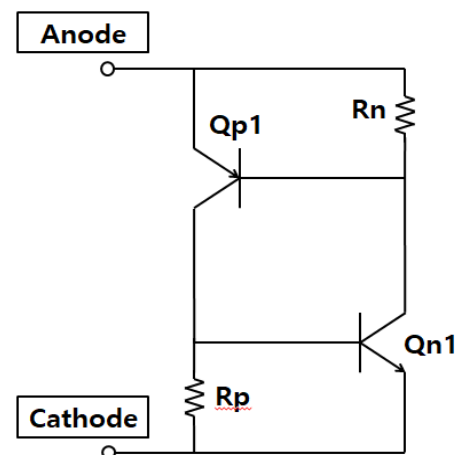


Fig. 2. Equivalent circuit of the conventional SCR.
그림 2. 일반적인 SCR의 등가회로

SCR의 동작원리는 다음과 같다. I/O 단을 통해 Anode단으로 유입된 ESD Pulse에 의해 N-Well의 전위가 상승하게 되면 N-Well과 P-Well은 역방향 접합이 되어 Depletion Region이 형성된다. 형성된

Depletion Region 내에서 생성된 전계가 Avalanche Breakdown를 일으키는 임계 값을 넘으면 EHP (Electron-Hole pair)가 생성된다. 생성된 Hole 전류는 P+ Cathode 단으로 흐르게 되고 이 때 P-Well의 큰 저항으로 인해 전압강하가 형성된다. 이는 P-Well과 N+ Cathode 접합부에 순방향 턴온을 발생시켜 Lateral NPN이 동작하게 된다. 생성된 Electron 전류 역시 N+ Anode 단으로 흐르면서 N-Well의 큰 저항으로 P+ Cathode와 N-Well 접합부에 순방향 턴온하여 Lateral PNP 동작을 유발한다. 턴온된 Lateral PNP 및 NPN 트랜지스터는 각각 서로의 Base 전류를 공급하는 Positive Feedback을 통해 대부분의 ESD 전류를 방전시킨다. 하지만 SCR은 언급한 Positive Feedback으로 인해 매우 낮은 Holding Voltage를 가지므로 Latch-up 문제가 발생할 수 있다. 또한 SCR은 단방향 ESD 보호소자이므로 4가지 유형의 Zapping Mode(PD, PS, ND, NS)에 대한 보호능력이 다소 제한되는 단점이 있다.

2. 제안된 ESD 보호회로

기존의 SCR의 구조적 변경을 통하여 제안된 SCR 기반 ESD 보호회로에는 두 가지 구조적 특징이 있다. 첫째, ESD 보호회로에 적용된 극성에 따라 Vdd 혹은 Vss 핀에 대해 4가지 유형의 ESD 방전경로(PD, ND, PS 및 NS)를 제공한다. 이는 기존의 단방향 SCR과는 달리, 모든 4가지 유형의 ESD 방전경로를 제공하므로 All-Direction 특성을 지니게 된다. 각 Mode에서 방전 경로가 있는 제안된 ESD 보호회로는 단방향 SCR 보호회로와 비교하여 높은 면적 효율을 가진다. 두번째로 N-Well과 P-Well의 N+ floating 및 P+ floating을 추가함으로써 유효 Base 길이를 증가시켜 기생 NPN 및

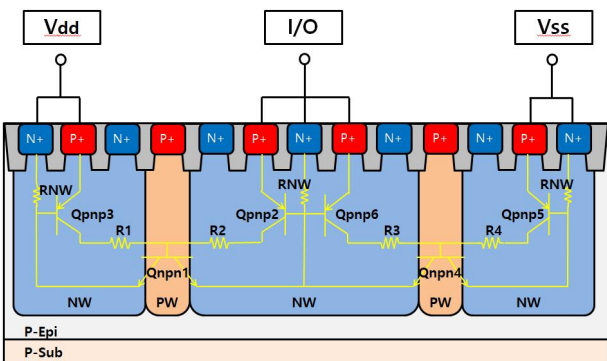


Fig. 3. Cross section view of the Proposed device. 그림 3. 제안된 소자의 단면도

PNP의 전류이득을 감소시킨다. 이로 인하여 Holding Voltage가 증가하여 Latch-up 문제를 개선한다. 그림 3은 제안된 소자의 단면도이며, 그림 4는 제안된 소자의 등가회로이다. 또한, 그림 5는 ESD 현상의 4가지 Zapping Mode를 나타낸 그림이다.

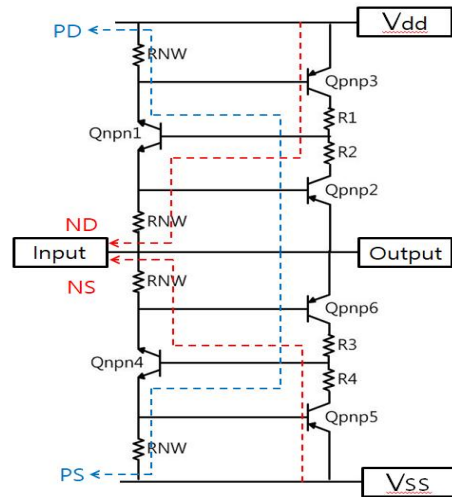


Fig. 4. Equivalent circuit of the Proposed device. 그림 4. 제안된 소자의 등가회로

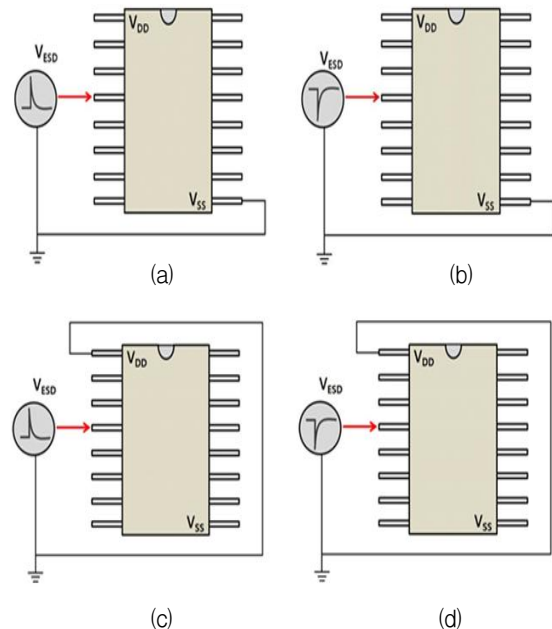


Fig. 5. Four zapping modes in ESD event: (a) PS-mode, (b) NS-mode, (c) PD-mode, (d) ND-mode. 그림 5. ESD 현상의 4가지 Zapping mode: (a) PS-mode, (b) NS-mode, (c) PD-mode, (d) ND-mode

제안된 ESD 보호회로의 동작 원리는 다음과 같다. PD Mode의 경우 Positive ESD Pulse가 I/O 단자에 적용되면 N-Well과 P-Well의 Avalanche

Breakdown이 발생하고 생성된 EHP에 의해 Qnp2에서 PNP의 Emitter-Base 접합이 Forward Bias가 된다. 또한, Qnp2가 Turn-On되면 삽입된 N-Well의 N+ Floating은 PNP의 유효 Base 길이의 증가와 더불어 전류 이득을 상대적으로 감소시켜 높은 Holding Voltage 특성을 갖는다. Qnp2를 통해 흐르는 전류는 P-Well로 흐르고 Qnp1을 Turn-On시킨다. 이 때, P-Well의 P+ Floating 영역은 Qnp1의 전류 이득을 감소시켜 마찬가지로 높은 Holding Voltage 특성을 얻는다. 또한 PNP 및 NPN의 Latch 작동에 의해 활성화되기 때문에 대부분의 ESD 전류가 방전 경로를 형성한다. 이 과정은 Qnp3-Qnp1에 의해 형성된 SCR의 ND Mode에서도 적용되어 반대 방향으로 방전 경로를 생성한다. 마찬가지로, PS Mode 및 NS Mode의 경우 동작원리는 위와 동일하며 PS Mode에서는 Qnp6-Qnp4, NS Mode에서는 Qnp5-Qnp4가 턴온 되어 대부분의 ESD 전류를 방전한다.

3. 시뮬레이션 결과

본 논문에서는 제안된 ESD 보호회로의 전기적 특성을 검증하기 위해 시뮬레이션사의 TCAD Simulator를 이용하였다. 또한 설계 변수 D1, D2 및 D3는 제안된 ESD 보호 회로의 Holding Voltage 특성을 분석하기 위해 설정하였다. 설계 변수 D1은 P-Well에서 P+ Floating 영역의 길이이고 설계 변수 D2는 N-Well의 N+ Floating 영역의 길이이며 설계 변수 D3는 N+ Floating과 P+ Floating 사이의 간격이다. 아래 그림 6을 통해 설계변수의 위치를 나타내었다.

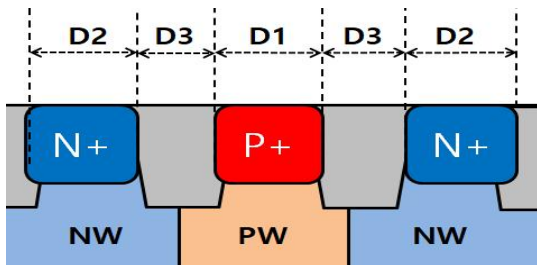


Fig. 6. The design variable of the Proposed device.
그림 6. 제안된 소자의 설계변수

그림 7은 일반적인 SCR과 4가지 Zapping Mode를 고려한 제안된 ESD 보호회로의 DC I-V 특성 시뮬레이션 결과이다. 결과에 따르면 단방향 SCR과 달리 제안된 ESD 보호회로는 4가지 유형의

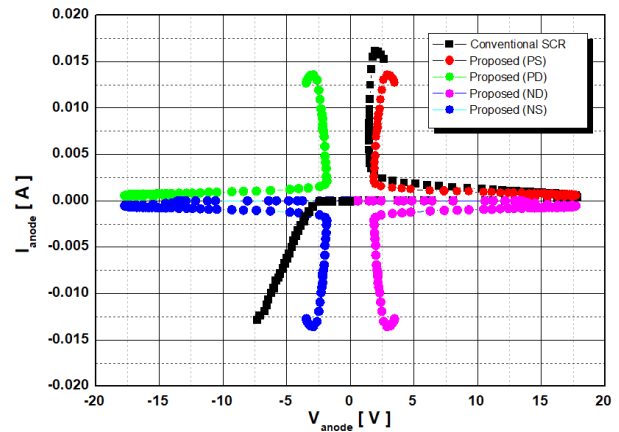


Fig. 7. Simulated DC I-V Curve of conventional SCR and Proposed ESD device.

그림 7. 기존 SCR 및 제안된 ESD 보호소자의 DC I-V 특성 곡선 시뮬레이션

ESD 방전경로를 제공하므로 All-Direction 특징을 갖는다는 것을 확인할 수 있다. SCR의 Trigger Voltage은 17V이며 PS-Mode에서 제안된 ESD 보호회로의 Trigger Voltage은 16.5V로 유사한 수치를 보인다. 또한 Holding Voltage는 각각 1.4V와 1.7V로 제안된 ESD 보호회로가 약 0.3V 높다.

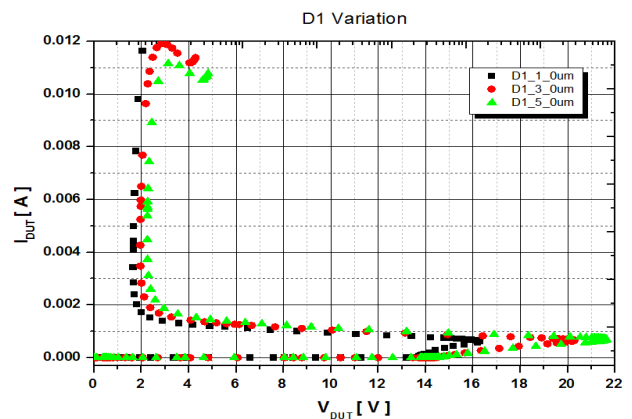


Fig. 8. DC I-V characteristic curve simulation of the proposed ESD protection circuit according to D1.

그림 8. D1에 따른 제안된 ESD 보호회로의 DC I-V 특성 곡선 시뮬레이션

Table 1. The Holding Voltage and Trigger Voltage with D1 variation.

D1	Holding Voltage	Trigger Voltage
1.0um	1.65V	16.98V
3.0um	1.94V	20.32V
5.0um	2.24V	21.85V

표 1. 설계변수 D1에 따른 홀딩 전압 및 트리거 전압

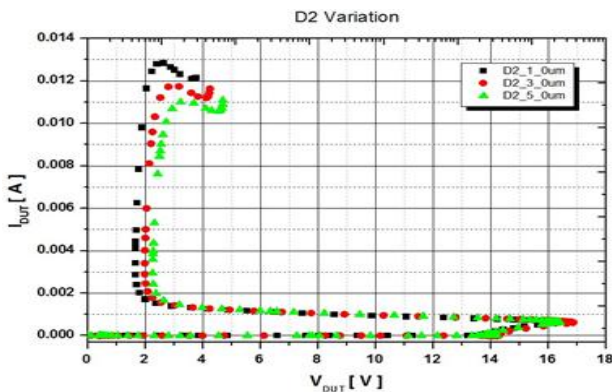


Fig. 9. DC I-V characteristic curve simulation of the proposed ESD protection circuit according to D2.
 그림 9. D2에 따른 제안된 ESD 보호회로의 DC I-V 특성 곡선 시뮬레이션

Table 2. The Holding Voltage and Trigger Voltage with D2 variation.

표 2. 설계변수 D2에 따른 홀딩 전압 및 트리거 전압

D2	Holding Voltage	Trigger Voltage
1.0um	1.66V	16.27V
3.0um	1.97V	16.76V
5.0um	2.25V	16.33V

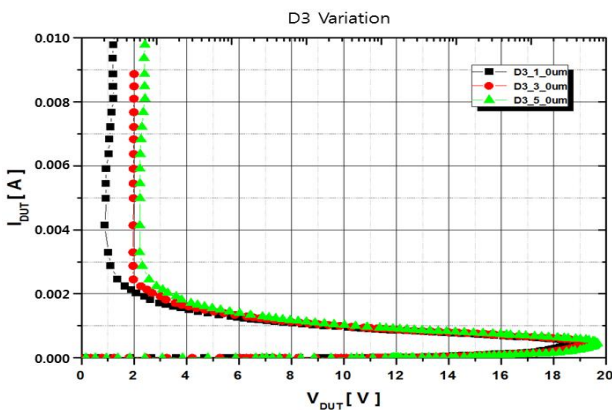


Fig. 10. DC I-V characteristic curve simulation of the proposed ESD protection circuit according to D3.
 그림 10. D3에 따른 제안된 ESD 보호회로의 DC I-V 특성 곡선 시뮬레이션

Table 3. The Holding Voltage and Trigger Voltage with D3 variation.

표 3. 설계변수 D3에 따른 홀딩 전압 및 트리거 전압

D3	Holding Voltage	Trigger Voltage
1.0um	1.49V	18.51V
3.0um	1.96V	19.36V
5.0um	2.22V	19.66V

그림 8, 9, 10은 각각 제안된 ESD 보호회로의 설계 변수 D1, D2, D3에 따른 I-V 특성 곡선이며, 각 설계 변수에서 나머지 설계 변수들은 모두 1um로 고정되어있다. 설계 변수 D1은 제안된 ESD 보호회로의 P-Well에 삽입된 P+ Floating 영역의 길이 변화를 나타내며 길이가 1um, 3um, 5um로 증가함에 따라 Trigger Voltage는 16.98V, 20.32V, 21.85V로 증가하며 Holding Voltage는 1.65V, 1.94V, 2.24V로 증가한다. 설계 변수 D2는 N-Well에 삽입된 N+ Floating 영역의 길이 변화를 나타내며 길이가 1um, 3um, 5um로 증가함에 따라 Trigger Voltage는 16.27V, 16.76V, 16.33V로 유사한 수치를 보이며 Holding Voltage는 1.66V, 1.97V, 2.25V로 증가한다. 마지막으로 설계 변수 D3는 P+ Floating 영역과 N+ Floating 영역 사이의 간격 변화를 나타내며 거리가 1um, 3um, 5um로 증가함에 따라 Trigger Voltage는 18.51V, 19.36V, 19.66V로 증가하며 Holding Voltage는 1.49V, 1.96V, 2.22V로 증가한다. 모든 설계 변수에 대해서 홀딩 전압이 증가하는 이유는 기생 바이폴라 트랜지스터의 유효 Base 영역의 길이가 늘어남에 따라서 전류 이득이 감소하기 때문이다.

III. 결론

본 논문에서는 유입된 ESD 전류로부터 내부 IC를 효율적으로 보호하기 위한 새로운 구조의 ESD 보호회로를 제안하였다. 기존 ESD 보호회로인 SCR은 기생 바이폴라 트랜지스터의 Positive Feedback으로 인해 낮은 Holding Voltage를 가져 Latch-up 문제에 취약하며 단방향 특성 때문에 다양한 경로로 유입되는 ESD를 효과적으로 방전하지 못한다. 따라서 새로운 ESD 보호회로는 구조적 변경과 N+ Floating, P+ Floating 영역을 삽입으로 인해 4가지 Zapping Mode에서의 모든 방전경로를 제공하므로 단방향 SCR보다 면적효율이 우수하며 높은 Holding Voltage를 가져 향상된 전기적 특성을 갖는다. 또한 기생 바이폴라 트랜지스터의 유효 베이스길이에 해당하는 설계변수를 조절하여 Holding Voltage의 상승을 확인하였으며 특정 어플리케이션에 대한 요구 전압이 주어질 때, 이에 맞추어 Holding Voltage를 최적화하는데 사용될 수 있다.

References

- [1] Hyun-Young Kim, "A Study on the Electrical Characteristic of SCR-based Dual-Directional ESD Protection Circuit According to Change of Design Parameters" *j.inst.Korean.electr.electron.eng*, Vol.19, No.2, pp.265-270, 2015.
DOI: 10.7471/ikeee.2015.19.2.265
- [2] C. Russ, K. Bock, M. Rasras, I. D. Wolf, G. Groeseneken, and H. E. Maes, "Non-uniform triggering of gg-nMOSs investigated by combined emission microscopy and transmission line pulsing," *in Proc. EOS/ESD Symp.*, 1998.
- [3] J. Y. Lee "Analysis of SCR, MVSCR, LVTSCR With I-V Characteristic and Turn-On-Time," *j.inst.Korean.electr.electron.eng*, vol.20, no.3, pp. 295-398, 2016. DOI: 10.7471/ikeee.2016.20.3.295
- [4] O. Quittard, Z. Mrcarica, F. Blanc, G. Notermans, T. Smedes, and H. van Zwol, "ESD protection for high-voltage CMOS technologies," *EOS/ESD Symp*, pp.77-86, 2006.
- [5] F. Du, F. Hou, Z. Liu, J. Liu, J. J. Liou, "Bidirectional silicon-controlled rectifier for advanced ESD protection applications," *Electronics Letters*, vol.55, no.2, pp.112-114, 2019.
DOI: 10.1049/el.2018.6686
- [6] K. I. Do, B. S. Lee and Y. S. Koo, "A New Dual-Direction SCR with High Holding Voltage and Low Dynamic Resistance for 5V Application," *IEEE Journal of the Electron Device Society*, vol.7, pp.601-605, 2019.
DOI: 10.1109/JEDS.2019.2916399
- [7] K. I. Do, B. B. Song, Y. S. Koo, "A Novel Dual-Directional SCR Structure with High Holding Voltage for 12-V Applications in 0.13-um BCD Process," *IEEE Transactions on Electron Devices*, vol.67, no.11, pp.5020-5027, 2020.
DOI: 10.1109/JEDS.2020.2999108

BIOGRAPHY

Seung-Hoo Jin (Member)



2020 : BS degree in Electrical Engineering, DanKook University.
2020~ : Unified course of the master's in Electronics and Engineering, DanKook University.

Kyoung-II Do (Member)



2016 : BS degree in Electrical Engineering, SeoKyeong University.
2016~ : Unified course of the master's and the doctor's in Electronics and Engineering, DanKook University.

Je-Wook Woo (Member)



2019 : BS degree in Electrical Engineering, SeoKyeong University.
2019~ : Unified course of the master's in Electronics and Engineering, DanKook University.

Yong Seo-Koo (Member)



1981 : BS degree in Electronics Engineering, Sogang University.
1983 : MS degree in Electronics Engineering, Sogang University.
1992 : Ph.D degree in Electronics Engineering, Sogang University.
Current research interest : integrated circuit, micro processor