

# 고해상도 듀티비 제어가 가능한 디지털 제어 방식의 CMOS 전압 모드 DC-DC 벡 변환기 설계

## Design of digitally controlled CMOS voltage mode DC-DC buck converter for high resolution duty ratio control

윤 광 섭\*, 이 종 환\*\*★

KwangSub Yoon\*, Jonghwan Lee\*\*★

### Abstract

This paper proposes a digitally controlled buck converter insensitive to process, voltage and temperature and capable of three modes of operation depending on the state of the output voltage. Conventional digital-controlled buck converters utilized A/D converters, counters and delay line circuits for accurate output voltage control, resulting in increasing the number of counter and delay line bits. This problem can be resolved by employing the 8-bit and 16-bit bidirectional shift registers, and this design technique leads a buck converter to be able to control duty ratio up to 128-bit resolution. The proposed buck converter was designed and fabricated with a CMOS 180 nano-meter 1-poly 6-metal process, generating an output voltage of 0.9 to 1.8V with the input voltage range of 2.7V to 3.6V, a ripple voltage of 30mV, and a power efficiency of up to 92.3%. The transient response speed of the proposed circuit was measured to be 4 $\mu$ s.

### 요 약

본 논문은 공정, 전압 및 온도에 둔감하며, 출력전압 상태에 따라 3가지 동작모드가 가능한 디지털 제어 벡 변환기를 제안한다. 기존 디지털 제어 방식의 벡 변환기는 A/D 변환기, 카운터 및 딜레이 라인 회로를 사용하여서 정확한 출력 전압을 제어하였다. 정확한 출력 전압 제어를 위해서는 카운터 및 딜레이 라인 비트 수를 증가시켜서 회로 복잡성 증가 문제점을 지니고 있다. 이러한 회로의 복잡성 문제를 해결하기 위해서 제안된 회로에서는 8비트 및 16 비트 양 방향 쉬프트 레지스터를 사용하고 최대 128비트 해상도까지 듀티비 제어가 가능한 벡 변환기를 제안한다. 제안하는 벡 변환기는 CMOS 180 나노 공정 1-poly 6-metal을 사용하여 설계 및 제작하였으며, 2.7V~3.6V의 입력 전압과 0.9~1.8V의 출력 전압을 생성하고, 리플전압은 30mV, 전력 효율은 최대 92.3%, 과도기 응답속도는 4 $\mu$ s이다.

*Key words* : CMOS, PMIC, DPWM, Buck, Voltage mode

\* Dept. of Electronics Engineering, inha University

\*\* Dept. of System Semiconductor Engineering, sangmyung University

★ Corresponding author

E-mail : [jhlee77@smu.ac.kr](mailto:jhlee77@smu.ac.kr), Tel : +82-41-550-5526

※ Acknowledgment

※ This research was supported in part by Inha Research grant and the National Research Foundation of Korea (NRF) grant funded by the Korea government (MSIT) (2019R1F1A1050640). Authors thank to IDEC for CAD tool support and fabrication.

Manuscript received Nov. 25, 2020; revised Dec. 22, 2020; accepted Dec. 24, 2020.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

## I. 서론

반도체 제조 공정 기술의 발달 및 IoT 시대가 도래됨에 따라서 모바일 및 휴대기기의 어플리케이션 프로세서(Application Processor, AP)에 안정적인 전원 공급을 할 수 있도록 고성능의 전력관리 회로를 설계하는 것이 중요해지고 있다[1]. 이를 위해 벽 변환기의 전력변환 효율뿐만 아니라 빠른 응답속도, 정확한 출력전압 등이 배터리 전력관리 회로의 성능에 있어서 중요한 기준이 되었다. 하지만, 모바일 기기 및 IoT의 전력관리 회로들은 제한된 배터리 구동 시간을 갖기 때문에 시간이 지남에 따라서 구동 능력이 떨어진다는 단점이 있다. 따라서, 전력관리 회로를 설계하는 데에 있어서 구동 시간과 전력변환 효율을 향상시키는 것이 필수적이다 [2], [3]. 제안하는 회로는 디지털 제어 회로들을 사용하여서 배터리 구동 시간을 효율적으로 사용할 수 있도록 설계하였다. 기존 디지털 제어 방식의 벽 변환기 구조에서는 정확한 듀티비 제어를 위해 ADC (Analog to Digital Converter), 카운터 및 딜레이 라인 구조 등을 사용하였다[4], [5]. ADC의 해상도와 카운터의 비트 수를 증가시킬수록 정확한 듀티비 제어가 가능하다는 장점이 있지만, 해상도와 비트 수를 높일수록 회로의 복잡성 및 큰 전력 소모가 발생한다[6-7]. 이를 개선하기 위해 본 논문에서는 ADC, 카운터 및 딜레이 라인 회로 대신 8 비트 및 16비트 양방향 쉬프트 레지스터를 사용하여 회로의 복잡성을 감소시키고 전력 변환 효율을

향상시켰다. 또한, 넓은 출력 전압 범위를 위해 최대 128 비트까지 듀티 비 제어가 가능하도록 하였다. 그 결과, 0.9~1.8V의 넓은 출력 전압 범위를 가지며, 출력 전압 상태에 따라 듀티비를 최적의 값으로 제어할 수 있도록 하여 벽 변환기의 성능을 향상시켰다.

본 논문은 다음과 같이 구성된다. 2장에서는 제안하는 회로의 구조와 주요 블록의 디자인에 대해 설명한다. 3장에서는 실험 결과와 성능 분석을 하였으며, 4장에서는 결론을 맺는다.

## II. 본론

### 1. 제안하는 회로 설계

그림 1은 제안하는 회로의 블록 다이어그램을 나타낸다. 점선 내부에 이뤄진 회로는 칩 내부에 내장된 회로이며 기준전압 생성회로(Bandgap reference), 히스테리시스 비교기(Hysteresis comparator), 출력 전압을 감지하여 상태에 따라 동작모드를 변화하도록 하는 동작 모드 감지 비교기(Operation Mode Sensing Comparator), 소프트 스타트(Soft start) 회로, 전압 제어 발진기(Voltage Controlled Oscillator), 클럭 생성회로(Clock generator), 초기·정상·과도응답 상태 듀티 컨트롤러(Initial·steady·transient state duty controller), 클럭 분주기(Clock Divider), 게이트 드라이버, 파워 스위치로 구성되어있다. 점선 외부는 칩 외부에 있는 소자이며 인덕터, 출력 커패시터, 부하, 피드백 저항으로 구성되어있다. 그

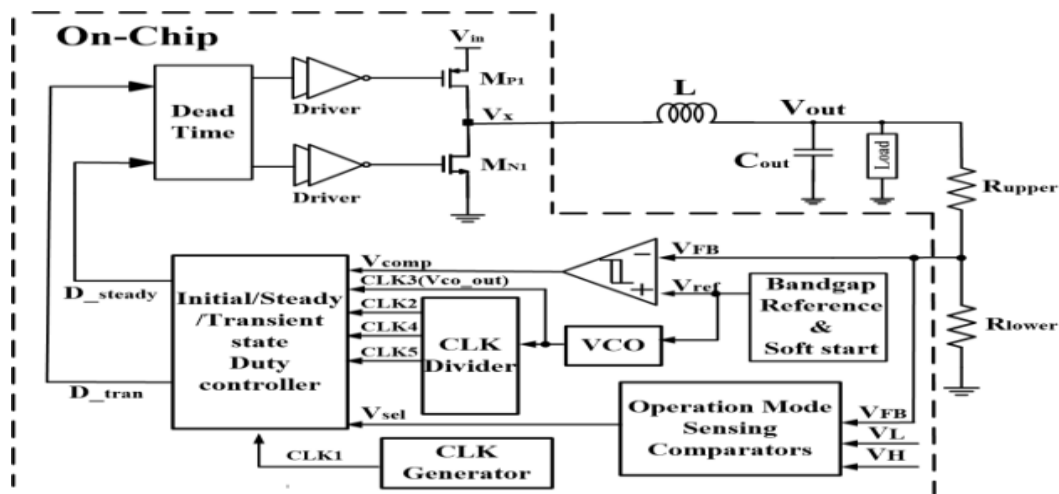


Fig. 1. Proposed digitally controlled buck converter block diagram.  
그림 1. 제안하는 디지털 제어 방식의 벽 변환기 블록 다이어그램

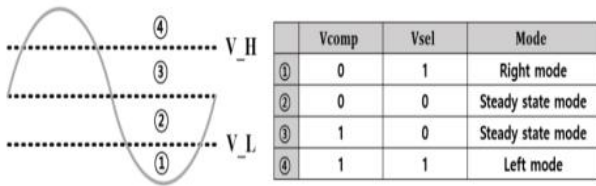


Fig. 2. Output and operation status of comparator according to output voltage value.

그림 2. 출력 전압 값에 따른 비교기의 출력 및 동작 상태

림 1에서 출력 전압( $V_{out}$ )이 기준 전압과 비교되어  $V_{comp}$  값이 출력된다. 또한, 동작 모드 감지 비교기에서 출력 전압이  $V_H$ 와  $V_L$  값과 비교되어  $V_{SEL}$  값이 출력된다.  $V_{comp}$  와  $V_{SEL}$  값이 초기·정상·과도응답 상태 듀티 컨트롤러를 제어하도록 하여 컨트롤러부터 파워 스위치를 제어할 수 있는 듀티비를 제공하도록 설계하였다.

그림 2에서는 출력 전압의 상태에 따라 비교기의 출력값과 회로의 동작 상태를 나타내었다. 먼저, ①의 상태 구간에서는 출력 전압이 정상상태에 도달하기 전의 상태로 안정적으로 정상 상태에 도달할 수 있도록 듀티비를 제어한다. 이 때, 출력 전압과 비교 대상이 되는 기준 전압 생성을 위해 소프트 스타트회로가 필요하며, 소프트 스타트회로가 동작하는 속도와 근접하게 파워 스위치를 동작시키는 시간을 천천히 증가시킨다. 그 결과, 출력 전압이 소프트 스타트회로가 동작하는 동안 안정적으로 정상 상태 구간에 도달하며, 오버슈트 전류의 발생 없이 정상 상태에 도달할 수 있도록 설계하였다. 이를 위해 사용되는 회로는 그림 3에 나타내었다.

본 논문에서 사용된 8비트 쉬프트 레지스터의 동작 주파수는 벽 변환기의 2 MHz 스위칭 주파수 ( $f_{sw}$ )에서 16MHz의 클럭으로 동작한다. 동작 주파

수를 이와 같이 설정한 이유는 다음과 같다. 우선, 식 (1)과 같이 벽 변환기의 스위칭 주기인 500ns (2MHz)를 8개의 구간으로 나누게 되면 62.5ns로 구간을 나누어 리셋을 조절할 수 있다. 즉, 8비트 쉬프트 레지스터의 동작주파수는 16MHz이다.

$$f_{bit\ SR} = 2MHz * 8 = 16MHz \quad (1)$$

제안하는 회로에서는 기존의 벽 변환기에서 일정한 스위칭 주기를 갖고 정상상태 구간에 도달했을 때보다 훨씬 적은 스위칭 주기로 공급 전압원으로부터 에너지를 공급받아 안정적으로 정상 상태 구간에 도달하게 된다. 그 결과, 전체적인 스위칭 손실을 감소시켜 전체 효율을 증가시킬 수 있다. 이러한 방식으로 출력 전압은 적은 스위칭만으로도 ②의 구간으로 진입할 수 있다. 즉, ①의 구간에서는  $V_{SEL}$ 의 값이 'High'로 출력되고 이로 인해 파워 스위치를 제어하는 그림 3의 8비트 쉬프트 레지스터로부터 나온 RESET 신호가 'PWM\_RESET2' 경로를 통해 파워 스위치를 'OFF'하도록 한다.

②의 구간은 출력 전압이 기준 전압에 도달하기 직전의 구간이기 때문에 정교하게 듀티비 조절이 가능하도록 16비트 양 방향 쉬프트 레지스터를 사용하였다. 이로써 출력 전압 리플을 최소화함으로써 기준 전압에 도달할 수 있도록 한다. 정교한 듀티비 제어는 그림 3의 회로 중 16비트 쉬프트 레지스터로부터 가능하다. 우선, 공급 전압 3.3V, 출력 전압 1.2V 기준으로 식 (2)와 같은 듀티 비(D)를 8비트 쉬프트 레지스터에서 출력하도록 스위치로 고정시킨 후, 16비트 쉬프트 레지스터에서 정교한 듀티비를 조절할 수 있도록 한다. 즉, ②의 구간에서는  $V_{SEL}$ 의 값이 'Low'로 변화하고, 8비트 쉬프트

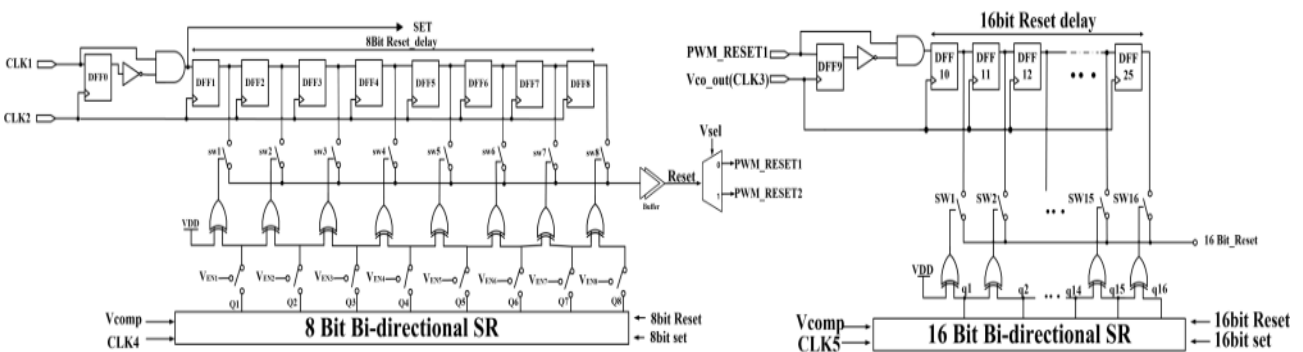


Fig. 3. Initial/steady/transient state Duty controller circuit.

그림 3. 초기/정상/과도응답 상태 듀티 컨트롤러 회로

레지스터로부터 출력된 RESET의 신호는 'PWM\_RESET1'의 경로로 들어가게 된다.

$$D = \frac{V_{OUT}}{V_{IN}} = \frac{1.2V}{3.3V} \cong \frac{180ns}{500ns} \quad (2)$$

이때, 16비트 양 방향 쉬프트 레지스터의 동작 주파수는 256MHz를 갖도록 한다. 동작 주파수를 256MHz로 설정한 이유는 8비트 쉬프트 레지스터의 주기인 62.5ns 내에서 추가적으로 16구간으로 나누어 정교한 듀티비 제어가 가능하도록 설계하였다. 식 (1)에서와 마찬가지로 16비트 쉬프트 레지스터의 동작 주파수를 식 (3)과 같이 결정하였다.

$$f_{16bit\ SR} = 16MHz * 16 = 256MHz \quad (3)$$

그 결과, 출력 전압이 정상 상태 구간과 근접하게 도달하게 되어 ②의 상태 구간에 진입하게 된다. 이와 같이 듀티 비가 결정되면, 출력 전압 값은 1.2V 값과 근접해지며 정상 상태 구간 ② 또는 ③에서 정밀한 듀티비 제어가 가능하다. 정밀한 듀티비에 대한 식은 다음과 같다.

$$D = \frac{T_{ON}}{T_S} + \Delta T_{CLK3} * N = \frac{180ns}{500ns} + \Delta 4ns * N \quad (4)$$

식 (4)에서 나타낸 듀티 비(D)는 공급 전압 3.3V, 출력 전압 1.2V 기준으로 한 듀티비 계산 식으로, 첫 번째 항인  $\frac{T_{ON}}{T_S}$ 는 식(2)와 같이 8비트 쉬프트 레지스터에서 고정시킨 듀티 비를 의미한다. 두 번째 항인  $\Delta T_{CLK3} * N$ 은 16비트 쉬프트 레지스터의 동작주파수인 256MHz로 조절할 수 있는 듀티 비를 뜻한다. N의 값은 16비트 양 방향 쉬프트 레지스터의 출력의 개수를 나타내므로, 256MHz 주파수를 사용하여서 최소 1에서부터 최대 16까지 곱해진 듀티비 조절이 가능함을 의미한다. 마지막으로, 부하 전류가 증가했을 때 과도응답 속도를 향상시키기 위해서는 다음의 그림 4와 같이 멀티플렉서를 구성하여 과도응답 속도 향상을 위한 신호를 파워 스위치를 구동하는 SR 래치의 RESET으로 보내준다. 과도응답 속도 향상을 위한 신호는 그림 4의 'Vtran\_EN'이며, 부하전류의 증가로 인해 출력 전압이 ② 또는 ③ 구간 상태에서 ① 구간으로 하강하였을 때  $V_{sel}$ 의 전압이 'Low'에서 'High'로 변화하며, 이러한

변화를 그림 4의 XOR 게이트 입력에서 감지할 수 있도록 한다. 그 결과, XOR 게이트의 출력  $V_{TranEN}$ 이 'Low'에서 'High'로 변화하게 된다. 'High'의 신호로 인하여 'Tran\_Reset' 신호가 그림 4의  $V_{EN_n}$  ( $n=1,2,3,\dots,8$ )으로부터 결정되어 SR 래치의 RESET 신호로 인가될 수 있다.

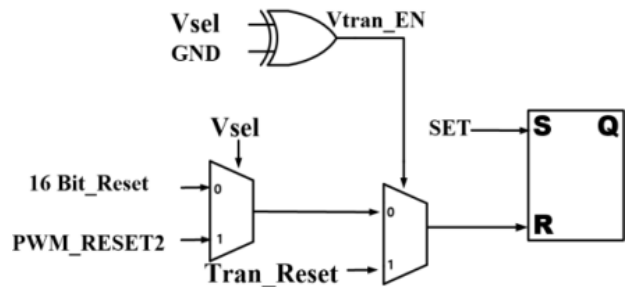


Fig. 4. Digital logic circuit for transient response speed control.

그림 4. 과도응답 속도 제어를 위한 디지털 로직 회로

이때 인가되는  $V_{EN_n}$ 의 값은 빠른 과도응답 속도를 위해 듀티비 중 70%을  $T_{on}$ 으로 설정하도록 한다. 이와 같은 듀티비를  $V_{EN_n}$  ( $n=1,2,3,\dots,8$ )의 값을 표 1과 같이 설정하였다.

Table 1. Fixed state of switch to improve transient response speed.

표 1. 과도응답속도 향상을 위한 스위치 고정 상태

	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8
OUT	1	1	1	1	1	0	0	0

### III. 실험 및 고찰

제안하는 디지털 제어 방식의 벡 변환기는 CMOS 180 나노 공정 1-poly 6-metal 공정으로 설계되었다. 그림 5는 칩의 현미경 사진을 나타낸다. 게이트 드라이버와 파워 스위치를 제외한 컨트롤 회로의 유효 크기는  $860\mu m \times 1450\mu m$ 이다.

그림 6은 입력 전압 3.3V, 출력 전압 1.2V 기준, 제안하는 디지털 벡 변환기의 인덕터 전류  $I_L$ , 출력 전압  $V_{out}$ , 듀티 비 신호  $PWM_D$ 를 나타낸다.

부하전류가 420mA일 때의 출력 전압과 듀티비를 나타내었으며, 전류 리플은 대략 40mA 정도로 측정되었다.

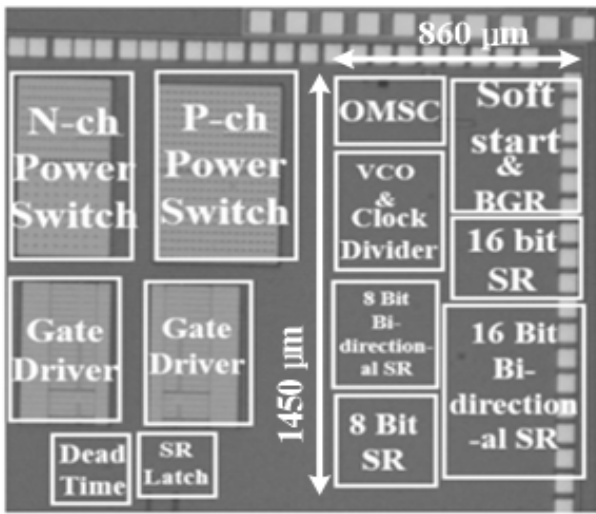


Fig. 5. Die photograph of the fabricated the digitally controlled buck converter.

그림 5. 제작된 디지털 제어 방식의 벅 변환기의 칩 사진

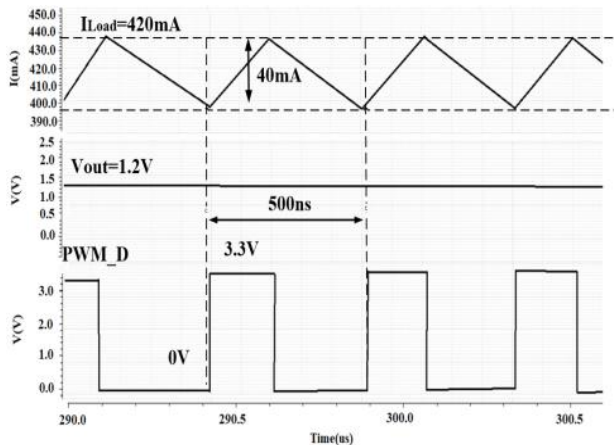


Fig. 6. Simulation waveform in the steady state section of the proposed buck ( $I_{Load}$ ,  $V_{out}$ ,  $PWM_D$ ).

그림 6. 제안하는 벅 변환기의 정상 상태 구간의 모의실험 파형 ( $I_{Load}$ ,  $V_{out}$ ,  $PWM_D$ )

각각 출력 전압이 기준 전압까지 도달하는데 소요된 시간은 대략 4 $\mu$ s로 측정되었다. 이러한 결과를 통해 과도응답 속도 또한 목표했던 사양과 근접하게 설계될 수 있었음을 확인할 수 있었다. 하지만, Ton을 강제로 증가시킴으로써 한 가지 단점도 존재하였다. 짧은 시간 내에 출력 전압이 기준 전압에 도달하려 했기 때문에 과도응답의 시간동안 출력 전압에서 예상보다 큰 언더슈트가 발생하였다. 이러한 과도응답 시간을 향상시키는 것이 제안하는 회로의 주된 목적이었기 때문에 심각한 문제가 되지 않는다. 이러한 단점을 제외하고는 제안하

는 상태 구간에 따른 최적의 듀티비 제어를 갖는 벅 변환기가 전체적으로 안정적인 출력 전압을 제공하며 부하전류의 변화에 따라 빠른 과도응답 속도로 동작하는 것을 확인할 수 있다.

그림 7과 8은 각각 부하 전류가 120mA에서 300mA, 400mA로 증가했을 때, 듀티 비의 Ton을 70% 정도 증가시켜 과도응답 시간을 향상시킨 상태를 나타낸다.

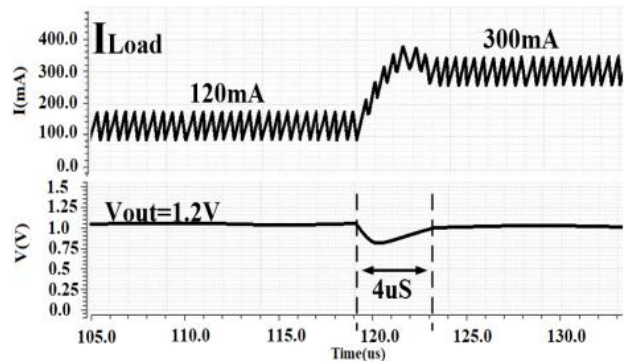


Fig. 7. The Simulation waveform of transient response when load current changes (120mA→300mA).

그림 7. 부하 전류 변화 시(120mA→300mA) 과도응답 상태 모의실험 파형

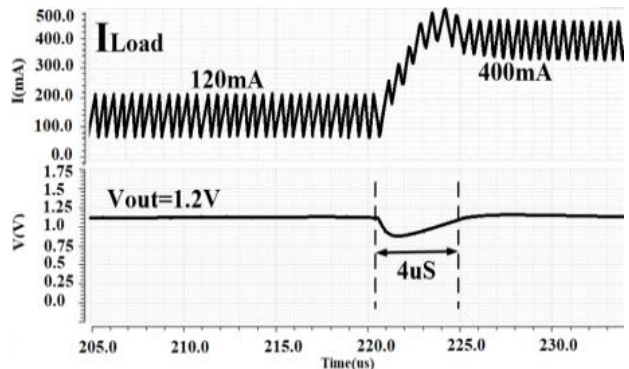


Fig. 8. The Simulation waveform of transient response when load current changes (120mA→400mA).

그림 8. 부하 전류 변화 시(120mA→400mA) 과도응답 상태 모의실험 파형

그림 9는 제안하는 디지털 제어 방식의 벅 변환기 출력전압을 0.9V부터 1.8V까지 변화시켜 가능한 출력 전압 범위를 나타낸다.

제안하는 벅 변환기의 부하전류에 따른 전력효율 그래프를 그림 10에서 볼 수 있다. 실험 결과, 30mA 부터 400mA의 부하전류범위에서 140mA일 때 약 92.3%의 최대 전력 효율이 나타남을 알 수 있다.

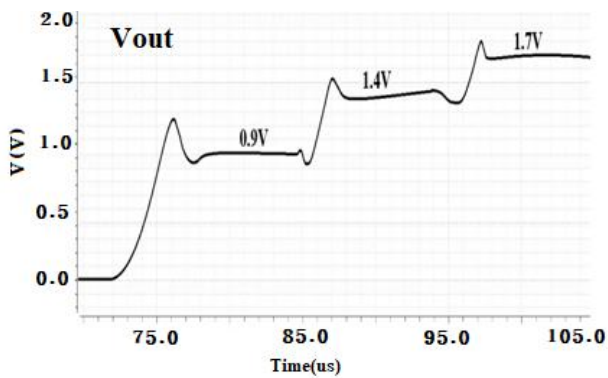


Fig. 9. The simulation waveform of digitally controlled buck converter output voltage.

그림 9. 디지털 제어 방식의 벅 변환기 출력전압 모의실험 파형

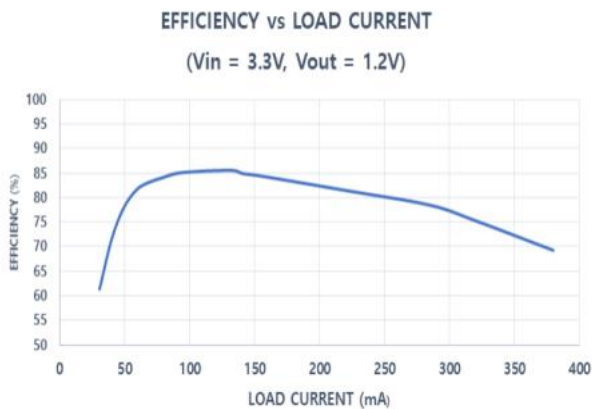


Fig. 10. Power efficiency according to load current.

그림 10. 부하전류에 따른 전력 효율

Table 2. Comparison of performance.

표 2. 성능 비교

parameters	[4]	[7]	This work
Technology	55nm	180nm	180nm
Input Voltage	1.5-3V	2.2-3.8V	2.7~3.6V
Output Voltage	1.2V	1.7V	0.9~1.8V
Inductor	3 $\mu$ H	3 $\mu$ H	2.2 $\mu$ H
Capacitor	3 $\mu$ F	3 $\mu$ F	10 $\mu$ F
Frequency	2MHz	2.5MHz	2MHz
Load Range	1-10mA	~20mA	80~450mA
Transient response time	-	-	4 $\mu$ s
Efficiency(Max)	91.5%	92%	92.3%

표 2는 기존 논문에 대한 성능 비교표이다. 기존 논문 [4], [7] 모두 PWM 제어 방식을 사용하였다.

기존 논문에서는 고정된 출력 전압을 제공하는 반면, 제안하는 회로는 양방향 쉬프트 레지스터를 사용하여 듀티비를 유연하게 조절할 수 있다. 그 결과, 0.9~1.8V의 넓은 출력 전압 범위를 가지며, 전력 변환 효율이 대략 92.3%로 기존 논문 대비 우수성을 볼 수 있다. 또한, 부하 전류의 범위 80~450mA로 넓게 사용할 수 있으며, 과도응답 상태에서의 성능 향상을 증가시킴으로서 SoC내 AP에 적용시킬 수 있을 것으로 기대할 수 있다.

### III. 결론

본 논문은 양방향 쉬프트 레지스터를 이용하여서 설계하였으며, 출력 전압의 상태에 따라 동작 모드를 각각 다르게 설계하였다. 제안하는 벅 변환기의 동작모드는 전원 전압을 공급한 순간인 초기 상태부터 정상 상태에 도달하는 시간, 마지막으로 과도응답 상태까지 총 3가지 모드로 나누었다. 특히, 기존의 디지털 제어 방식 구조에서 사용한 ADC, 카운터 및 딜레이 라인 회로를 사용하지 않고 쉬프트 레지스터와 양방향 쉬프트 레지스터를 사용하여서 듀티비의 해상도를 128비트까지 증가시킬 수 있었다. 그 결과, 출력 전압의 범위가 넓으며 높은 전력 변환 효율을 갖는다는 장점이 있다. 제안하는 벅 변환기의 입력전압 범위는 2.7V~3.6V이며, 출력 전압 범위는 0.9V~1.8V를 갖는다. 부하 전류 범위는 80mA~450mA이며, 출력전압 리플은 대략 30mV를 갖는다. 따라서 제안하는 디지털 제어 방식의 벅 변환기는 넓은 출력전압 범위를 가지며, 최대 450mA의 전류를 필요로 하는 사물인터넷 및 모바일기기의 어플리케이션 및 CPU 등의 전력관리 회로에 적용할 수 있을 것으로 기대된다.

### References

[1] Shivayogi Hiremath, Geng Yang, Kunal Mankodiya, "Wearable internet of things: Concept, architectural components and promises for person-centered healthcare," *2014 4th International Conference on Wireless Mobile Communication and Healthcare*, pp.304-307. 2014.

DOI: 10.1109/MOBIHEALTH.2014.7015971

[2] Uming Ko, "Ultra-low power SoC for wearable & IoT," *VLSI Technology, Systems and Application (VLSI-TSA), International Symposium on*, Hsinchu, Taiwan, 2016.

DOI: 10.1109/VLSI-TSA.2016.7480477

[3] Seung Wook Yoon, Boris Petrov, Kai Liu, "Advanced wafer level technology: Enabling innovations in mobile, IoT and wearable electronics," *Electronics Packaging and Technology Conference (EPTC)*, pp.1-5 Singapore, Singapore, 2015.

DOI: 10.1109/EPTC.2015.7412320

[4] KIM, Sang-Yun, et al. "Design of a high efficiency dc-dc buck converter with two-step digital pwm and low power self-tracking zero current detector for iot applications." *IEEE Transactions on Power Electronics*, vol.33 no.2 pp.1428-1439, 2018. DOI: 10.1109/TPEL.2017.2688387

[5] HAYDER, Abbas Syed, et al. "Digitally Controlled Single-inductor Multiple-output Synchronous DC-DC Boost Converter with Smooth Loop Handover Using 55 nm Process," *Journal of Power Electronics*, vol.17, no.3 pp.821-834, 2017.

DOI: 10.6113/JPE.2017.17.3.821

[6] ZHANG, Xin, et al. "A 0.6 V input CCM/DCM operating digital buck converter in 40 nm CMOS." *IEEE Journal of Solid-State Circuits*, vol.49, no.11 pp.2377-2386, 2014.

DOI: 10.1109/JSSC.2014.2339325

[7] Y. J. Park et al., "A design of a 92.4% efficiency triple mode control DC-DC buck converter with low power retention mode and adaptive zero current detector for IoT/wearable applications," *IEEE Trans. Power Electron.*, vol.32, no.9, pp. 6946-6960, 2017. DOI: 10.1109/TPEL.2016.2623812

## BIOGRAPHY

### Kwang-Sub Yoon (Member)



1981 : BS degree in Electrical Engineering, Inha University, Incheon, Korea.

1983 : MS degree in Electrical Engineering, Georgia Institute of Technology.

1990 : PhD degree in Electrical Engineering, Georgia Institute of Technology.

He worked at Silicon System Inc, Tustin Calif, U.S.A as a Senior Design Engineer for 1988-1992.

Since 1992, he joined Inha University as a professor. His research interests include a low power mixed-signal circuit and system design such as PMIC, data converters (Nyquist and oversampling), and PLL.

### Jong-Hwan Lee (Member)



1991 : BS degree in Electronic Engineering, Inha University, Incheon, Korea

1993 : MS degree in Electronic Engineering, Inha University, Incheon, Korea

2003 : PhD degree in University of Florida, Gainesville

From 2003 to 2016, he was with Samsung Display Inc., Korea, as a Principal Research Engineer, where he worked on semiconductor and display devices design and development. In 2017, he joined the Department of System Semiconductor Engineering, Sangmyung University, Korea, where he is currently a Professor. His current research interests include a mixed-signal circuit and device modeling and simulation, physics-based artificial neural network, noise modeling in nanoscale MOSFETs, display device design, and thermoelectric transport modeling.