

거리 측정 시스템의 정밀도 향상을 위한 카운터 회로의 설계

최진호*

Design of Counter Circuit for Improving Precision in Distance Measuring System

Jin-Ho Choi*

*Professor, Division of Embedded IT Engineering, Busan University of Foreign Studies, Busan 46234, Korea

요 약

거리측정 시스템에서 사용되는 시간-디지털 변환회로는 시작신호와 멈춤신호 사이의 시간 간격을 이용하여 거리를 측정한다. 응답속도를 고려한 시간 간격은 일반적으로 카운터 회로를 이용하여 디지털 정보로 변환한다. 그러므로 정밀도 향상을 위해서는 높은 주파수의 클럭 신호가 요구되며, 미세 거리의 측정을 위해서도 높은 주파수의 클럭 신호가 필요하다. 본 논문에서는 동일한 주파수를 사용하면서도 거리 측정의 정밀도를 높이기 위한 카운터 회로를 설계하였다. 회로의 설계는 0.18 μm CMOS 공정을 이용하였으며, 설계된 회로의 동작은 HSPICE 시뮬레이션을 통하여 확인하였다. 시뮬레이션 결과 일반적인 카운터 회로를 사용한 경우에 비해 4배의 향상된 정밀도를 얻을 수 있었다.

ABSTRACT

In the distance measurement system the time-to-digital conversion circuit used measures the distance using the time interval between the start signal and the stop signal. The time interval is generally converted to digital information using a counter circuit considering the response speed. Therefore, a clock signal with a high frequency is required to improve precision, and a clock signal with a high frequency is also required to measure fine distances. In this paper, a counter circuit was designed to increase the accuracy of distance measurement while using the same frequency. The circuit design was performed using a 0.18 μm CMOS process technology, and the operation of the designed circuit was confirmed through HSPICE simulation. As a result of the simulation, it is possible to obtain an improvement of four times the precision compared to the case of using a general counter circuit.

키워드 : 정밀도, 거리측정, 플립플롭, 전류 컨베이어회로

Key word : precision, distance measurement, flip flop, current conveyor circuit

Received 4 June 2020, Revised 26 June 2020, Accepted 8 July 2020

* Corresponding Author Jin-Ho Choi(E-mail:jhchoi@pufs.ac.kr, Tel:+82-51-509-6242

Professor, Department of Embedded Software Engineering, Busan University of Foreign Studies, Busan 46234, Korea

Open Access <http://doi.org/10.6109/jkiice.2020.24.7.885>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서론

거리 측정을 위한 회로는 다양한 분야에서 응용되어 지는 매우 중요한 요소로서 응용 시스템에 따라 수십 m의 원거리부터 수 mm 이하의 근거리 측정에 사용된다. 거리 측정을 위한 일반적인 방법은 그림 1과 같이 거리 측정을 위한 신호를 발생시켰을 때의 시작신호(Start signal) 시간과 발생된 신호가 물체에 반사되어 다시 돌아왔을 때의 멈춤신호(Stop signal) 시간을 이용한다. 즉, 시작신호와 멈춤신호 사이의 시간간격 정보를 거리 정보로 변환하여 거리를 측정하게 된다.

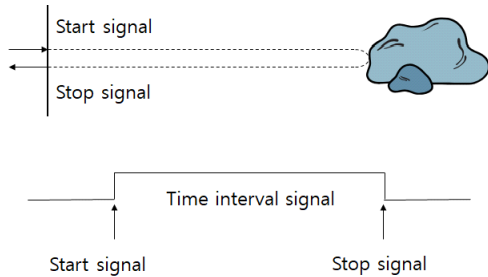


Fig. 1 Signals for distance measurement

시간간격의 정보를 거리 정보로 변환하기 위해서는 시간-디지털 변환회로가 사용되어진다. 시간-디지털 변환회로의 경우 지연소자와 같은 아날로그 소자를 이용하는 그림 2(a)의 플래시 타입과 디지털 카운터를 사용하는 그림 2(b)의 카운터 타입이 있다[1-4].

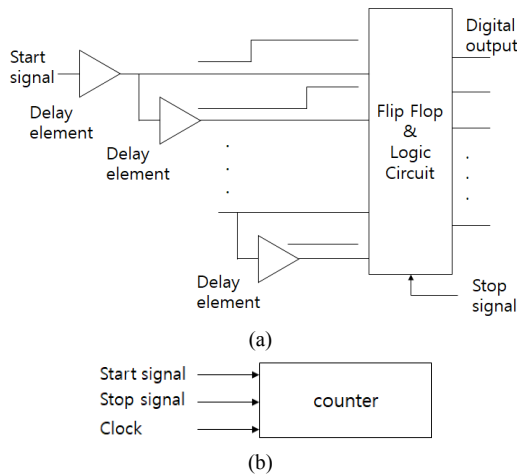


Fig. 2 Time-to-digital converter (a) flash-type (b) counter type

카운터를 사용하는 시간-디지털 변환회로의 경우 플래시 타입에 비해 응답속도가 빠르고 변환 오차가 작은 장점이 있다. 그러나 측정되는 거리의 정밀도를 향상시키기 위해서는 고주파의 클럭 신호가 필요한 단점이 있다.

본 논문에서는 동일한 주파수에서 측정된 거리의 정밀도를 향상시킬 수 있는 카운터 회로를 설계하고자 한다. 설계된 카운터 회로를 시간-디지털 변환회로에 적용할 경우 측정된 거리의 정밀도를 향상시킬 수 있을 뿐 아니라, 미세 거리 측정을 위한 시간-디지털 변환회로에서도 응용 가능할 것이다.

논문의 구성은 2.1절에서는 연산증폭기를 이용한 전류 컨베이어 회로의 특성을 살펴보고, 2.2.절에서는 전류 컨베이어 회로를 이용하여 설계된 클럭 지연회로를 살펴본다. 2.3절에서는 클럭의 상승과 하강에지에서 동작하는 플립플롭의 구성과 시뮬레이션을 통한 듀얼에지 플립플롭의 동작 결과를 살펴본다. 그리고 본론의 마지막으로 2.4절에서는 설계된 카운터 회로의 동작을 살펴보고, 시뮬레이션을 통하여 시간 간격에 따라 변환된 디지털 출력 특성을 살펴본다.

II. 본론

2.1. 전류 컨베이어 회로

그림 3은 S. Rana에 의해 제안된 연산증폭기를 이용한 양의 극성을 가지는 전류 컨베이어 회로이다[5]. 전류 컨베이어 회로의 특성을 살펴보면, 그림 3의 회로에서 전압 V_A , V_D , V_Z 에 따른 전류 관계식은 식(1)과 같다.

$$\frac{V_A - V_D}{R} = \frac{V_D - V_Z}{R} \quad (1)$$

그리고 전압 V_B , V_C , V_E 에 따른 전류 관계식은 식(2)과 같다.

$$\frac{V_B - V_C}{R} = \frac{V_C - V_E}{R} \quad (2)$$

연산증폭기의 입력전압 V_C 와 V_D 는 동일하므로 식(1)과 식(2)를 다시 표현하면 식(3) 및 식(4)와 같다.

$$V_A + V_Z = V_B + V_E \quad (3)$$

$$V_A - V_B = V_E - V_Z \quad (4)$$

식(4)의 양변을 저항으로 나누면 전류가 되므로 전류 컨베이어 회로의 입력단자의 전류 i_x 와 출력단자의 전류 i_z 는 동일한 크기와 방향을 가지게 된다. 그러므로 양의 극성을 가지는 전류 컨베이어 회로의 입·출력전류 및 입력전압의 관계는 식(5)와 같다[6-9].

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (5)$$

2.2. 전류 컨베이어 회로를 이용한 클럭 지연 회로

그림 4는 그림 3의 전류 컨베이어 회로를 이용하여 설계된 클럭의 주기를 주기/4 만큼 지연시키기 위한 회로이다. High 전압이 3volt인 클럭을 V_1 단자에 인가하고 V_2 단자에는 1.5volt의 DC 전압을 인가하면, V_1 전압이 V_2 전압에 비해 클 때 커패시터 C_1 의 충전전압 V_C 는 식(6)과 같이 시간에 따라 선형적으로 증가한다.

$$V_C = \frac{V_1 - V_2}{R_1 C_1} t \quad (6)$$

여기서 t 는 충전시간이다. 그리고 V_2 전압이 V_1 전압에 비해 클 때 커패시터 C_1 은 방전하게 되며,

전압 V_C 는 시간에 따라 선형적으로 감소한다. 그러므로 커패시터 전압 V_C 는 시간에 따라 선형적으로 충·방전하는 삼각파가 된다.

그림 5는 그림 4의 회로를 시간에 따라 시뮬레이션한 결과이다. 그림 5(a)는 그림 4의 V_1 단자에 인가된 신호이며, V_2 단자에는 1.5volt의 DC 전압을 인가하였다. 전류 컨베이어 회로의 출력전압인 V_C 는 시간에 따라 충·방전하는 그림 5(b)와 같은 삼각파가 되며, 이때 시간에 따른 충·방전 전압은 식(6)과 같다.

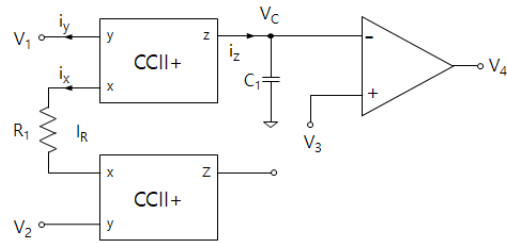


Fig. 4 Delay circuit of 1/4 cycle of clock using CCII+

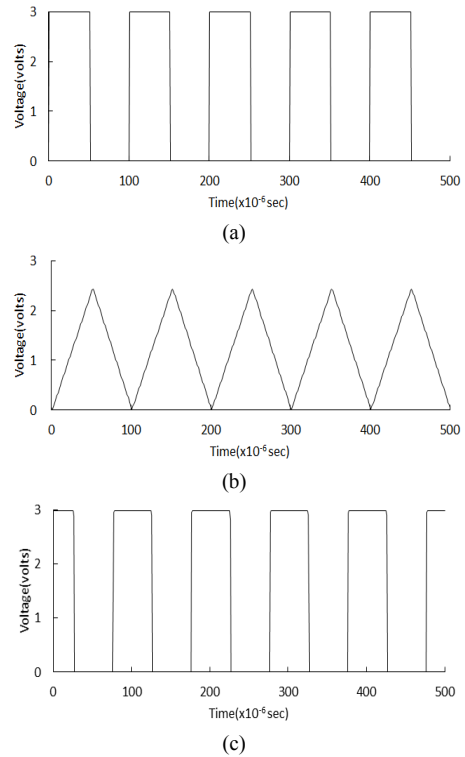


Fig. 5 V_1 , V_C , V_4 signals (a) V_1 signal (b) V_C signal (c) V_4 signal

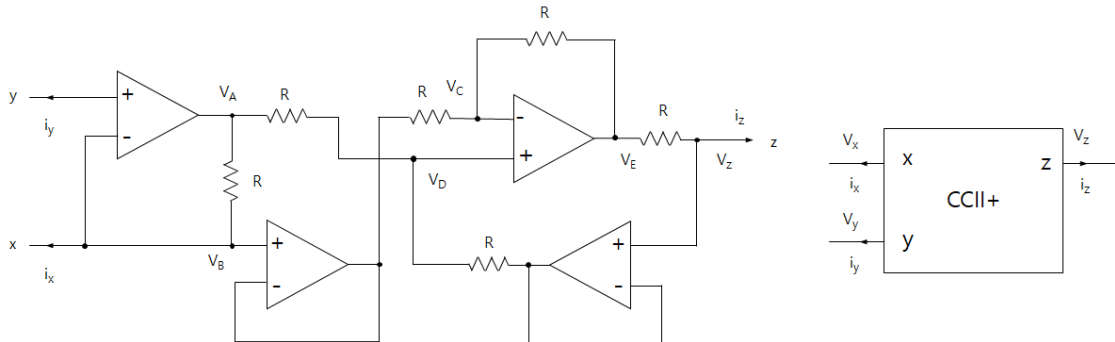


Fig. 3 Current conveyor circuit using operational amplifier

비교기의 입력단자 V_3 단자에 V_C 피크전압의 1/2인 DC 전압을 인가하면, 최종 출력 V_4 는 V_1 의 주기가 1/4 만큼 지연된 신호로서 그림 5(c)와 같다. V_1 과 V_4 신호는 카운터의 플립플롭에 인가될 클럭신호로서 $clock(t)$ 과 $clock(t-T/4)$ 신호가 된다.

2.3. 상승과 하강에지에서 동작하는 플립플롭

그림 6은 클럭의 상승에지와 하강에지에서 반응하는 플립플롭의 구성도이다[10]. 그리고 그림 7은 상승에지와 하강에지에서 반응하는 그림 6 플립플롭의 동작을 시뮬레이션한 결과이다.

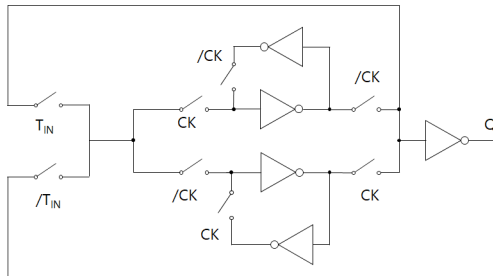


Fig. 6 Dual edge triggered T flip flop circuit

그림 7(a)는 플립플롭의 CK 단자에 인가되는 클럭 신호이며, 그림 7(b)는 T_{IN} 단자에 인가되는 플립플롭의 입력 신호이다. 그리고 그림 7(c)는 Q 단자의 신호로서 플립플롭의 출력 신호이다. 플립플롭의 출력 신호를 살펴 보면, 입력 신호가 'high'인 동안 클럭 신호의 상승에지 혹은 하강에지에서 플립플롭의 출력 값은 변화함을 알 수 있다. 그리고 입력 신호가 'low'인 동안은 클럭 신호가 변화하더라도 플립플롭의 출력 값은 변화하지 않음을 알 수 있다. 즉, 그림 6의 플립플롭은 클럭의 상승에지와 하강에지의 듀얼에지에서 상태가 변화하는 T 플립플롭으로 동작함을 알 수 있다.

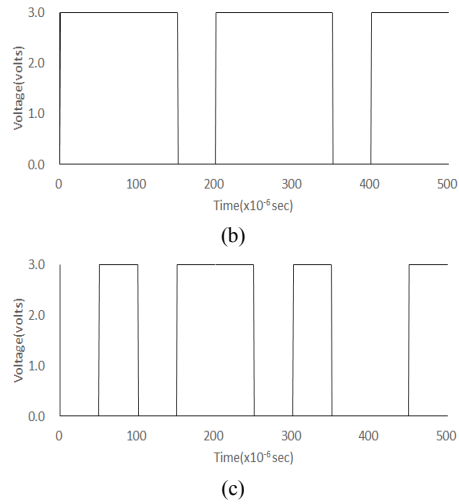
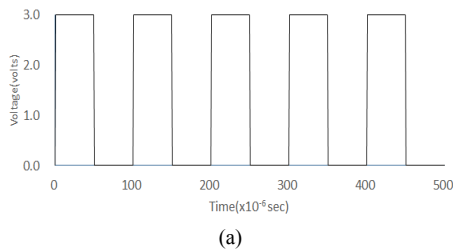


Fig. 7 Clock, input and output signals of the dual edge triggered flip flop (a) clock (b) input signal of flip flop (c) output signal of flip flop

2.4. 카운터 회로

그림 8은 시간 간격 정보를 디지털 정보로 변환할 때 정밀도 향상을 위해 설계된 카운터 회로의 블록도이다. 카운터는 시스템에 인가되는 $clock(t)$ 을 헤아리는 회로와 클럭을 주기/4 만큼 지연시킨 $clock(t-T/4)$ 을 헤아리는 회로로 구성되어 있다. 그리고 각 카운터는 클럭의 상승에지와 하강에지에서 동작하는 플립플롭을 이용하여 설계하였다. 시간 정보에 대한 디지털 출력 값은 두 카운터의 출력을 더한 값이 된다.

그림 2(b)의 일반적인 카운터 회로는 그림 8에서 $clock(t)$ 를 헤아리는 카운터 회로이며, 클럭의 상승에지 혹은 하강에지에서 동작하는 플립플롭을 이용하여 구성된다.

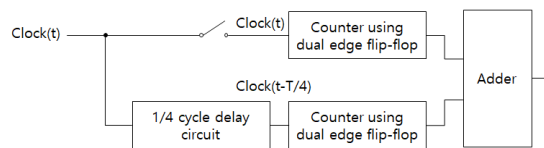


Fig. 8 Block diagram of a counter circuit with high resolution for fine distance measurement

그림 9는 거리 측정을 위해 시작신호와 멈춤신호 사이의 시간 간격동안 그림 2(b)와 같은 기존의 카운터 회로와 본 논문에서 제안한 그림 8의 카운터 회로를 시뮬레이션한 결과이다. 이때 사용된 클럭주파수는 1MHz

와 200kHz이다. 초음파 센서를 시작신호와 멈춤신호의 센서로 사용하는 거리 측정시스템에서 1MHz의 클럭주파수를 사용하는 경우 기존 회로의 분해능은 약 0.173mm이지만, 제안한 회로의 분해능은 약 0.043mm이다. 그리고 클럭 주파수가 200kHz일 때, 기존 카운터 회로의 분해능은 약 0.867mm이지만 본 논문에서 제안한 회로의 분해능은 약 0.217mm이다.

거리 측정을 위한 적용 분야에 따라 시작과 멈춤신호를 위한 센서, 회로에 인가되는 클럭주파수 등 환경은 다를 것이다. 그러나 시간 정보를 디지털 정보로 변환하기 위해 그림 8의 카운터 회로를 사용한다면, 그림 2와 같은 기존의 카운터 회로에 비해 4배 정도의 향상된 분해능 특성을 얻을 수 있으며, 거리 측정의 정밀도를 향상시킬 수 있다.

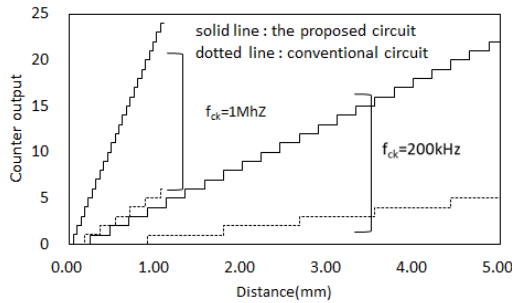


Fig. 9 Counter outputs in cases of conventional circuit and the proposed circuit when the frequency is 1MHz and 200kHz

III. 결론

본 논문에서는 거리 측정을 위해 사용되는 시간-디지털 변환회로에서 향상된 정밀도를 얻기 위한 카운터 회로를 설계하였다. 설계된 카운터 회로는 클럭의 상승에지와 하강에지에서 동작하는 플립플롭을 사용하였으며, 클럭신호로는 입력 클럭 신호 뿐 아니라 입력 클럭을 주기/4만큼 지연시킨 클럭 신호를 추가로 사용하였다. 초음파 센서를 사용하는 거리 측정시스템에서 클럭 주파수가 1MHz일 때, 기존 회로의 경우 측정된 거리의 분해능은 약 0.173mm이지만, 제안한 회로의 분해능은 약 0.043mm로 4배 정도의 향상된 정밀도 특성을 얻을 수 있었다. 그리고 제안된 회로를 사용하여 거리 측정시

스템을 구성할 경우 향상된 정밀도를 얻을 수 있을 뿐 아니라 기존의 회로에 비해 미세한 거리 측정에도 응용 가능할 것이다.

ACKNOWLEDGEMENT

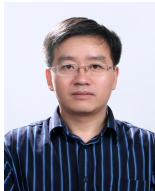
This work was supported by the research grant of the Busan University of Foreign Studies in 2020.

REFERENCES

- [1] L. Ping, W. Ying and A. Piero, "A 2.2ps 2-D Gated Vernier Time-to-Digital Converter with Digital Calibration," *IEEE Transaction. on Circuits and Systems II*, pp.1019-1023, March 2016.
- [2] G. W. Roberts and M. Ali-Bakhshian, "A brief introduction to time-to-digital and digital-to-time converters," *IEEE Trans. on Circuits and Systems II: Express Briefs*, vol. 57, no. 3, pp. 153-157, March 2010.
- [3] S. Henzler, *Time-to-Digital Converters*, Heidelberg, Springer Netherlands, 2010.
- [4] J. Lee and Y. Moon, "The Design of a 0.15ps High Resolution Time-to-Digital Converter," *Journal of Semiconductor Technology and Science*, vol. 15, no. 3, pp. 334-341, June 2015.
- [5] S. Rana and K. Pal, "Current Conveyor Simulation Circuits Using Operational Amplifiers," *Journal of Physical Sciences*, vol. 11, pp. 124-132, 2007.
- [6] K. B. Maji, R. Kar, D. Mandal and S. P. Ghoshal, "Optimal Design of Low Voltage CMOS Second Generation Current Conveyor Using Hybrid Cuckoo Search and Particle Swarm Optimization Algorithm," in *Proceeding of the 2017 Information Conference on Information Technology*, Amman, pp. 246-251, Dec. 2017.
- [7] M. Brinson and V. Kuznetsov, "Current Conveyor Equation-Defined Macromodels for Wideband RF Circuit Design," *International Journal of Microelectronics and Computer Science*, vol. 8, no. 2, pp. 65-71, 2017.
- [8] P. Kumar and K. Pal, "Universe Biquadratic Filter Using a Single Current Conveyor," *Journal of Active and passive Electronics Devices*, vol. 3, pp. 7-16, 2008.
- [9] T. Ettaghzouti, M. Bchir and N. Hassen, "High CMRR Voltage Mode Instrumentation Amplifier Using a New CMOS Differential Difference Current Conveyor Realization,"

International Journal of Electrical Engineering & Telecommunication, vol. 9, no. 3, pp. 132-141, May 2020.

- [10] Anurag, G. Singh and V. Sulochana, "Low Power Dual Edge-Triggered Static D Flip-Flop," *International Journal of VLSI design & Communication Systems*, vol.4, no.3, pp. 24-29, June 2013.



최진호(Jin-Ho Choi)

1987 한국과학기술원 전기 및 전자공학과 공학석사
1992 한국과학기술원 전기 및 전자공학과 공학박사
1992~1996 SK하이닉스 근무
1996~ 부산외국어대학교 근무
※ 관심분야 : 임베디드시스템, VLSI 설계