

개선된 메모리 셀을 활용한 문턱전압 이하 스태틱 램 어레이 설계

Design of Subthreshold SRAM Array utilizing Advanced Memory Cell

김 태 훈*, 정 연 배*

Taehoon Kim*, Yeonbae Chung*

Abstract

This paper suggests an advanced 8T SRAM which can operate properly in subthreshold voltage regime. The memory cell consists of symmetric 8 transistors, in which the latch storing data is controlled by a column-wise assistline. During the read, the data storage nodes are temporarily decoupled from the read path, thus eliminating the read disturbance. Additionally, the cell keeps the noise-vulnerable 'low' node close to the ground, thereby improving the dummy-read stability. In the write, the boosted wordline facilitates to change the contents of the memory bit. At 0.4 V supply, the advanced 8T cell achieves 65% higher dummy-read stability and 3.7 times better write-ability compared to the commercialized 8T cell. The proposed cell and circuit techniques have been verified in a 16-kbit SRAM array designed with an industrial 180-nm low-power CMOS process.

요 약

본 논문에서는 트랜지스터의 문턱전압 보다 낮은 초저전압 환경에서도 안정적으로 동작할 수 있는 8T SRAM에 대해 기술하였다. 제안한 메모리 셀은 대칭적인 8개의 트랜지스터로 구성되며, 셀 내부의 데이터 저장 래치는 열 방향의 보조라인을 통해 제어된다. 읽기동작 시, 데이터 저장노드와 비트라인이 동적으로 분리되어 비트라인으로부터 교란을 받지 않는다. 또한, 노이즈에 민감한 '0'-노드 전압상승이 낮아 dummy-read 안정도가 높다. 아울러, 제안한 셀은 쓰기능력을 높이기 위해 boosting 전압을 사용한다. 상용화된 8T SRAM 셀과 비교했을 때, 제안한 셀의 dummy-read 마진과 쓰기마진이 0.4 V 전원 전압에서 각각 65%, 3.7배 향상된 안정성을 보이며, 공정변화에 따른 안정도의 내성이 더 우수하다. 활용 예시를 위해 산업체에서 제공하는 180 nm CMOS 공정으로 SRAM 회로를 설계하여 그 동작 및 성능을 검증하였다.

Key words : SRAM, Subthreshold, Ultra-low power, Embedded memory, SoC

* School of Electronics Engineering, Kyungpook National University

★ Corresponding author

E-mail : ybchung@ee.knu.ac.kr, Tel : +82-53-950-5522

※ Acknowledgment

• This research was supported by Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education (2017R1D1A3B04028290).

• The authors are thankful to the IC Design Education Center for the support of design software.

Manuscript received Sep. 4, 2019; revised Sep. 23, 2019; accepted Sep. 26, 2019.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

SRAM은 데이터처리의 고속성, 낮은 소비전력, 간단한 주변회로 및 로직 회로와의 혼합 탑재가 가능하여 system IC의 내장형 메모리로 주로 사용된다. 최근 웨어러블 기기, 바이오 기기, 무선센서 네트워크처럼 전력원이 독립된 소형기기의 수요가 늘어남에 따라, 제한된 에너지 소스로부터 동작하는 초저전력 SRAM이 새로운 수요로 떠올랐다. SRAM의 데이터 저장 셀은 CMOS 래치로 구성되어 구동전압이 낮을수록 읽기 및 쓰기 동작의 안정성을 나타내는 읽기마진(read static noise margin : RSNM)과 쓰기마진(write margin : WM)이 급격히 감소된다.

최근 들어 트랜지스터 문턱이하 전압에서 동작하는 많은 SRAM 셀들이 논의되었다[1-8]. Read-decoupled (RD) 셀들[1-4]은 그들만의 새로운 구조를 이용하여 읽기 안정도가 개선되었으나 여전히 쓰기 동작에 어려움이 있고, dummy-read 동작의 안정도는 개선되지 않았다[1-3]. Single ended SRAM 셀[5] 또한 위와 같은 단점이 여전히 존재하고, 10개 이상의 트랜지스터로 구성된 또 다른 셀들[6-8]은 셀 레이아웃 면적이 너무 커서 SRAM으로 사용하기에 적절치 않다.

본 논문은 비교적 적은 8개의 트랜지스터로 래치의 구조를 개선하고 특수한 바이어스 방법을 사용하여 데이터 안정도를 개선한 SRAM 셀을 제안한다. 아울러 현재 일부 상용 프로세서에 쓰이고 있는 RD 8T 셀[1](그림 1)과 안정도를 비교하고, 활용 예시를 위해 180 nm CMOS 공정으로 SRAM 회로를 설계하여 그 동작을 검증하였다. 사용한 공정의 NMOS와 PMOS의 문턱전압은 각각 0.49 V, -0.47 V 이다.

II. 제안하는 문턱전압 이하 8T 메모리 셀

그림 2에 본 논문에서 제안하는 8T SRAM 셀 구조와 mode별 동작전압을 보였다. 제안된 8T 셀은 기존 6T 셀의 access 트랜지스터와 drive 트랜지스터 사이에 PMOS(P3, P4)를 추가한 구조로 두 개의 추가된 conducting-PMOS는 열 방향의 보조 라인(CAL)을 통해 제어된다. 또한, 8T 셀은 6T 셀과 같은 differential read/write 방법을 사용하고 대

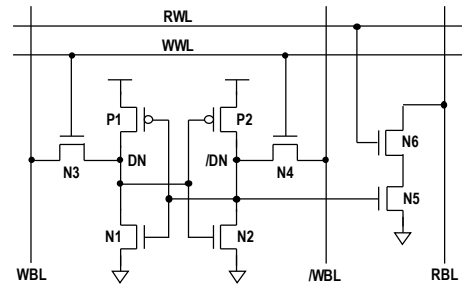


Fig. 1. Conventional RD 8T SRAM cell[1].
그림 1. 종래의 RD 8T SRAM 셀[1]

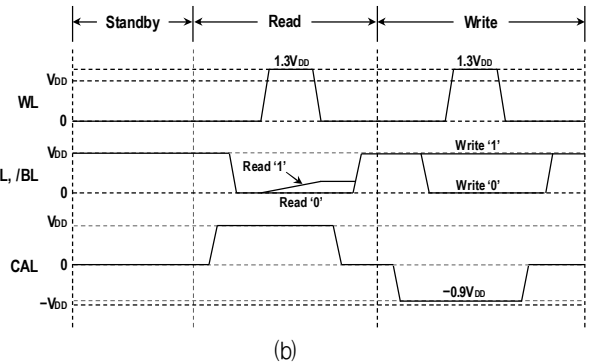
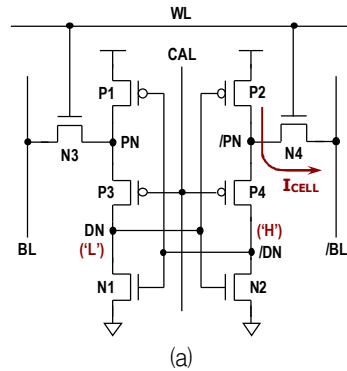


Fig. 2. Proposed 8T SRAM cell : (a) schematic, (b) bias conditions for standby, read and write access. (WL : wordline, BL : bitline, /BL : /bitline, CAL : column-wise assistline, DN : data-node, /DN : /data-node, PN : passing-node, /PN : /passing-node, ICELL : read-cell current)
그림 2. 제안하는 8T SRAM 셀 : (a) 구조, (b) 모드별 동작 전압 레벨

칭적인 구조를 가진다. 대기상태에서는 bitline 쌍(BL, /BL)을 V_{DD}에 연결하고, wordline(WL)과 CAL 신호는 그라운드 레벨로 설정한다. 이로 인해 access 트랜지스터(N3, N4)는 off 상태가 되고 conducting-PMOS(P3, P4)는 on 상태가 되어 셀 내부의 latch에 의해 데이터를 보존한다.

읽기동작 시에는, 먼저 CAL 라인을 V_{DD}로 올리고, 비트라인(BL, /BL)들은 그라운드 레벨로 디스차징 한 뒤 데이터를 감지하기 위해 플로팅(floating)

상태로 놓는다. 그 다음 WL이 $1.3V_{DD}$ 로 올라가면 저장된 데이터 상태에 따라 한쪽의 비트라인이 충전된다. 만약, DN='0', /DN='1'이 저장되어 있다고 하면, 그림 2(a)와 같이 /BL 쪽으로 셀 전류(I_{CELL})가 흐른다. 이때 CAL 신호에 의해 conducting-PMOS(P3, P4)는 off 상태에 있기 때문에 데이터 노드(DN, /DN)는 읽기 동작 동안 비트라인으로부터 어떠한 noise의 영향을 받지 않는다.

쓰기 동작은 6T 셀의 동작과 비슷하다. 하지만 승압된 워드라인 전압과 CAL의 negative 전압 덕분에 쉽게 쓰기 동작을 수행할 수 있다. 예를 들어 DN='0', /DN='1'이 저장되어 있고 DN='1'을 쓴다고 가정하자. 쓰기 동작 시, CAL은 negative 전압 ($-0.9V_{DD}$)으로 내리고 BL= V_{DD} , /BL='0'으로 각각 설정한다. 이후 워드라인이 $1.3V_{DD}$ 로 올라가면 새로운 정보가 데이터 노드(DN, /DN)에 쓰인다.

III. 메모리 셀 성능비교

1. Bit-Cell Area

종래의 RD 8T 셀과 제안한 8T 셀의 성능비교를 위해 설정한 트랜지스터 크기는 표 1과 같다. 각 트랜지스터 크기는 각기 최적의 셀 성능을 보이며 최소의 레이아웃 면적이 되도록 설정하였고, 이를 바탕으로 180-nm CMOS 로직 디자인 규칙으로 설계한 셀 레이아웃을 그림 3에 보였다. 그림에는 n-well layer를 포함하여 active에서 metal-1 layer까지 표시하였다. 제안한 8T 셀 면적은 종래의 RD 8T 셀과 비슷한 크기를 갖는다.

2. Read Stability

SRAM 셀의 읽기 동작 상태를 그림 4에 나타내었다. RD 8T 셀은 전용 read-port를 사용하여 데이터를 읽기 때문에 데이터 저장노드와 read bitline이 서로 분리되어 read bitline으로부터 어떠한 noise의 영향을 받지 않는다. 따라서 읽기 안정도가 개선되는 특징이 있고, 그 안정도는 종래의 6T 셀의 대기 상태 안정도와 동일하다.

반면에 제안한 8T 셀은 읽기 동작 시 CAL신호에 의해 conducting-PMOS가 off 된다. CAL이 high 인 동안 교차 결합된 두 인버터의 피드백이 끊어지고 데이터 노드(DN, /DN)와 비트라인(BL, /BL)이 서로 분리되어 읽기 동작 동안 데이터 노드에 어떠한

Table 1. Dimension of SRAM cell transistor.

표 1. SRAM 셀 트랜지스터 크기

		RD 8T cell	Proposed 8T cell
Width/Length (nm/nm)	P1, P2	220/180	220/180
	N1, N2	420/180	220/180
	N3, N4	220/180	420/180
	N5, N6	420/180	-
	P3, P4	-	220/180

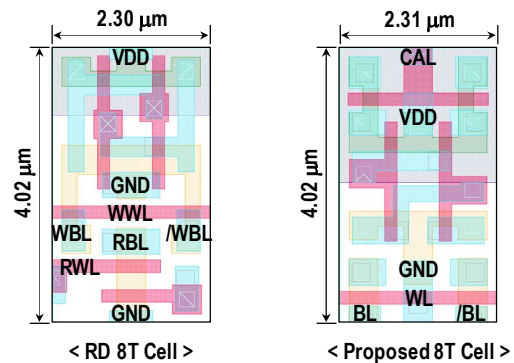


Fig. 3. SRAM cell layout.

그림 3. SRAM 셀 레이아웃

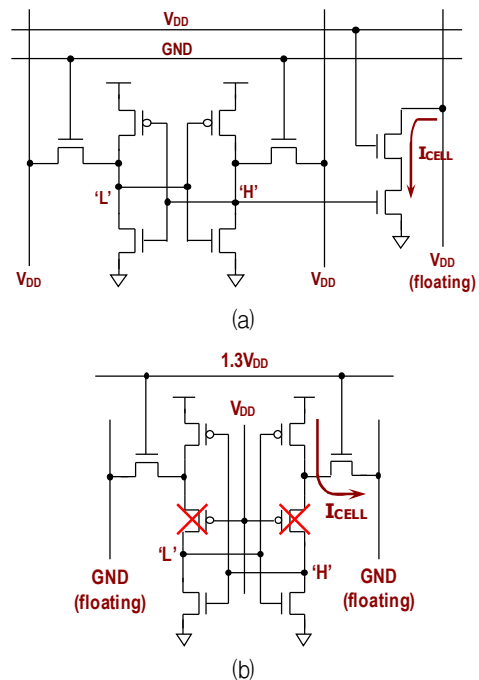


Fig. 4. Read status : (a) RD 8T cell, (b) proposed 8T cell.

그림 4. 읽기 동작 상태 : (a) RD 8T 셀, (b) 제안한 8T 셀

한 노이즈 간섭을 받지 않는다. 따라서 RD 8T 셀과 마찬가지로 읽기 안정도가 개선되는 특징이 있다.

3. Dummy-Read Stability

Dummy-read는 쓰기 동작 시 선택된 워드와 동

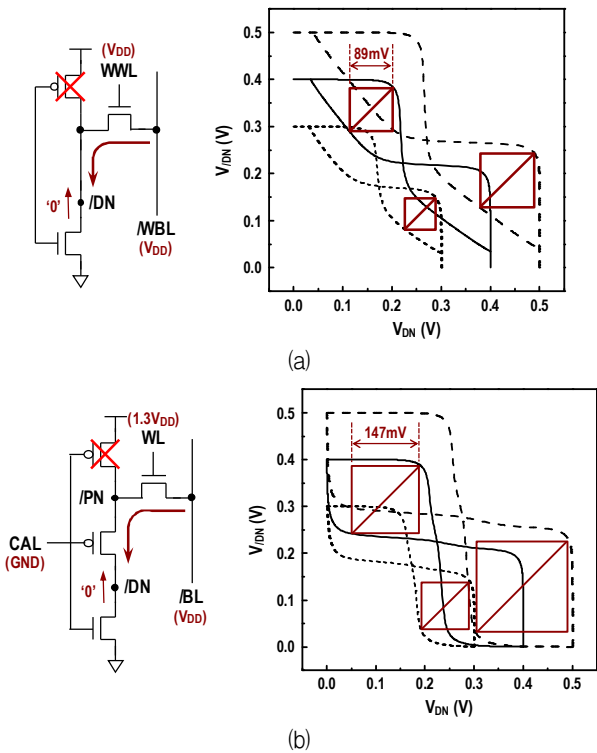


Fig. 5. Dummy-read status :
 (a) RD 8T cell, (b) proposed 8T cell.
 그림 5. Dummy-read 동작 상태 :
 (a) RD 8T 셀, (b) 제안한 8T 셀

일한 워드라인을 공유하는 비선택 행의 셀에서 원치 않는 읽기동작이 나타나는 현상이다. 이때, dummy-read가 발생하는 셀에는 V_{DD} 로 프리차지된 비트라인과 접지 사이의 전압분배 현상 때문에 '0'이 저장된 데이터노드에 전압상승이 나타나는데, 이것은 저장된 데이터를 안정적으로 유지하는 성능적도인 dummy-read SNM을 나쁘게 한다. 그림 5에서 확인할 수 있듯이, 제안한 8T 셀은 추가적인 conducting-PMOS의 전압강하로 인해 '0'-노드 전압상승이 낮아 RD 8T 셀에 비해 dummy-read 안정도가 높다. 측정결과, 0.4 V 실온에서 RD 8T 셀의 dummy-read SNM은 89 mV 이고, 제안한 8T 셀은 147 mV 이다.

그림 6은 공정 및 온도변화에 따른 dummy read 안정도를 측정한 모의실험 결과이다. 공정 파라미터는 3-sigma(3σ) 변화를 갖는다. 0.4 V 실온에서 제안한 8T 셀의 dummy-read SNM의 최대변화는 26 mV 인 반면에 RD 8T 셀의 최대변화는 47 mV 이다. 이는 공정변화에 따른 내성이 제안한 8T 셀이 더 우수함을 나타낸다.

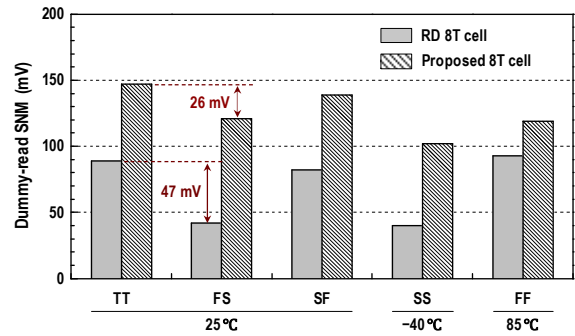


Fig. 6. Comparison of dummy-read SNM at $V_{DD} = 0.4$ V. (TT : typical-NMOS typical-PMOS, FS : fast-NMOS slow-PMOS, SF : slow-NMOS fast-PMOS, SS : slow-NMOS slow-PMOS, FF : fast-NMOS fast-PMOS)

그림 6. Dummy-read SNM 비교 ($V_{DD} = 0.4$ V)

4. Write-Ability

SRAM 셀의 쓰기능력을 계량하는 방법은 여러 가지가 있지만, 본 논문에서는 비트라인 전압을 이용해 데이터를 반전시키는 방법을 적용하였다. 워드라인이 high인 상태에서 한쪽의 비트라인 전압이 V_{DD} 에서 ground로 내려갈 때 데이터 노드(DN, /DN)가 반전되는 순간의 비트라인 전압을 쓰기마진(WM)이라 정의하였다. WM 값이 클수록 셀의 쓰기능력이 우수하다.

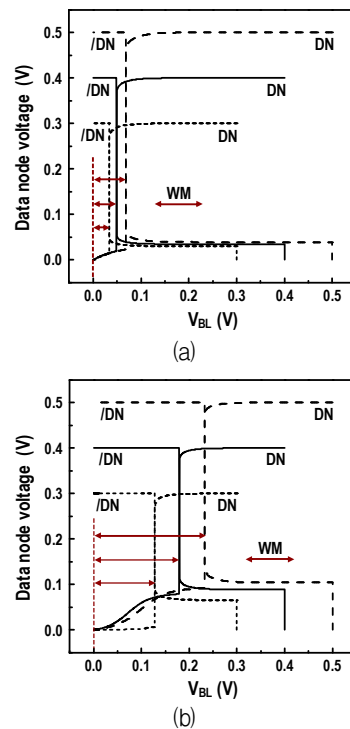


Fig. 7. Data write-ability :
 (a) RD 8T cell, (b) proposed 8T cell.

그림 7. 데이터 쓰기능력 : (a) RD 8T 셀, (b) 제안한 8T 셀

제안한 8T 셀은 쓰기능력을 높이기 위해 boosting 전압(1.3V_{DD})을 사용한다. 때문에 그림 7에 보여준 바와 같이 RD 8T 셀보다 WM 값이 크다. RD 8T 셀의 경우 워드라인에 공급전압 보다 높은 boosting 전압을 인가할 수 없는 이유는 워드라인에 boosting 전압을 인가하면 앞서 언급한 dummy-read 안정도가 더 악화되기 때문이다. 0.4 V, 실온에서 RD 8T 셀의 쓰기마진은 49 mV 이고, 제안한 8T 셀은 180 mV 이다. RD 8T 셀 대비 3.7배 크다. 그림 8은 공정 및 온도변화에 따른 WM을 측정 한 모의실험 결과이다. 0.4 V 실온에서 제안한 8T 셀의 WM의 최대변화는 68 mV 인 반면에 RD 8T 셀의 최대변화는 184 mV 이다. 쓰기능력 또한 공정변화에 따른 내성이 RD 8T 셀 보다 우수하다.

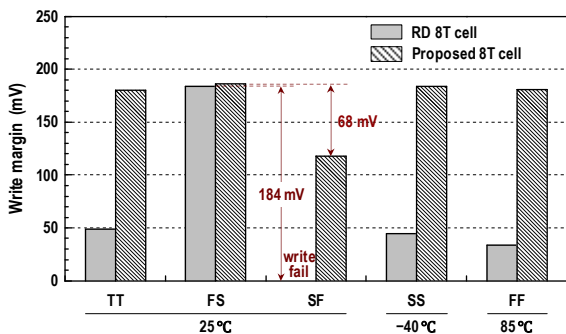


Fig. 8. Comparison of write margin at V_{DD} = 0.4 V.
그림 8. 쓰기마진 비교(V_{DD} = 0.4 V)

IV. 문턱전압 이하 SRAM 설계

그림 9에 제안한 8T 메모리 셀을 적용한 SRAM의 블록 구성을 나타내었다. 16-kbit 메모리 block은 128개의 row와 128개의 column으로 구성된다. V_{DD} precharger와 column 동작에 필요한 CAL driver는 셀 array 위쪽에, sense amplifier, ground discharger, column gate, column signal driver는 셀 array 아래쪽에 위치한다. I/O bit 수는 8이며, 각각 8개의 block sense amplifier와 write driver는 memory block 아래에 위치한다.

앞에서 언급하였듯이 제안한 SRAM 동작에는 셀 바이어스를 위해 두개의 승압전원이 필요하다. 워드라인 바이어스에 필요한 V_{PP}(1.3V_{DD}) 승압은 1개의 부스팅 커패시터로 구성된 일반적인 전압승압회로를 적용하여 그림 10과 같이 구현하였다.

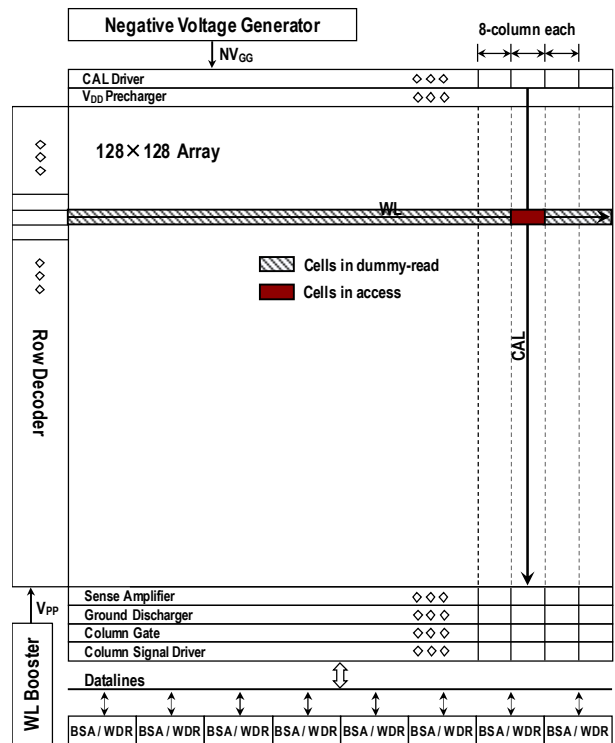


Fig. 9. Memory block organization.
(BSA : block sense amplifier, WDR : write driver).
그림 9. 메모리 블록 구성

쓰기동작 시 CAL 바이어스에 필요한 NV_{GG} (-0.9V_{DD}) 발생기는 voltage doubler[9]를 활용한 charge pump를 적용하여 그림 11과 같이 설계하였다. 회로는 오실레이터, negative charge pump, 레벨감지기로 이루어진다. 오실레이터는 charge pump에 필요한 2-phase clock을 발생시킨다. 생성된 pumping 전압이 목표한 음전압에 이르게 되면 레벨감지기가 오실레이터의 동작을 멈추게 한다. 시뮬레이션 과정에서 보듯이 NV_{GG}는 0.4 V pumping을 시작한 후 0.4 ms 안에 목표 값에 도달한다. 메모리 동작 동안 NV_{GG} 값이 목표치 이상 올라가면 level detector가 그 값을 감지해 다시 charge pump의 동작을 trigger 시킨다. 설계한 음전압 발생기는 최대 15 mV 오차 안에서 목표 level을 유지할 수 있다.

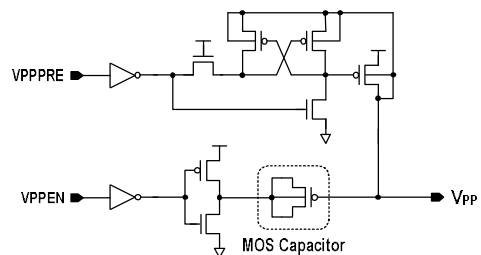


Fig. 10. Wordline boosting circuit.
그림 10. 워드라인 승압회로

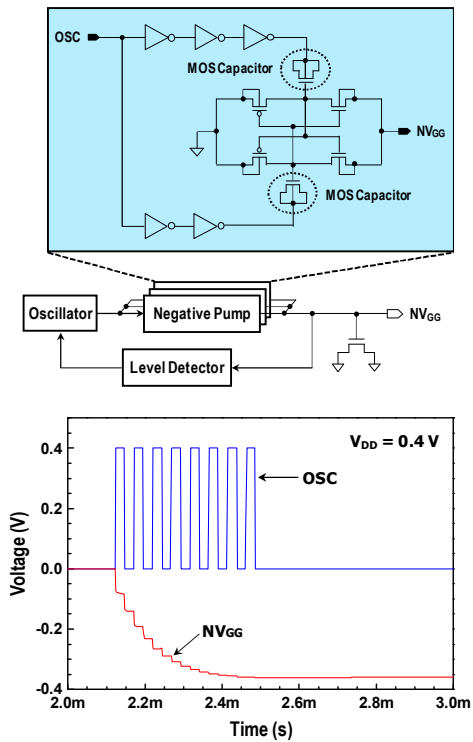


Fig. 11. Negative voltage generator.
그림 11. 음전압 발생기

그림 12에 간략화 된 column path 회로를 나타내었다. 대기상태에서는 비트라인과 데이터라인(DL, /DL)은 각각 V_{DD} 로 유지되고 CAL과 워드라인은 ground에 연결된다. Sense amplifier는 column 신호에 의해 선택된다. 각 read cycle마다 column 신호(SAP, SAN, RBLP)는 8 column의 ground discharger, sense amplifier를 구동시킨다. CAL driver 또한 column 신호에 의해 선택된다.

그림 13(a)에 읽기동작의 시뮬레이션 파형을 보였다. 선택한 column의 CAL이 상승한 후 V_{DD} precharger가 off 되면 읽기동작이 시작된다. 먼저 선택한 column의 비트라인(BL, /BL)을 그라운드로 디스차지한 뒤 데이터를 감지하기 위해 floating 상태로 놓는다. 그 후 WL이 $1.3V_{DD}$ 로 올라갈 때 저장된 데이터 상태에 따라 한쪽의 비트라인이 충전된다. 다음 비트라인 쌍에 연결된 sense amplifier를 구동시켜 data 1인 비트라인은 V_{DD} 레벨로 증폭시키고 Y가 상승할 때 full swing 비트라인 전압이 dataline에 전달된다. 비트라인 latch sense amplifier의 sensing 마진은 100 mV 보다 크고, CAL 상승 후 block sense amplifier 출력까지의 delay는 약 $4.2 \mu s$ 이다. 그림 12(b)는 같은 조건에서의 쓰기동

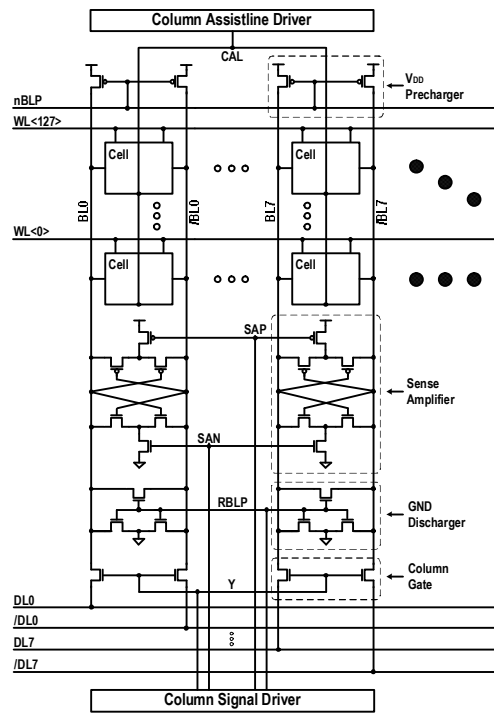


Fig. 12. Simplified configuration of column path circuits.
(DL : dataline, /DL : /dataline)
그림 12. 간략화 된 column path 회로 구조

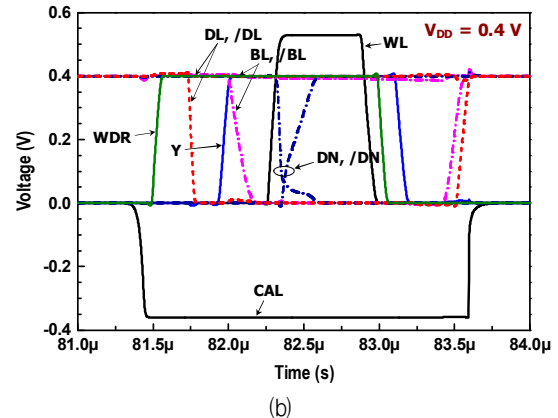
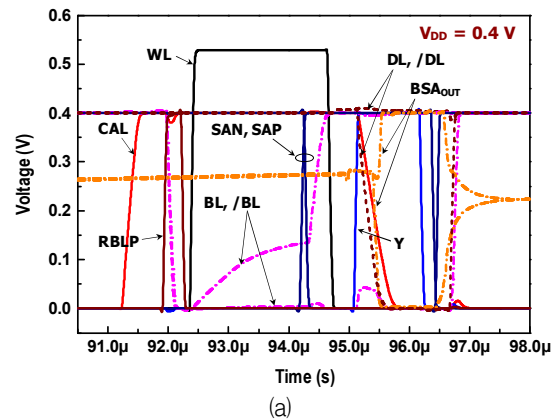


Fig. 13. Simulated waveforms at 0.4 V and 25 °C :
(a) read access, (b) write access.
그림 13. 모의실험 파형($V_{DD} = 0.4 V, T = 25 \text{ }^\circ\text{C}$) :
(a) 읽기동작, (b) 쓰기동작

작 시뮬레이션 파형이다. 선택한 column의 CAL이 하강한 후 V_{DD} precharger가 off 되면 쓰기동작이 시작된다. 외부 데이터가 dataline을 거쳐 선택된 비트라인에 전달될 때, 워드라인이 high 레벨로 천이하면서 메모리 셀의 데이터노드 쌍(DN, /DN)이 반전된다. CAL 하강 후 데이터 반전까지의 delay는 약 $1.2 \mu\text{s}$ 이다.

표 2에 제안한 8T SRAM의 설계결과를 요약하였다.

Table 2. Design summary of proposed 8T SRAM.

표 2. 제안한 8T SRAM의 설계요약

Supply Voltage		0.4 V (0.3~0.5 V)
Organization		2048-word \times 8-bit
Technology		180-nm Logic CMOS Process ($V_{\text{THN}} = 0.49\text{V}$, $V_{\text{THP}} = -0.47\text{V}$)
Cell Size		$2.31 \times 4.02 \mu\text{m}^2$ (287 F ²)
Functional Margin	Read	Disturb-Free
	Dummy-Read	121mV (@ 0.4V FS worst process corner)
	Write	118mV (@ 0.4V SF worst process corner)
Read Latency (CAL-to-BSA _{OUT})		$4.2 \mu\text{s}$ (@ 0.4V)
Power Dissipation	Read Cycle	5.58 nW/kHz (@ 0.4V)
	Write Cycle	8.19 nW/kHz (@ 0.4V)

V. 결론

본 논문에서는 개선된 8T 메모리 셀을 이용하여 트랜지스터의 문턱전압 보다 낮은 저전압 환경에서도 안정적으로 동작할 수 있는 SRAM에 대해 기술하였다. 제안한 메모리 셀은 구동전압 강하로 인한 데이터 파괴현상을 방지하기 위해 CMOS 래치에 PMOS를 추가한 구조로 두 개의 추가된 PMOS는 열 방향의 보조라인을 통해 제어되어 cross-point 방식으로 동작한다. 또한, 제안한 셀은 속도와 안정도 면에서 유리한 차동모드로 동작하며 쓰기능력을 높이기 위해 boosting 전압을 사용한다. 산업체에서 제공한 180 nm CMOS 공정으로 0.4-V 16-kbit SRAM 회로를 설계하여 제안한 셀과 메모리 동작을 검증하였으며, 모의실험 결과 동일한 환경에서 구현한 상용 8T SRAM과 비교하여 셀 면적이나 읽기동작의 안정도는 차이가 없지만 쓰기

동작 시 쓰기마진이 3.7배 크고, 동일 워드라인에 연결된 비선택 column 셀의 dummy-read SNM이 65% 크며, 공정변화에 대한 안정도의 내성이 더 우수함을 확인하였다.

References

- [1] L. Chang, R. K. Montoye, Y. Nakamura, K. A. Batson, R. J. Eickemeyer, R. H. Dennard, W. Haensch, and D. Jamsek, "An 8T-SRAM for variability tolerance and low-voltage operation in high-performance caches," *IEEE J. Solid-State Circuits*, vol.43, no.4, pp.956-963, 2008. DOI: 10.1109/JSSC.2007.917509
- [2] T. -H. Kim, J. Liu, J. Keane, and C. H. Kim, "A 0.2 V, 480 kb subthreshold SRAM with 1 k cells per bitline for ultra-low-voltage computing," *IEEE J. Solid-State Circuits*, vol.43, no.2, pp. 518-529, 2008. DOI: 10.1109/JSSC.2007.914328
- [3] B. H. Calhoun and A. P. Chandrakasan, "A 256-kb 65-nm sub-threshold SRAM design for ultra-low-voltage operation," *IEEE J. Solid-State Circuits*, vol.42, no.3, pp.680-688, 2007. DOI: 10.1109/JSSC.2006.891726
- [4] S. Pal and A. Islam, "9-T SRAM cell for reliable ultralow-power applications and solving multibit soft-error issue," *IEEE Trans. on Device and Materials Reliability*, vol.16, no.2, pp.172-182, 2016. DOI: 10.1109/TDMR.2016.2544780
- [5] C. B. Kushwah and S. K. Vishvakarma, "A single-ended with dynamic feedback control 8T subthreshold SRAM cell," *IEEE Trans. on VLSI Systems*, vol.24, no.1, pp.373-377, 2016. DOI: 10.1109/TVLSI.2015.2389891
- [6] I. J. Chang, J. -J. Kim, S. P. Park, and K. Roy, "A 32 kb 10T sub-threshold SRAM array with bit-interleaving and differential read scheme in 90 nm CMOS," *IEEE J. Solid-State Circuits*, vol.44, no.2, pp.650-658, 2009. DOI: 10.1109/JSSC.2008.2011972
- [7] J. P. Kulkarni, K. Kim, and K. Roy, "A 160 mV robust Schmitt trigger based subthreshold SRAM," *IEEE J. Solid-State Circuits*, vol.42,

no.10, pp. 2303–2313, 2007.

DOI: 10.1109/JSSC.2007.897148

[8] L. Atias, A. Teman, R. Giterman, P. Meinerzhagen, and A. Fish, “A low-voltage radiation-hardened 13T SRAM bitcell for ultralow power space applications,” *IEEE Trans. on VLSI Systems*, vol.24, no.8, pp.2622–2633, 2016.

DOI: 10.1109/TVLSI.2016.2518220

[9] R. Pelliconi, D. Iezzi, A. Baroni, M. Pasotti, and P. L. Rolandi, “Power efficient charge pump in deep submicron standard CMOS technology,” *IEEE J. Solid-State Circuits*, vol.38, no.6, pp. 1068–1071, 2003. DOI: 10.1109/JSSC.2003.811991

BIOGRAPHY

Taehoon Kim (Member)



2016 : B.S. degree in Electronics Engineering, Kyungpook National University.

2018 : M.S. degree in Electronics Engineering, Kyungpook National University.

2018~Present : Ph.D. Student, Kyungpook National University.

Yeonbae Chung (Member)



1984 : B.S. degree in Electronic Engineering, Korea Aerospace University.

1986 : M.S. degree in Electrical Engineering, Korea Advanced Institute of Science and Technology.

1995 : Ph.D. degree in Electrical and Computer Engineering, University of Florida, USA.

1986~1990 : Research Staff, Electronics and Telecommunications Research Institute.

1995~2000 : Principal Engineer, Samsung Electronics Corporation.

2000~2002 : Project Manager, Ramtron International Corporation, USA.

2002~Present : Professor, Kyungpook National University.