

## 광계수방식 물리입자 검출용 ASIC 설계

# An ASIC Design for Photon Pulse Counting Particle Detection

정준모<sup>★</sup>, 소명진<sup>\*\*</sup>, 김효숙<sup>\*\*</sup>, 한아름<sup>\*\*</sup>, 소슬이<sup>\*\*</sup>

Jun-Mo Jung<sup>★</sup>, Myung-Jin Soh<sup>\*\*</sup>, Hyo-Sook Kim<sup>\*\*</sup>, AReum Han<sup>\*\*</sup>, Seul-Yi Soh<sup>\*</sup>

### Abstract

The purpose of this paper is to explore an ASIC design for estimating sizes and concentrations of airborne micro-particles by the means of integrating, amplifying and digitizing electric charge signals generated by photo-sensors as it receives scattered photons by the presence of micro-particles, consisting of a pre-amplifier that detects and amplifies voltage or current signal from photo-sensor that generates charges (hole-electron pairs) when exposed to visible rays, infrared rays, ultraviolet rays, etc. according to the intensity of rays; a shaper for shaping the amplified signal to a semi-gaussian waveform; two discriminators and binary counters for outputting digital signals by comparing the magnitude of the shaped signal with an arbitrary reference voltages.

The ASIC with the proposed architecture and functional blocks in this study was designed with a 0.18um standard CMOS technology from Global Foundries and the operation and performances of the ASIC has been verified by the silicons fabricated by using the process.

### 요약

본 연구는 가시광선, 적외선, 자외선 등이 대기 중의 물리입자에 의해 산란되는 빛(광자)을 받아서 발생하는 전하(전자·전공 쌍)를 집적하여 전압신호로 변환 및 증폭하는 전치증폭단과, 증폭된 신호의 파형을 semi-gaussian으로 보정하는 파형보정기 및 신호의 크기를 임의의 기준전압과 비교하여 신호 크기에 따른 펄스를 2진수 디지털 신호로 출력시키는 비교기와 계수기를 포함하는 물리입자 검출용 ASIC 칩 설계에 관한 것이다.

본 연구에서 제안한 구조 및 기능 블록을 갖는 ASIC은 Global Foundries의 0.18um standard CMOS 공정 변수를 사용하여 설계하였으며, 동 공정을 이용하여 칩을 제작하여 동작 및 성능을 검증 확인하였다.

*Key words : Photo-diode, Charge Sensitive Amplifier, Shaper, Hysteresis, Discriminator*

### 1. 서론

최근 사회적 관심사항인 대기 중 미세입자의 크기와 농도가 인체에 미치는 영향 등에 관하여 많은 연구가 진행되고 있으며[1, 2], 미세입자의 발생원(화석연료, 자동차, 대류에 의한 자연적인 입자 등)의 제어에 대한 산업계, 학계, 국가차원의 노력이

경주되고 있다.

본 연구는 광센서가 물리입자에 의해 산란되어 입사되는 빛(광자)을 받아서 빛의 세기에 따른 발생전하를 전기신호로 변환 및 증폭하여 산란광의 크기 및 폭에 의해 미세 입자의 크기 및 농도를 측정할 수 있는 최적의 신호 처리용 집적회로 및 구조에 관한 것이다.

\* Corresponding author, Dept. of Electronics Engineering, Kunsan National University

\*\* Luxen Technologies, Inc

★Corresponding author

E-mail : jmjung@kunsan.ac.kr, Tel : +82-63-469-4710

Manuscript received Sep. 4, 2019; revised Sep. 24, 2019; accepted Sep. 26, 2019.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

특히, 일반 포토다이오드, APD(Avalanche Photo diode), SiPM(Silicon Photo diode Multiplier) 등 광센서 소자 자체의 백색잡음과 회로에서 발생하는 열잡음, 플리커 잡음 등이 수 나노에서 수십 마이크로 볼트 크기의 입자 검출신호와 혼합되어 증폭 및 전달되므로 순수 신호를 얻기 위한 필터링 기법이 필요하게 되며[3], 본 연구에서는 일정 크기 이상의 전압 출력을 임의의 기준전압과 비교하여 신호를 얻을 수 있도록 비교기를 설계하여 구현하였으며, 비교기에 의해 변환된 디지털 신호의 경우에도 신호에 실려 오는 잡음에 의한 펄스의 크기 및 개수를 보다 정확하게 산출할 수 있도록 히스테리시스를 갖은 전압 비교기를 구현하여 칩에 적용하였다.

본 연구는 Global Foundries의 0.18um standard CMOS 공정 변수를 사용하여 설계 및 칩을 제작하였으며, 평가보드를 제작하고 이를 통해 제작된 칩의 구조와 각 기능블록의 동작 및 성능을 검증하였다.

## II. 기능블럭의 설계

### 1. 전치증폭기(Charge Sensitive Amplifier)

전치증폭기는 광센서로부터 입력되는 전하의 양 및 폭에 따라 증폭기의 입력범위, 증폭도, 처리속도, 출력범위, 출력의 종류(전류 또는 전압) 및 구동능력을 응용에 맞게 설계해야 한다.

특히 가시광선에 의해 반응하는 일반적인 포토다이오드의 경우 수 fA(femto-Ampere)에서 SiPM(Silicon Photo-multiplier)의 경우와 같이 수 uA(micro-Ampere)의 전류신호를 출력하는 등 광센서의 출력 신호전류의 크기 범위가 매우 다양하고 넓어 이를 모두 대응 할 수 있는 전치증폭기를 설계하는 것은 쉽지 않다.

본 연구에서는 일반적인 포토다이오드에서 나올 수 있는 수 pA(pico-Ampere)에서 수십 pA 범위의 광센서 신호전하를 집적하고 이를 전압신호로 변환 및 증폭하는 전하감응형 전치증폭기(Charge Sensitive Amplifier)를 설계하였다.

또한, 수 fC(femto-Coulomb)의 미세 전하가 전치증폭기에 입력되면 이를 집적하여 수 uV(micro-Volt)의 전압신호로 변환하고, 이를 후속단에서 처리 가능한 수준인 수백 mV(milli-Volt) 신호의 크기로 증폭한다.

그림 1은 전치증폭기(CSA : Charge Sensitive Amplifier)의 블록도이다. 입력 전하  $Q_i$ 가 반전증폭기와 피드백 커패시터 및 피드백 저항으로 구성된 CSA의 입력으로 인가되고, 인가된 전하는 피드백 커패시터  $C_f$ 에 집적되어 충전된 전하의 크기에 비례하는 전압(CSAO)으로 출력된다.

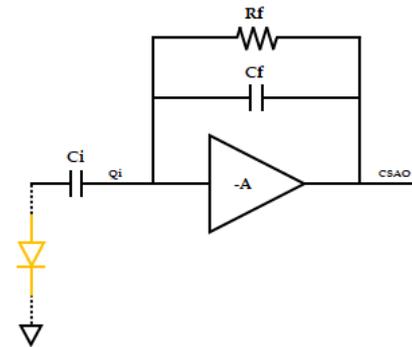


Fig. 1. Charge Sensitive Amplifier.  
그림 1. 전치증폭기(Charge Sensitive Amplifier)

출력전압(CSAO)의 크기는 입력전하량을 피드백 커패시터스로 나눈 값( $Q_i/C_f$ )으로 나타나게 된다. 피드백 저항( $R_f$ )은 피드백 커패시터에 축적된 전하를 방전하게 되며, 저항과 커패시터로 구성된 필터의 시정수( $\tau = R_f * C_f$ )가 기저전압(Baseline Voltage)으로 복귀하도록 설계되었다. 따라서 CSA의 이득(전압/전하량)은 피드백 커패시터  $C_f$ 가 작을수록 커지며, 또한 피드백 저항  $R_f$ 의 크기에 따라서도 CSA의 최대 출력 전압크기 및 기저전압 복귀시간(Return-to-Baseline Time)이 달라진다. 본 연구에서는 포토다이오드의 일반적인 모델[4]에 따라 스텝 전압을 CSA에 인가하여 컴퓨터 시뮬레이션을 통하여 CSA 회로를 최적화하고 동작을 검증 하였다.

### 2. 파형보정기(Shaper)

전치증폭기에서 출력되는 전압 파형은 전압상승 시간(Rising Time)이 피드백 커패시터 및 피드백 저항의 크기에 따라 수십~수백 나노 초(nano-second) 정도의 크기를 가지나 전압강하시간(Falling Time) 또는 기저전압회귀 시간(Return-to-Baseline Time)은 수 마이크로 초(micro-second) 정도를 갖게 된다. 이러한 전압파형은 파형의 크기를 판별하는 데 오차가 크고, 고속 및 초정밀 비교기가 필요하여 현실적으로 후속 신호처리에 적합하지 않으며, 따라서 이러한 파형을 semi-gaussian 형태의 파형으

로 보정(Shaping) 할 필요가 있다. 파형 보정은 간단한 CR-RC(n)[6] 구성할 수 있으며, 또한 저역필터(Low Pass Filter)로 파형을 보정할 수 있다.

본 연구에서는 그림 2와 같이 이득을 갖는 필터를 사용하여 semi-gaussian 형태로 파형을 보정하였다.

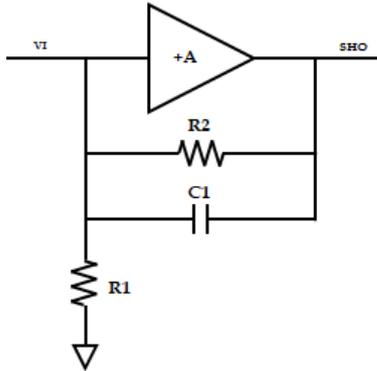


Fig. 2. Shaper.  
그림 2. 파형보정기(Shaper)

그림 2에서 파형보정기의 이득( $SHO/VI$ ) =  $1 + R2/R1$  이며, 필터의 시정수  $\tau2 = R2 * C1$ 가 된다.

### 3. 비교기(DISC : Discriminator)

비교기에서는 입자 검출 센서에서 발생하는 전하를 전치증폭단에서 집적하고 전압신호로 변환하고 신호보정단을 거쳐 인가되는 신호의 크기를 임의의 기준전압과 비교하여 펄스로 출력시키는 회로 블록이다.

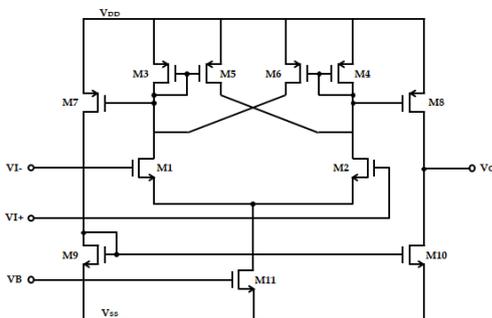


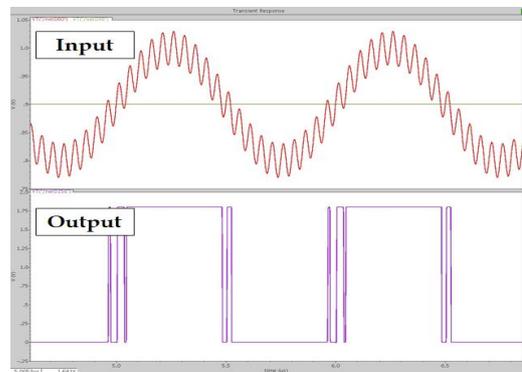
Fig. 3. Discriminator.  
그림 3. 비교기(Discriminator)

비교기인 경우 빛의 크기에 비례하는 전치 증폭단의 출력 전압을 임의의 기준 전압과 비교하여 펄스로 변환하게 된다.

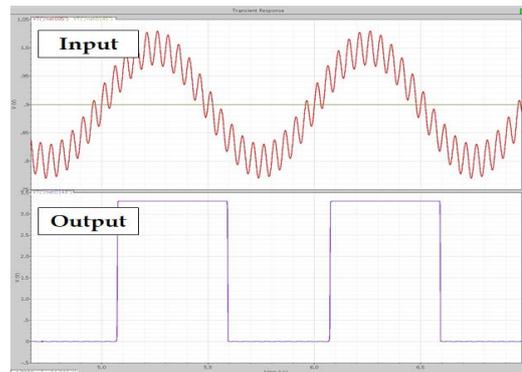
일반적으로 입자 광계수방식 검출기에 사용되는

광센서(Photo-diode, CdTe, SiPM, APD 등)는 광센서 자체에서 화이트노이즈[3], 전치증폭단 등 광신호 검출 및 신호처리부의 플리커 노이즈, 열잡음 등이 신호와 중첩되어 비교기에 입력된다. 따라서 비교기는 그림 4(a)와 같이 원신호의 크기와 임의의 기준신호를 비교하여 출력된 펄스는 개수와 폭 등의 정보가 왜곡되게 된다.

이러한 문제를 완화하는 방법으로 히스테리시스 특성을 갖는 비교기를 사용하게 되며[7], 본 연구에서는 그림 4(b)와 같이 Trip Voltage를 (+/-)45mV 갖는 비교기를 설계하여 보다 정확한 정보를 얻을 수 있도록 설계하였다.



(a)



(b)

Fig. 4. Input/Output Waveform of Discriminator

(a) General Discriminator Waveform

(b) Discriminator with VTRP (+/-)44.5mV Hysteresis

그림 4. 비교기 입력 대 출력파형(a)일반 비교기 출력 파형 (b) VTRP (+/-)44.5mV의 히스테리시스를 갖는 비교기 출력 파형

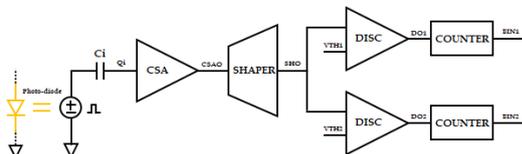
### 4. 디지털 신호 처리

비교기에서 출력된 펄스의 단위시간당 개수를 계수할 수 있도록 16bit 계수기를 설계 및 내장하였으며(그림 5), 이를 통해 임의의 광 펄스가 단위 시

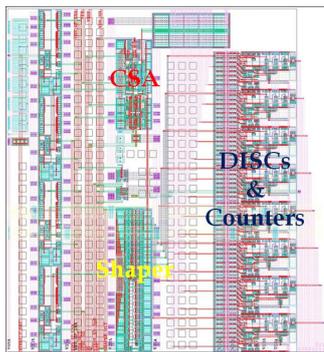
간에 몇 개가 입력되는 지 알 수 있게 된다. 본 연구에서는 2개의 비교기와 계수기를 사용하여 두 종류의 펄스 크기에 해당하는 정보를 얻을 수 있도록 설계하였다.

### III. 시뮬레이션 및 측정평가

본 연구를 통하여 설계한 물리입자 검출기용 ASIC의 블록도와 레이아웃 및 칩을 그림 5에 나타내었다. 그림 5에서 (a)는 제안한 ASIC의 전체 구조를 나타내는 블록도이며, (b)는 ASIC의 도면을 보이고 있다. 본 ASIC은 Global Foundries 0.18um standard CMOS 공정에서 제공된 PDK를 사용하여 컴퓨터 시뮬레이션을 진행하였으며, 제작된 칩은 64pin QFP type으로 Packaging하였다. 또한 전치증폭기의 입력단에 포토다이오드를 대신하여 스텝 펄스전압(Vi)을 입력 커패시터 Ci에 인가하였고, 이때 입력되는 전하량은  $Q_i = V_i * C_i$ 가 된다. 따라서 입력 전압펄스의 크기를 가변하여 시뮬레이션을 하면 출력신호가 왜곡되지 않고 처리되는 입력 동작 범위(Input Dynamic Range)를 알 수 있게 된다.



(a) ASIC 블록도



(b) ASIC 레이아웃

Fig. 5. An ASIC Architecture for Photon Pulse Counting Particle Detector.

그림 5. 광계수방식 물리입자 검출기용 집적회로 구조

#### 1. 전치증폭기(Charge Sensitive Amplifier)

전치증폭기에 사용된 -A 연산증폭기는 개방루프 이득이 44.78dB이며, f-3dB 주파수는 1.41MHz,

GBP(Gain Bandwidth Product)는 144.6MHz, 위상마진은 75.34도를 갖는 트랜스컨덕턴스 연산증폭기를 설계하여 사용하였다.

또한, Cf는 7fF, Rf는 PMOS 트랜지스터를 사용하여 매우 큰 저항 값(~100MΩ)을 낼 수 있도록 설계하였으며, PMOS 트랜지스터의 게이트 전압으로 저항 값을 변경하여 커패시터에 충전된 전하가 시정수  $\tau_1$  내에 방전하도록 설계하였다. 또한 시정수  $\tau_1$ 은 광센서의 종류나 크기에 따라 달리 설정할 수 있으며 본 설계에서는 1us 이하가 되도록 PMOS 게이트 전압을 설정하고 실행하였다.

이에 대해 다양한 입력 전압펄스 크기(0~180mV)를 20mV 단위로 변화시키면서 입력했을 때 CSA 출력에 대한 컴퓨터 시뮬레이션 결과는 그림 6과 같다.

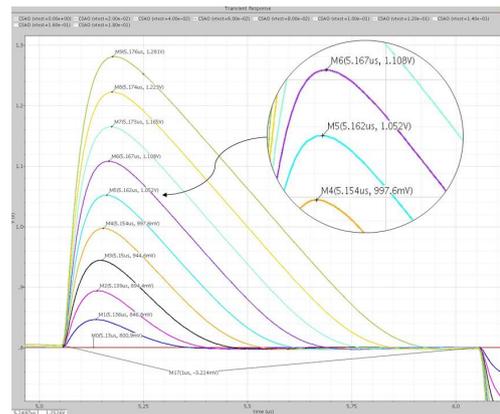


Fig. 6. CSA Outputs on Various Input Step Pulses.

그림 6. 다양한 입력 전압펄스 크기에 따른 CSA 출력 파형

#### 2. 파형보정기(Shaper)

파형보정기에 사용한 저항 R1의 값은 5kΩ, R2는 500kΩ로서 이득은 약 40dB, C1값은 0.5pF를 사용하여 시정수  $\tau_2$ 는 0.25us가 되도록 설정하였다.

#### 3. 비교기(Discriminator)

본 논문에서 설계한 비교기는 정 히스테리시스 값(V+TRP : Positive Trip Point Voltage)과 부 히스테리시스 값(V-TRP : Negative Trip Point Voltage)을 44.5mV로 설정하였다.

V+TRP와 V-TRP를 너무 작게 설정하면 히스테리 효과가 적어지며, 과도하게 설정하면 비교기의 분해능이 떨어지므로 사용하는 광센서용 포토다이오드의 노이즈 크기 및 특성에 적합하게 설정되어야 한다.

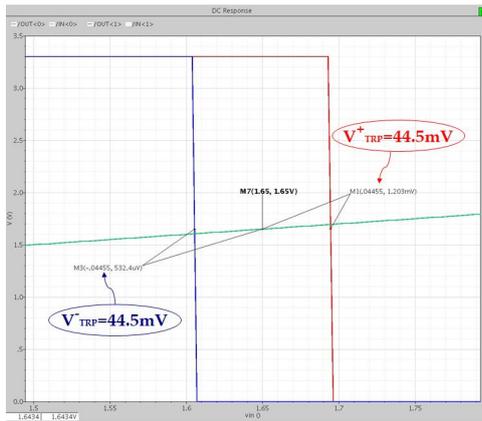


Fig. 7. Simulation Results of Discriminator with Hysteresis.  
 그림 7. 히스테리시스를 갖는 비교기 시뮬레이션 결과

4. ASIC 시뮬레이션(ASIC Simulation)

그림 8은 본 연구에서 설계한 칩(ASIC) 전체에 대한 컴퓨터 시뮬레이션 결과로서, 입력 전압펄스의 크기를 기준전압 0.8V에서 50mV 크기로 인가하여 CSA 출력, Shaper 출력 및 DISC 출력을 확인하였다.

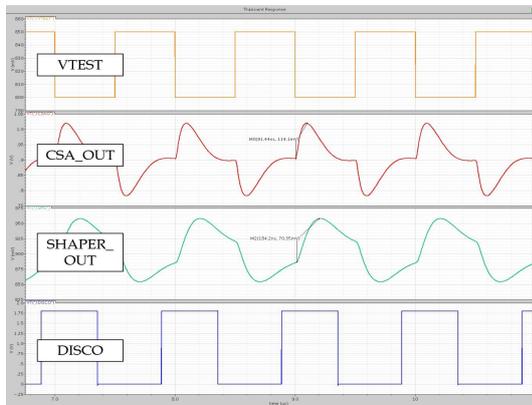


Fig. 8. Simulation Results of ASIC.  
 그림 8. ASIC에 대한 컴퓨터 시뮬레이션 결과

5. ASIC 측정평가(ASIC Test)

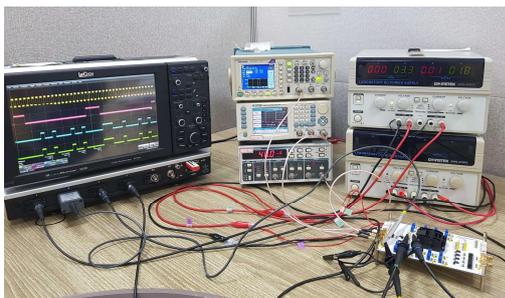


Fig. 9. ASIC Test Evaluation Board and Test Environment.  
 그림 9. ASIC 평가보드 및 테스트 환경

ASIC 평가는 그림 9와 같이 본 ASIC을 평가하기 위해 제작된 평가보드와 전원공급기, 파형발생기 및 오실로스코프를 사용하여 수행하였다.

그림 10은 입력단자에 200mV의 전압펄스(테스트 입력)를 인가하여 각 블록들(CSA 출력, Shaper 출력, DISC 출력 DO)의 출력을 오실로스코프를 사용하여 측정한 결과이다. CSA 출력이 500mV 정도의 크기로서 입력펄스 대 CSA 출력 전압의 크기 비는 2.5배가 되며, 시뮬레이션 값 2.28배 보다 10% 정도 크게 나오고 있다.

이는 실제 ASIC 칩에 인가되는 전압펄스의 상승 시간 및 피크(노이즈)가 시뮬레이션 시 인가된 이상적인 전압펄스와의 차이에 기인한 것으로 추정된다.

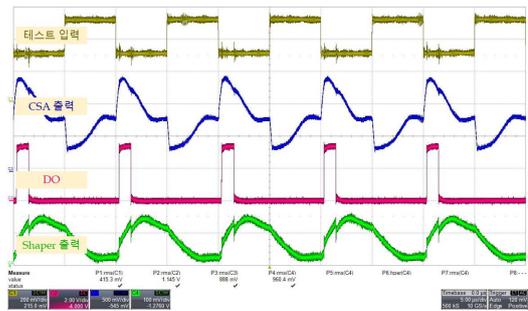


Fig. 10. ASIC Test Results1.  
 그림 10. ASIC 테스트 결과1

또한, ASIC의 최종 출력인 BIN1 및 BIN2의 출력과형을 그림 11에 보이고 있다.

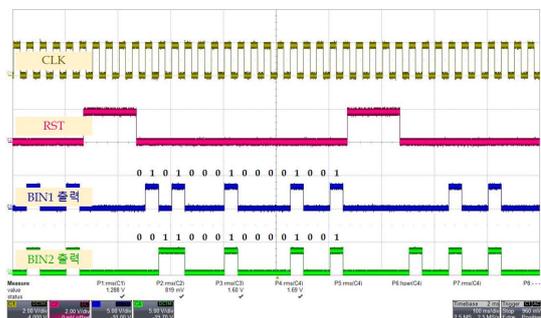


Fig. 11. ASIC Test Result2.  
 그림 11. ASIC 테스트 결과2

ASIC의 최종 출력은 DISC의 출력 BIN1과 BIN2이며, 그림 11과 같이 리셋(RST)펄스가 하강한 후 클럭에 동기 되어 출력된다. 16bit binary 값은 BIN1이 1001 0000 1000 1010 2진수 값으로 읽게

되고 BIN2는 1001 0000 1000 1100을 나타낸다.

이와 같이 일정 시간 동안 디지털 값을 얻고, 얻어진 2진수 값들을 통계적 분석하여 대기 중의 물리입자 농도 및 크기와 상관계 함수(Correlation Function)를 도출할 수 있다.

#### IV. 결론

본 연구는 Global Foundries의 0.18um standard CMOS 공정 변수를 사용하여 광계수방식 물리입자 검출기용 집적회로 ASIC을 설계 및 제작하였으며 ASIC 칩의 성능을 측정하고 평가하였다.

ASIC 칩 평가결과와 컴퓨터 모사실험과는 10% 정도 상이한 결과를 보였다. 이는 공정상의 PVT 변화에 대비한 설계 마진의 부족으로 인한 요인과 더불어 측정 장비와 평가보드의 잡음으로 인하여 실제 칩으로 인가되는 입력펄스의 상승 및 하강시간 차이와 노이즈의 증첩으로 인한 차이로 추정 된다.

본 연구를 통해 개발된 광계수방식의 물리입자 검출용 ASIC은 광센서로 입사되는 산란광을 통하여 대기 중의 물리입자의 농도 및 크기를 측정할 수 있는 요소기술 및 반도체 칩으로서, 응용에 따라 증폭도와 비교기의 기준 전압 변경 등을 통하여 다양한 광센서에 적용이 가능하다.

향후, 공정 변화에 따른 보다 넓은 동작 범위 확보와 충실한 설계를 통하여 정확도를 향상시킬 필요가 있다.

#### References

- [1] Dong Chun Shin, "Health Effects of Ambient Particulate Matter," *J Korean Med Assoc*, vol.50, no.2, pp.175-182, 2007.
- [2] An-Soo Jang, "Impact of particulate matter on health," *J Korean Med Assoc*, vol.57, no.9, pp.763-768, 2014.
- [3] Hyun-Sang Park, "Gaussian Noise Estimation Using White Noise Test," *The Journal of Korean Institute of Information Technology*, Vol.16, No.4, pp.51-56, 2018.
- [4] Rafael Ballabriga Suñé, "The Design and Implementation in 0.13um CMOS of an Algorithm

Permitting Spectroscopic Imaging with High Spatial Resolution for Hybrid Pixel Detectors," *CERN-THESIS-2010-055*, p.100, 59069740 Universitat Ramon Lull Fundació Privada. Rgtr. Fund. Generalitat de Catalunya núm. 472 (28-02-90), 2009.

[5] Manuel de Medeiros Silva, Life Senior Member, IEEE, and Luis B. Oliveira, Member, IEEE, "Regulated Common-Gate Transimpedance Amplifier Designed to Operate With a Silicon Photo-Multiplier at the Input," *IEEE*, vol.61, no.3, pp.725-735, 2014. DOI: 10.1109/TCSI.2013.2283992

[6] Glenn F. Knoll, "Radiation Detection and Measurement," 4th ed., *John Wiley & Sons, Inc.*, pp. 625-633, 2010.

[7] Phillip E. Allen, Douglas R. Holberg, "CMOS Analog Circuit Design," 3th ed., *OXFORD UNIVERSITY PRESS*, pp.471-480, 2011.

#### BIOGRAPHY

##### Jun-Mo Jung (Member)



1987 : BS degree in Electronics Engineering, Hanyang University.  
1989 : MS degree in Electronics Engineering, Hanyang University.  
2004 : PhD degree in Electronics Engineering, Hanyang University.

1989~1996 : Research Engineer, Samsung Electronics.  
1996~2004 : Kimpo University, Professor  
1994~2004 : Hanyang Cyber Univ., Professor  
2005~ : Kunsan National University Professor

##### Myung -Jin Soh (Member)



2001 : MS, Sloan School of Management, MIT.  
1984 : MS, Electrical Engineering, Seoul National University.  
1982 : BS, Electrical Engineering, Seoul National University.

2006~ : CEO, Luxen Technologies, Inc.  
2001~2005 : Director, Synopsys, Inc.(Virage Logic, Inc.)  
1984~2001 : Chief Research Engineer, LG Electronics Inc.

**Hyo-Sook Kim** (Member)



2015 : BS, Electronics Engineering,  
Kunsan National University.  
2014~ : Research Engineer, Luxen  
Technologies, Inc.

**AReum Han** (Member)



1987 : BS, Electronics Engineering,  
Korea Polytechnics.  
2006~ : Research Engineer,  
Luxen Technologies, Inc.

**Seul-Yi Soh** (Member)



2018 : HBSc, Statistics and Physics,  
University of Toronto.  
2006~ : Research Engineer,  
Luxen Technologies, Inc.