

# 에너지 효율이 우수한 XOR-XNOR 회로 설계

## Design of an Energy Efficient XOR-XNOR Circuit

김정범<sup>★</sup>

Jeong Beom Kim<sup>★</sup>

### Abstract

XOR(exclusive-OR)-XNOR(exclusive NOR) circuit is a basic component of 4-2 compressor for high performance arithmetic operation. In this paper we propose an energy efficient XOR-XNOR circuit. The proposed circuit is reduced the internal parasitic capacitance in critical path and implemented with 8 transistors. The circuit produces a perfect output signals for all input combinations. Compared with the previous circuits, the proposed circuit has a 14.5% reduction in propagation delay time and a 1.7% increase in power consumption. Therefore, the proposed XOR-XNOR is reduced power-delay-product (PDP) by 13.1% and energy-delay-product (EDP) by 26.0%. The proposed circuits are implemented with standard CMOS 0.18um technology and verified through SPICE simulation with 1.8V supply voltage.

### 요약

XOR(exclusive-OR)-XNOR(exclusive NOR) 회로는 고 성능 산술 연산에 필요한 4-2 압축 회로(4-2 compressor)의 기본 구성 요소이다. 본 논문에서는 에너지 효율이 우수한 XOR-XNOR 회로를 제안한다. 제안한 회로는 임계 경로의 내부 기생 캐패시턴스를 감소시켜 전파 지연 시간을 감소시켰으며, 모든 입력 조합의 경우에 완벽한 출력 값을 가지며 8개의 트랜지스터로 설계되었다. 기존 회로와 비교하여 제안한 회로는 전파 지연 시간이 14.5% 감소하였으며, 전력 소모는 1.7% 증가하였다. 따라서 전력 소모와 지연 시간의 곱 (power-delay product: PDP)과 에너지와 지연 시간의 곱 (energy-delay product: EDP) 각각 13.1%, 26.0% 감소하였다. 제안한 회로는 0.18um CMOS 표준공정을 이용하여 설계하였으며 SPICE 시뮬레이션을 통해 타당성을 입증하였다.

*Key words* : XOR-XNOR, 4-2 compressor, energy efficient circuit, PDP, EDP

### 1. 서론

곱셈 연산은 범용 목적 마이크로프로세서뿐만 아니라 특수 용도의 프로세서에서 핵심 연산요소로써, 고 성능 컴퓨팅 시스템의 다양한 응용 분야에서 고 성능 곱셈 연산에 대한 요구가 증가하고 있다[1]-[4]. 곱셈 연산기의 기본 요소는 4-2 압축 회로

(4-2 compressor)이며, 4-2 압축회로의 핵심 구성 요소는 XOR-XNOR 회로이다. XOR-XNOR 회로는 임의의 두 입력 신호를 받아 XOR 및 XNOR의 두 신호를 출력하는 회로이다[5][6]. XOR-XNOR 회로는 디지털 회로 설계 분야에서 비교기, 패리티 검사기, 덧셈 회로 등에 널리 사용되고 있다. 따라서 이 회로를 효과적으로 구현하기 위한 많은 노력

\* Dept. of Electronics Engineering, Kangwon National University

★ Corresponding author

Email : kimjb@kangwon.ac.kr, Tel : +82-33-250-6329

※ Acknowledgment

This study was supported by 2017 Research Grant from Kangwon National University(No. 520170067).

Manuscript received Sep. 2, 2019; revised Oct. 25, 2019; accepted Nov. 15, 2019,

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

과 다양한 형식의 회로들이 제안되고 있으며, 최근에는 트랜지스터의 개수를 최소화하면서 저 전력, 고속 특성 및 구동 능력(driving capability)뿐만 아니라 에너지 효율이 우수한 회로를 설계하려는 노력이 계속되고 있다[4-8].

XOR-XNOR 회로 구현 기술은 CMOS 전달 게이트(transmission gate)를 활용한 방식과 CMOS 인버터 형식을 활용한 방식 등이 적용되고 있다[5][6]. 기존의 회로들은 MOSFET 스위칭 특성으로 발생하는 신호의 변형 및 전달 지연 시간의 증가와 구동 능력의 저하 등의 단점을 가지고 있다. 본 논문에서는 XOR-XNOR 회로의 임계 경로(critical path)에 발생하는 기생 캐패시턴스(parasitic capacitance)를 감소시켜 전달 지연 시간을 감소시켜 전력 소모와 지연 시간의 곱(power consumption-delay product : PDP), 에너지를 감소시키고, 모든 입력 조합에 완벽한 신호를 출력하며 모든 출력 단에 우수한 구동 능력을 갖는 회로를 설계하였다,

본 논문의 구성은 다음과 같다, II장에서는 기존의 XOR-XNOR 회로에 대해 소개하고, III장에서는 제안한 XOR-XNOR 회로에 대한 구성과 동작을 설명하고 시뮬레이션 결과를 바탕으로 각각의 회로를 비교 분석하였다. 마지막으로 IV장에서는 결론을 맺는다.

## II. 기존의 XOR-XNOR 회로

본 장에서는 최근에 발표된 두 개의 기존 XOR-XNOR 회로에 대해 설명한다.

### 1. 기존 회로 1

첫 번째 기존 회로는 그림 1에 나타내었다[7]. MOSFET의 스위칭 특성을 살펴보면 PMOS 트랜지스터는 '1(High)' 신호는 완벽하게 전달시킬 수 있지만 '0(Low)' 신호는 문턱 전압(threshold voltage)만큼 상승으로 변형된 '0' 신호를 전달한다. 반면에 NMOS 트랜지스터는 '0' 신호는 완벽하게 전달시키지만 '1' 신호는 문턱 전압만큼 감소한 변형된 '1' 신호를 전달한다. 이러한 변형된 출력 신호는 다음 단에 연결되는 게이트의 올바른 구동을 보장할 수 없게 되어 구동 능력 저하 및 논리 기능의 오 동작을 유발할 수 있는 원인이 된다. 이러한 변형된 출력 신호는 미세 공정이 가속화되는 현재 반도체 기

술에서는 치명적인 단점으로 반드시 해결해야 할 문제이다. 이 회로는 A=0, B=1인 경우 XOR 출력은 NMOS 트랜지스터 N2와 N3을 통해 '1' 신호가 전달되므로 문턱 전압만큼 감소하여 변형된 '1' 신호를 출력하는 단점을 갖는다.

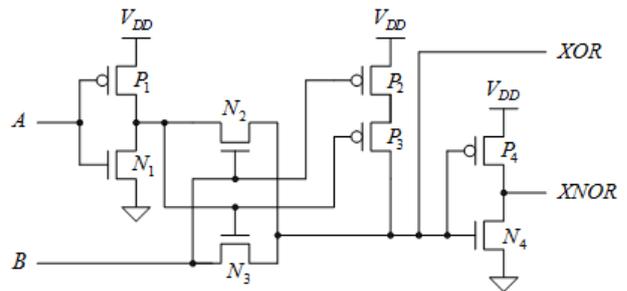


Fig. 1. Previous circuit 1.

그림 1. 기존 회로 1

### 2. 기존 회로 2

두 번째 기존 회로는 그림 2에 나타내었다[8].

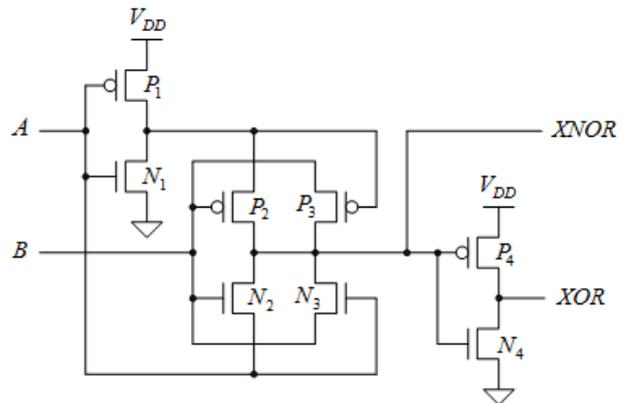


Fig. 2. Previous circuit 2.

그림 2. 기존 회로 2

이 회로는 첫 번째 기존 회로의 단점을 보완하여 모든 입력 조합에 대해서 XOR와 XNOR 두 출력 단에서 완벽한 '0', '1' 신호를 출력한다. XOR 출력 신호의 경우, PMOS 트랜지스터 P4와 NMOS 트랜지스터 N4로 구성된 인버터를 통해 출력하므로 우수한 능력을 갖지만, XNOR 출력 신호는 PMOS 트랜지스터 P2, P3와 NMOS 트랜지스터 N2, N4로 구성된 출력 단에서 출력하므로 인버터를 통해 출력하는 신호보다는 구동 능력이 미흡하다는 단점을 갖는다.

III. 제안한 XOR-XNOR 회로 및 시뮬레이션 결과

본 논문에서 제안한 XOR-XNOR 회로는 그림 3에 나타내었다. 제안한 회로는 기존 회로 1의 변형된 출력 신호가 발생하는 단점을 해결하여, 모든 입력 조합의 경우에 대해 완벽한 '0', '1' 신호를 출력한다. XOR 출력 신호의 경우 PMOS 트랜지스터 P3과 NMOS 트랜지스터 N3으로 구성된 인버터를 통해 출력하고, XNOR 출력 신호의 경우 PMOS 트랜지스터 P4와 NMOS 트랜지스터 N4로 구성된 인버터를 통해 출력하므로, XOR와 XNOR 두 출력 신호는 모두 우수한 구동 능력을 갖는다.

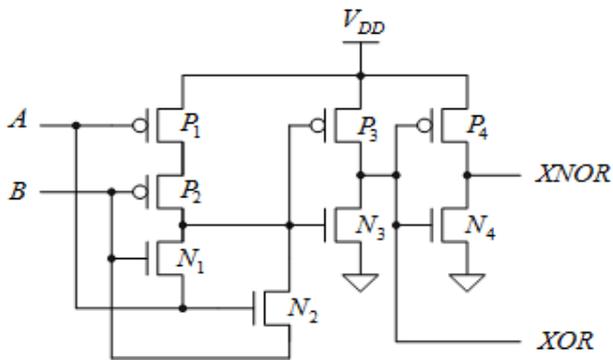


Fig. 3. Proposed circuit.  
그림 3. 제안한 회로

또한, 기존 회로에 비해 내부 연결 노드가 단순화하여 회로 내의 기생 캐패시턴스를 감소시켜 전달 지연 시간이 기존 회로 1에 비해 25.4%, 기존 회로 2에 비해 14.5% 감소하였다.

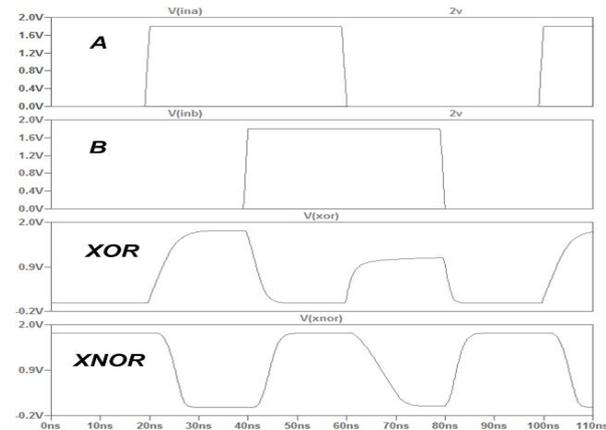


Fig. 4. Simulation result of previous circuit 1.  
그림 4. 기존 회로 1의 시뮬레이션 결과

본 논문에서는 TSMC 0.8um CMOS 표준 공정을 사용하여 설계하고 SPICE를 이용하여 타당성을 검증하였다. PMOS 트랜지스터와 NMOS 트랜지스터의 크기 비는 2:1로 설계하였으며 1.8V 공급 전원과 출력 단에 0.5pF의 부하 캐패시터(load capacitor)를 연결하여 각각의 회로에 대해 전달 지연 시간, 전력 소모, 전력 소모와 지연 시간의 곱(PDP), 및 에너지와 지연 시간의 곱(EDP)에 대해 비교 분석하였다. 기존 회로 1의 시뮬레이션 결과는 그림 4에 나타내었다. 시뮬레이션 결과에서 A=0, B=1인 경우, 문턱 전압만큼 감쇠된 XOR 출력 신호를 확인할 수 있다.

제안한 회로의 시뮬레이션 결과는 그림 5에 나타내었다. XOR 및 XNOR 두 출력 단자에서 모든 입력 조합에 대해 완벽한 '0', '1' 신호를 출력하는 것을 시뮬레이션 결과에서 확인할 수 있다.

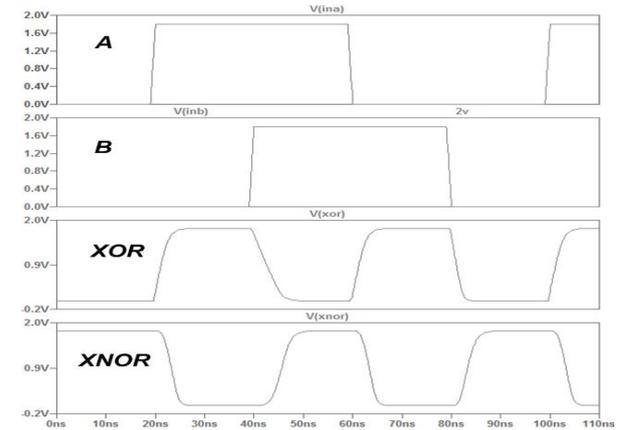


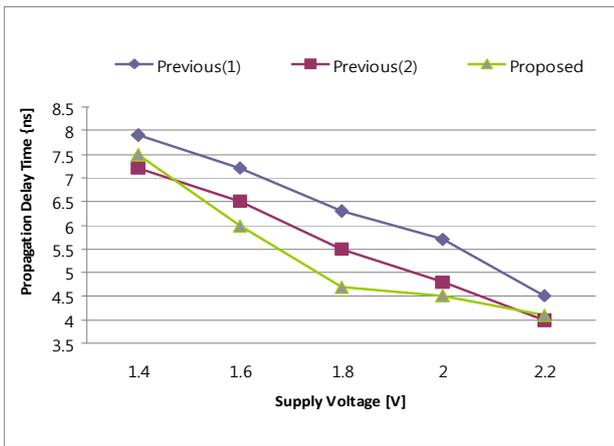
Fig. 5. Simulation result of proposed circuit.  
그림 5. 제안한 회로의 시뮬레이션 결과

표 1은 기존 회로들과 제안한 회로의 비교표이다. 제안한 회로는 4.7ns의 전파 지연 시간, 72.1uW

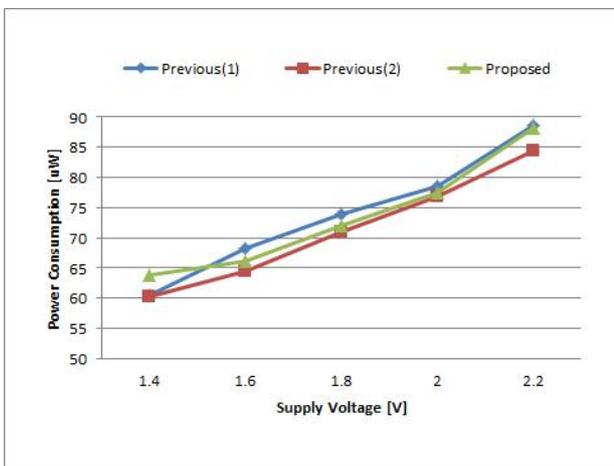
Table 1. Comparison table.

표 1. 비교표

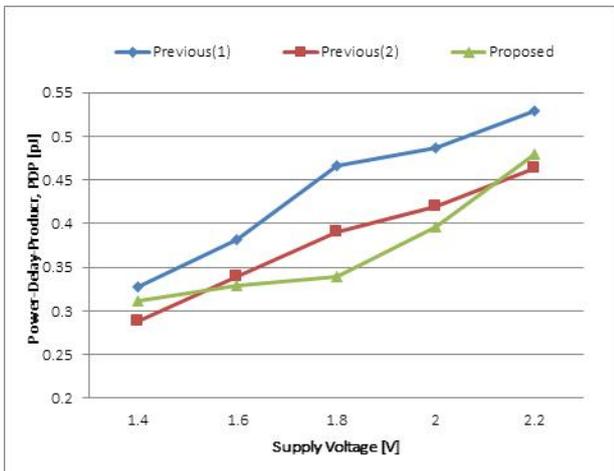
	Previous 1	Previous 2	Proposed
Propagation delay time [ns]	6.3	5.5	4.7
Power consumption [uW]	74.0	70.9	72.1
PDP [pJ]	0.466	0.390	0.339
EDP [E-21Js]	2.94	2.15	1.59
PDP : Power-Delay Product EDP : Energy-Delay Product			



(a)



(b)



(c)

Fig. 6. Characteristics of XOR-XNOR circuit with supply voltage variation [1.4V~2.2V]. (a) propagation delay time (b) power consumption (c) PDP

그림 6. 공급 전원 변화 [1.4V~2.2V]에 의한 XOR-XNOR 회로의 특성 (a) 전파 지연 시간 (b) 전력 소모 (c) PDP

의 전력 소모, 0.399pJ의 PDP, 및 1.59E-21 Js의 EDP 특성을 보였다. 전파 지연 시간은 기존 회로

1, 2에 비해 각각 25.4%, 14.5% 감소하였으며, 전력 소모는 기존 회로 1에 비해 2.6% 감소, 기존 회로 2에 비해 1.7% 증가하였다.

또한, PDP는 기존 회로 1, 2에 비해 각각 27.3%, 13.1% 감소하였으며, EDP는 기존 회로 1, 2에 비해 각각 45.9%, 26.0% 감소하였다. 제안한 회로는 전력 소모가 기존 회로 2에 비해 1.7% 증가한다는 한 가지 단점을 제외하고 다른 모든 지표 값에서 우수한 특성을 갖는다는 것을 나타낸다.

공급 전원을 1.4V로부터 2.2V까지 변화에 따른 전파 지연 시간, 전력 소모 및 PDP 등 회로의 전기적 특성 변화 추이를 각각 그림 6(a), (b), (c)에 나타내었다. 그림 6(a)는 1.6V에서 2.0V 구간에서 제안한 회로의 전파 지연 시간이 우수한 특성을 갖는다는 보여 준다. 전력 소모는 제안한 회로는 기존 회로 1보다는 우수하지만, 기존 회로 2보다는 미흡하다는 것을 그림 6(b)에서 알 수 있다. 그림 6(c)는 1.6V에서 2.0V 구간에서 제안한 회로의 전력 소모가 가장 우수한 PDP 특성을 갖는다는 보여 준다. 공급 전원이 1.6V 미만인 경우와 2V를 초과하는 경우 기존 회로 2가 가장 우수한 PDP 특성을 갖는다. 제안한 회로는 0.18um 공정의 표준 공급 전원이 1.8V의 ±10% 구간 (1.6V~2.0V)에서 가장 우수한 PDP 특성을 갖는다. 그러나 실제 시스템에 적용하여 실용적인 의미를 갖기 위해서는 ±20% 구간 (1.4V~2.2V)에서 우수한 PDP 특성을 가져야 한다. 따라서 이 문제점은 향후 과제로서 해결해야 할 필수 과제이다.

#### IV. 결론

본 논문에서는 에너지 특성이 우수한 XOR-XNOR 회로를 제안하였다. 제안한 회로는 완벽한 출력 신호와 구동 능력을 지니고 내부 기생 캐패시턴스를 감소를 통한 전달 지연 시간 감소로 에너지 특성을 향상시켰다. 전달 지연 시간의 우수한 특성을 유지하며 전력 소모를 감소시킨다면 더욱 우수한 에너지 특성을 나타낼 것이다. 따라서 향후 과제로 저 전력 회로에 대한 연구가 필요하다. 또한, 공급 전원의 넓은 변동 구간에서 우수한 PDP 특성을 유지할 수 있는 회로 설계에 대한 연구가 필요하다.

## References

- [1] G. Goto et al., "A 54 x 54-b regularly structured tree multiplier," *IEEE J. Solid-State Circuits*, vol.27, no.9, pp.1229-1236, 1992.  
DOI: 10.1109/4.149426
- [2] S. F. Hisao, M. R. Jiang, and J. S. Yeh, "Design of high-speed low-power 3-2 counter and 4-2 compressor for fast multiplier," *Electron. Lett*, vol.34, no.4, pp.341-343, 1998.  
DOI: 10.1049/el:19980306
- [3] S. Goel, M. A. Elgamel and M. A. Bayoumi, "Novel Design Methodology for High-Performance XOR-XNOR Circuit Design," *Proc. of the 16th Symposium on Integrated Circuits and Systems Design (SBCCI'03)*, pp.71-76, 2003.  
DOI: 10.1109/SBCCI.2003.1232809
- [4] M. A. Elgamel, S. Goel, and M. A. Bayoumi, "Noise Tolerant Low Voltage XOR-XNOR for Fast Arithmetic," *Proc. of the Great Lake Symposium on VLSI*, pp.14-16, 2003.  
DOI: 10.1145/764808.764882
- [5] J. M. Wang, S. C. Fang, and W. S. Feng, "New Efficient Designs for XOR and XNOR Functions on the Transistor Level," *IEEE journal of solid-state circuits*, vol.29, no.7, pp.780-786, 1994. DOI: 10.1109/4.303715
- [6] J. B. Kim, S. J. Hong, and J. Kim, "New Circuits for XOR and XNOR Functions," *Int. J. Electronics*, vol.32, no.2, pp.131-144, 1997.  
DOI: 10.1080/002072197136138
- [7] S. Kumar and M. Kumar, "4-2 Compressor Design with New XOR-XNOR Module," *Proc. of the 4th international conference on advanced computing & communication technologies (ACCT)*, pp.106-111, 2014. DOI: 10.1109/ACCT.2014.36
- [8] M. Kumar and J. Nath, "Design of an Energy Efficient 4-2 Compressor," *Proc. of the international conference on materials science and engineering (ICMAEM)*, pp.1-8, 2017.  
DOI: 10.1088/1757-899X/225/1/012136

## BIOGRAPHY

### Jeong Beom Kim (Member)



1985 : BS degree in Electronics Engineering, Inha University  
1987 : MS degree in Electronics Engineering, Inha University  
1997 : PhD degree in Electronics & Electrical Engineering, POSTECH

1987~1992 : Senior Research Engineer, R&D Center, LG semiconductor

1997~1998 : Principal Research Engineer, System IC R&D Center, Hyundai Electronics

1999~present : Professor, Dept. of Electronics Engineering, Kangwon National University