

Sensor Utility Network를 위한 저전력 Burst 클럭-데이터 복원 회로를 포함한 클럭 시스템

A Clock System including Low-power Burst Clock-data Recovery Circuit for Sensor Utility Network

송 창 민*, 서 재 훈**, 장 영 찬*

Changmin Song*, Jae-Hoon Seo**, and Young-Chan Jang*

Abstract

A clock system is proposed to eliminate data loss due to frequency difference between sensor nodes in a sensor utility network. The proposed clock system for each sensor node consists of a burst clock-data recovery (CDR) circuit, a digital phase-locked loop outputting a 32-phase clock, and a digital frequency synthesizer using a programmable open-loop fractional divider. A CMOS oscillator using an active inductor is used instead of a burst CDR circuit for the first sensor node. The proposed clock system is designed by using a 65 nm CMOS process with a 1.2 V supply voltage. When the frequency error between the sensor nodes is 1%, the proposed burst CDR has a time jitter of only 4.95 ns with a frequency multiplied by 64 for a data rate of 5 Mbps as the reference clock. Furthermore, the frequency change of the designed digital frequency synthesizer is performed within one period of the output clock in the frequency range of 100 kHz to 320 MHz.

요 약

본 논문에서는 센서 유틸리티 네트워크에서 센서 노드들 사이의 주파수 차이로 인한 데이터 손실을 제거하기 위한 클럭 시스템이 제안된다. 각 센서 노드를 위한 제안된 클럭 시스템은 버스트 클럭-데이터 복원 회로, 32-위상 클럭을 출력하는 디지털 위상 고정 루프, 그리고 프로그래밍 가능한 개방형 루프 분수 분할기를 사용하는 디지털 주파수 합성기로 구성된다. 첫 번째 센서 노드에는 버스트 클럭-데이터 복원 회로 대신 능동 인덕터를 사용하는 CMOS 발진기가 사용된다. 제안된 클럭 시스템은 1.2 V 공급 전압을 이용하는 65nm CMOS 공정에서 설계된다. 센서 노드들 사이의 주파수 오류가 1%일 때, 제안하는 버스트 클럭-데이터 복원 회로는 기준 클럭으로 5Mbps 데이터 속도에 대해 64배 체배된 주파수를 가짐으로 4.95 ns의 시간 지터를 가진다. 설계된 디지털 주파수 합성기의 주파수 변경은 100 kHz에서 320 MHz의 주파수 범위에서 출력 클럭의 한 주기 내에 수행된다.

Key words : Sensor Utility Network, Clock System, Burst Clock-Data Recovery, Digital Phase-Locked Loop, Digital Frequency Synthesizer, Programmable Open-Loop Fractional Divider

* Department of Electronic Engineering, Graduate School, Kumoh National Institute of Technology, Korea

** Autosilicon, Korea

★ Corresponding author

Email : ycjang@kumoh.ac.kr, Tel : +82-54-478-7434

Manuscript received Sep. 5, 2019; revised Sep. 24, 2019; accepted Sep. 25, 2019.

This research was supported by the Basic Science Research Program (2016R1D1A3B03934487) and the Priority Research Centers Program(2018R1A6A1A03024003) through the NRF funded by the Ministry of Education.

Authors are thankful to IDEC for supporting EDA softwares.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

최근 산업, 가전, 안전, 의료, 그리고 자동차 등의 응용분야에 능동형 소자가 탑재된 많은 관련 시스템에 사물 인터넷(IoT: internet of things)의 활용이 급격히 증가되고 있다. 이를 위해 온도, 습도, 빛, 압력, 오염, 토양 성분, 소음 수준, 진동 및 물체 움직임 등 서로 다른 위치에서 물리적 또는 환경적 상태를 모니터링하기 위한 센서 시스템이 요구되고 있다. 이러한 응용 분야에 사용되는 센서 노드는 각 목적에 따른 센서, 데이터 송신부 및 수신부, 그리고 전력 모듈 등의 블록들로 구성될 수 있다. 각 센서 노드가 획득한 정보는 하나의 콘트롤러 혹은 관리자에게 전송되어야 한다. 이를 위해 모든 센서 노드들이 관리자에게 직접 연결될 경우 이를 위한 통신과 각 센서 노드의 제어 복잡해진다. 또한, 각 센서 노드가 관리자에게 직접 통신을 할 경우 통신의 거리에 따른 전력 소모가 증가될 수 있다. 이와 같은 문제점을 해소하기 위해 그림 1에 나타난 sensor utility network(SUN)가 제안되었다 [1][2]. SUN에서의 각 노드들은 관리자에게 직접 통신하지 않고 각 노드들끼리 유선 혹은 무선으로 통신하며 연결된다. 그리고 관리자는 하나의 센서 노드와의 통신을 통해 전체 센서 노드와 통신하게 된다. 이를 통해 관리자의 입장에서 전체 센서 노드와의 통신 및 각 센서 노드를 위한 제어의 복잡성을 줄일 수 있으며, 각 센서 또한 다른 센서 노드와의 근거리 통신을 통해 전력 소모를 줄이면서 관리자에게 정보를 전송할 수 있다.

SUN의 센서 노드들 사이의 통신을 위한 클록 동기화는 IoT 시스템의 복잡성과 전력 소모에 직접적으로 연관된다. SUN의 각 센서 노드는 내부의 각 블록의 동작과 다른 센서 노드와의 통신을 위해 필요한 클록을 자체적으로 생성한다. 그러나 센서 노드들 사이에 사용되는 클록의 주파수에 차이가 발생할 경우 동기 시스템에서의 통신에 어려움이 발생된다. 이에 따라 각 센서 노드는 wake-up time을 설정하여 일정한 주기마다 클록의 주파수를 서로 점검하고 동기를 유지하도록 클록 주파수를 보정하는 것이 요구된다. 각 센서 노드 사이의 클록 주파수 차이가 작을수록 wake-up time의 주기를 길게 설정할 수 있어 센서 노드의 전체 전력 소모를 줄일 수 있다[3][4]. 이러한 필요성으로 정확한

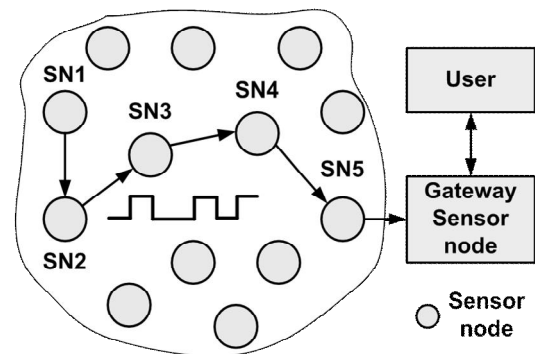


Fig. 1. Conceptual diagram of sensor utility network and its data transfer.

그림 1. Sensor utility network와 이의 데이터 전송의 개념도

클록의 주파수를 생성하기 위해 미세전자기계시스템(MEMS : microelectromechanical system)을 이용하는 클록 발생기 및 기준 클록이 필요 없는 인덕터(inductor)와 커패시터(capacitor)를 이용하는 자체 reference LC 시모스(CMOS : Complementary metal-oxide-semiconductor) 클록 발생기가 발표되었다 [5][6]. MEMS를 이용한 클록 발생기는 SUN에 적합한 작은 주파수의 오차를 가지는 저주파수 클록을 생성할 수 있으나, CMOS 공정으로의 직접화에 어려움이 존재한다. 또한 LC CMOS 클록 발생기는 CMOS 공정에서 다른 블록과 함께 구현될 수 있는 장점이 존재하나, 클록 주파수-오차를 줄이기 위해 밴드-갭 기준전압 발생기, low-dropout (LDO) 선형 레귤레이터, 그리고 공정 제어 블록 등의 많은 블록이 요구되며, 이로 인해 반도체 칩의 면적 및 전력 소모가 증가된다. 본 논문에서는 SUN의 센서 노드에서 생성하는 클록의 주파수 허용 오차에 대한 부담을 줄일 수 있는 SUN을 위한 클록 시스템을 제안한다. 이를 위해 저전력 burst 클록-데이터 복원(CDR : clock-data recover) 회로, 능동 인덕터를 이용한 CMOS 발진기, 그리고 센서 노드에서 요구되는 다양한 주파수를 가지는 클록의 생성을 위한 주파수 합성기를 소개한다.

II. SUN을 위한 클록 시스템

그림 2는 센서 노드 사이의 주파수 오차를 줄이기 위한 제안하는 클록 시스템을 보여준다. 그림 1의 SUN을 위한 첫 번째 센서 노드 SN1을 위한 클록 시스템은 능동 인덕터를 이용한 CMOS 발진기 (CMOS Oscillator using Active Inductor), 32개

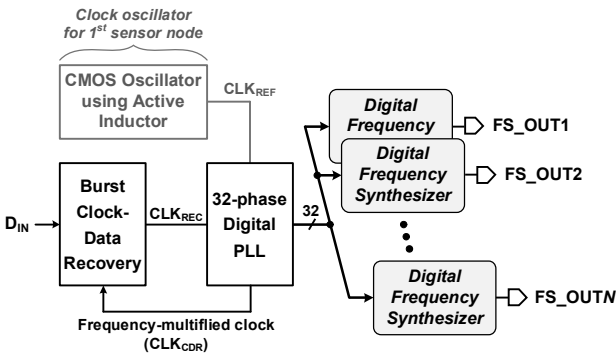


Fig. 2. Proposed clock system to reduce effect on frequency errors between sensor nodes.

그림 2. 센서 노드 사이의 주파수 오차의 영향을 줄이기 위한 제안하는 클럭 시스템

의 위상을 가지는 클럭을 출력하는 디지털 위상 고정 루프(PLL : phase-locked loop) (*32-phase Digital PLL*), 그리고 프로그램 가능한 디지털 주파수 합성기(*Digital Frequency synthesizer*)로 구성된다. 센서 노드 SN1은 다른 센서 노드로부터 데이터를 수신하지 않음으로 자체적으로 CMOS 클럭 발생기를 통해 클럭을 생성한다. 두 번째 이후의 센서 노드를 위한 클럭 시스템은 burst CDR, 32-위상 클럭을 출력하는 디지털 PLL, 그리고 프로그램 가능한 디지털 주파수 합성기로 구성된다. 이 클럭 시스템에서는 자체 클럭 발생기를 대신하여 burst CDR을 이용하여 다른 센서 노드로부터 공급된 데이터를 통해 클럭을 복원한다. 제안하는 센서 노드를 위한 클럭 시스템은 센서 노드 SN1에서 자체 생성하는 클럭의 목표 주파수에 오차가 발생하더라도 센서 노드 사이의 데이터 송수신은 수신단의 CDR 회로를 통해 동기가 이루어짐으로 데이터 손실을 제거할 수 있다. 32-위상 디지털 PLL에서 주파수가 체배된 출력 클럭은 센서 노드의 첫 단인 CDR을 위한 기준 클럭으로 공급된다. 디지털 주파수 합성기는 센서 노드의 각 블록에서 요구되는 다양한 주파수를 가지는 클럭을 생성한다.

1. 능동 인덕터 이용 CMOS 발진기

첫 번째 센서 노드 SN1은 CMOS 공정에서 소면적, 저전력의 자체 클럭 발생기를 구현하기 위해 그림 3에 나타낸 능동 인덕터를 이용한 CMOS 발진기를 포함한다[7]. 이 CMOS 발진기는 차동증폭기와 차동증폭기의 출력을 입력으로 반전하여 피드백으로 공급하기 위한 인버터로 구성된 간단한

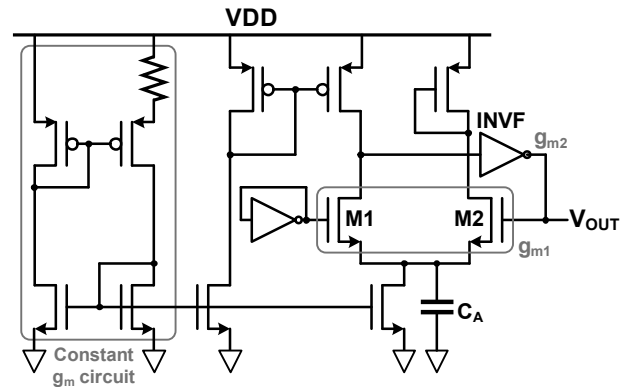


Fig. 3. CMOS oscillator using active inductor.

그림 3. 능동 인덕터를 이용하는 CMOS 발진기

구조를 가진다. 또한, 피드백으로 사용되지 않는 차동증폭기의 입력신호를 위해 입출력이 연결된 인버터가 사용되며, 공급전압에 안정된 바이어스 공급을 위해 Constant gm circuit이 이용된다. 또한, 이 구조의 CMOS 발진기는 RF CMOS 공정에서 제공하는 인덕터를 이용하지 않으므로 소면적으로 구현이 가능하면서 수식 (1)로 정의되는 능동 인덕터의 특성을 이용함으로써 일반 전압 제어 발진기 (VCO : voltage-controlled oscillator) 대비 주파수 tolerance가 우수하다.

$$L_{ACT} = \frac{C_A}{g_{m1} \times g_{m2}} \tag{1}$$

2. 저전력 burst 클럭-데이터 복원 회로

두 번째 이후의 각 센서 노드에 포함될 CDR 회로는 면적과 전력 소모가 작으면서 데이터 손실을 제거하기 위해 burst CDR의 구조를 이용한다. 그림 4(a)는 본 연구에 이용된 저전력 burst 클럭-데이터 복원 회로이다. 두 개의 *Modulo-N Counter*와 두 개의 AND gate, 그리고 하나의 OR gate로 구성된다. *Modulo-N Counter*는 플립-플롭을 이용하여 구현된다. Burst CDR을 위해 아날로그 회로가 아닌 정적 로직만으로 구현함으로써 전력소모를 최소화할 수 있다. *Modulo-N Counter*를 위한 동기신호 *CLK1*과 *CLK2*는 각 sensor node 사이의 주파수 오차를 줄일 수 있는 클럭 발생기 시스템에서 공급되는 32-위상 디지털 PLL의 출력 클럭 *CLK_CDR*과 앞의 sensor node에서 송신된 데이터 *D_IN*과 $\neg D_IN$ 에 의해 결정된다. *D_IN*이 '1'인 경우 *CLK1*의 의해 상부의 *Modulo-N Counter*가 동작하여 *MSB1*이 활성화되어 *CLK_REC*을 생성하며 *D_IN*

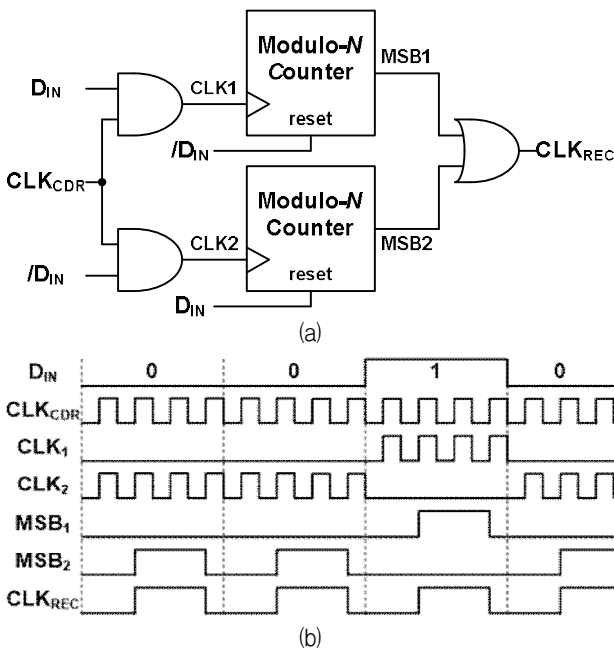


Fig. 4. Low power burst clock-data recovery circuit
 (a) block diagram (b) operational timing diagram.
 그림 4. 저전력 burst 클럭-데이터 복원 회로
 (a) 블록도 (b) 동작 타이밍도

이 '0'인 경우 하부의 *Modulo-N Counter*가 동작하여 *MSB2*를 활성화함으로 *CLK_REC*을 생성한다. 그림 4(b)는 *D_IN*의 1 unit internal(UI) 구간에 4주기를 가지는 *CLK_CDR*, 그리고 *Modulo-N Counter*의 *N*이 2인 경우의 burst 클럭-데이터 복원 회로의 동작 타이밍도를 보여준다. *MSB1*이 *D_IN*의 "1"이 된 후 *CLK_CDR* 기준 2 주기 이후에 "1"이 되고, 그 이후 다시 2 주기 이후에 "0"이 됨으로 클럭 신호를 생성한다. 이러한 관계로부터 제안하는 burst CDR이 정상적으로 동작하기 위해서는 수식 (2)에 의해 *CLK_CDR*의 주파수가 결정되며, *CLK_CDR*의 주파수에 오차가 생길 경우 양자화 잡음에 의해 복원된 클럭 *CLK_REC*의 시간 지터가 증가하게 된다.

$$f_{CLK_{CDR}} = Data\ Rate_{D_{IN}} \times 2^N \quad (2)$$

그림 5(a)는 *D_IN*의 데이터 속도가 5 MHz일 때, 제안하는 burst CDR이 *Modulo-2 Counter*를 사용할 경우 즉, *CLK_CDR*가 20 MHz의 주파수를 가질 경우의 burst CDR의 동작을 검증한 시뮬레이션 결과이며, 그림 4(b)의 타이밍도와 동일한 결과를 나타낸다. *CLK_CDR*의 주파수가 수식 (2)에 의해 결정되는 20 MHz로부터 차이가 발생할 경우 *CLK_CDR*의 시간 지터를 그림 5(b)와 (c)에 나타냈다. *CLK_CDR*

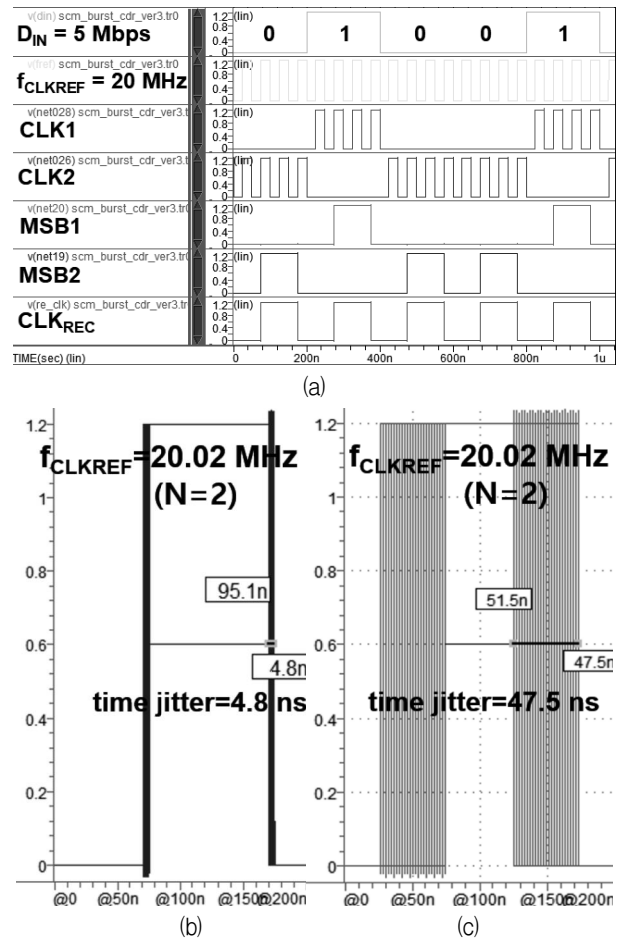


Fig. 5. Simulation results of burst clock-data recovery for N=2 (a) function simulation results (b) time jitter of recovered clock at 0.1% frequency error (c) time jitter of recovered clock at 1% frequency error.
 그림 5. N=2인 경우 burst 클럭-데이터 복원 회로의 시뮬레이션 결과 (a) 동작 시뮬레이션 결과 (b) 0.1%의 주파수 오차의 경우 복원된 클럭의 시간 지터 (c) 1%의 주파수 오차의 경우 복원된 클럭의 시간 지터

의 주파수가 20.02 MHz로 0.1%의 주파수 오차가 발생할 경우 *CLK_REC*은 4.8 ns의 시간 지터를 가지지만, 주파수의 오차가 1%로 증가할 경우 *CLK_REC*의 시간 지터는 47.5 ns로 증가된다. 이는 수신된 데이터의 0.238 UI에 해당하는 값이다. 이러한 문제를 해결하기 위해 본 연구에서는 32-위상 디지털 PLL에서 주파수가 체배된 320 MHz의 주파수를 가지는 클럭을 burst CDR의 *CLK_CDR*를 위해 공급한다. 그림 6(a)는 burst CDR에 *Modulo-N Counter*의 *N*이 6인 경우 즉, *CLK_CDR*가 320 MHz의 주파수를 가질 경우의 burst CDR의 동작을 검증한 시뮬레이션 결과이며, 클럭 복원은 정상적으로 수행된다. *CLK_CDR*의 주파수가 320.03 MHz로

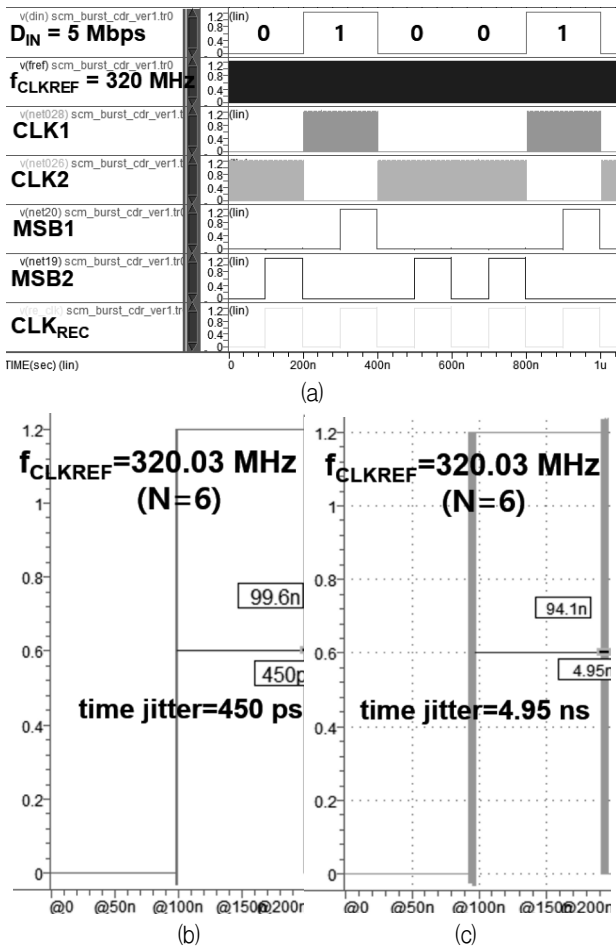


Fig. 6. Simulation results of burst clock-data recovery for N=6 (a) function simulation results (b) time jitter of recovered clock at 0.1% frequency error (c) time jitter of recovered clock at 1% frequency error.

그림 6. N=6인 경우 burst 클럭-데이터 복원 회로의 시뮬레이션 결과 (a) 동작 시뮬레이션 결과 (b) 0.1%의 주파수 오차의 경우 복원된 클럭의 시간 지터 (c) 1%의 주파수 오차의 경우 복원된 클럭의 시간 지터

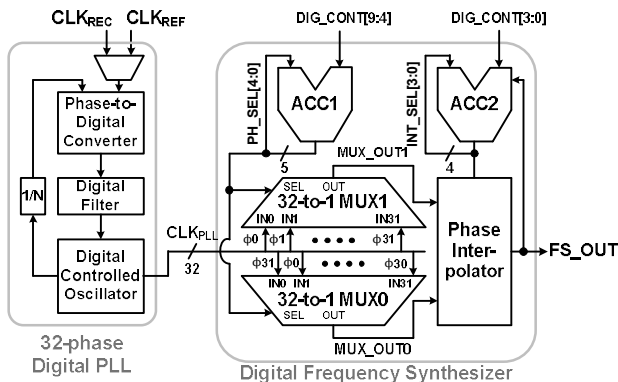


Fig. 7. Block diagram of 32-phase Digital PLL and Digital Frequency Synthesizer.

그림 7. 32-위상 디지털 PLL과 디지털 주파수 합성기의 블록도

0.1%의 주파수 오차가 발생할 경우 그림 6(b)와 같이 CLK_{REC} 은 450 ps의 시간 지터를 가지며, 주파수의 오차가 1%로 증가하더라도 그림 6(c)와 같이 CLK_{CDR} 의 시간 지터는 4.95 ns로 유지되며, 수신된 데이터의 주기 대비 0.025 UI에 해당된다.

3. 디지털 PLL과 디지털 주파수 합성기

그림 7은 32-위상 디지털 PLL과 프로그램 가능한 디지털 주파수 합성기의 블록도이다. 앞선 센서 노드로부터 데이터 수신에 되지 않아서 CLK_{REC} 이 정상 클럭 신호로 복원되지 않는 경우에도 burst CDR이 데이터 손실 없이 정상적으로 동작하기 위해 CLK_{CDR} 로 사용되는 CLK_{PLL} 이 일정한 주파수를 가지고 출력되어야 한다. 이를 위해 본 연구에서는 아날로그 구조의 PLL이 아닌 디지털 구조의 PLL이 SUN을 위한 클럭 시스템을 위해 사용된다. 32-위상 디지털 PLL은 위상-디지털 변환기(Phase-to-Digital Converter), 디지털 필터(Digital Filter), 디지털 제어 발진기(Digital Controlled Oscillator), 그리고 주파수 체배를 위한 주파수 분배기로 구성된다[8]. 디지털 제어 발진기는 다중 위상 클럭을 이용하는 디지털 주파수 합성기로 클럭을 공급하기 위해 32개의 위상을 가지는 클럭을 생성한다.

디지털 주파수 합성기는 프로그램 가능한 개방 루프 분수분주기(programmable open-loop fractional divider)의 구조를 가진다[9]. 프로그램 가능한 개방 루프 분수분주기는 위상 선택을 위한 32-to-1 MUX를 이용하는 두 개의 위상 선택 회로, 두 개의

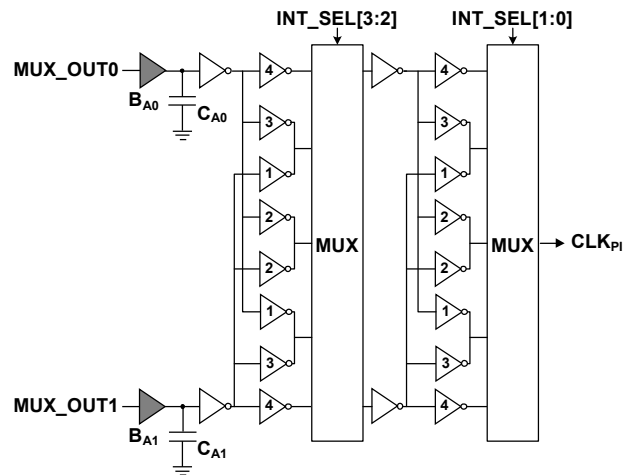


Fig. 8. Block diagram of Phase Interpolator. 그림 8. 위상 보간기의 블록도

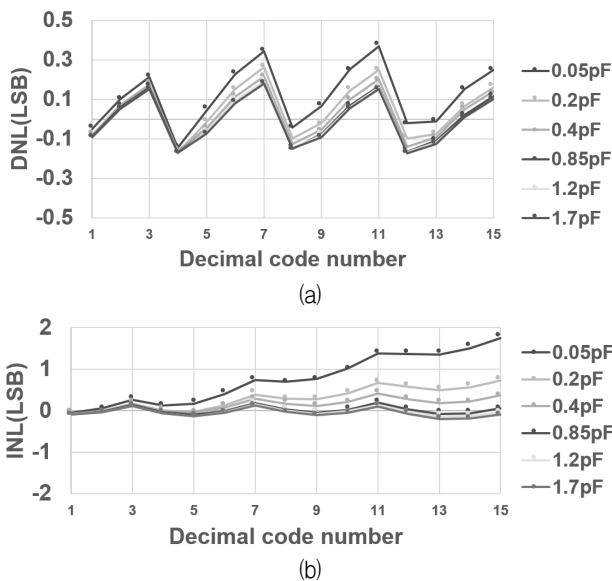


Fig. 9. Simulation results of linearity of Phase Interpolator (a) DNL (b) INL.
 그림 9. 위상 보간기의 선형성 시뮬레이션 결과 (a) DNL (b) INL

accumulator, 그리고 위상 보간기로 구성된다. 그림 8과 같이 위상 보간기는 기본적으로 인버터와 멀티플렉서를 이용하여 구성된다[10]. 4-비트 디지털 코드를 통해 디지털 PLL로부터 공급받는 32-위상 클록을 512-위상 클록으로 세분화한다. 두 개의 위상 선택 회로에서 출력되는 인접한 두 위상 클록, MUX_OUT0 과 MUX_OUT1 의 신호 변화에 따라 커패시터 부하가 변하게 되고, 이로 인해 MUX_OUT0 와 MUX_OUT1 는 일정한 위상 차이를 유지하지 못다. 이는 위상 보간기의 선형성을 악화시킨다. 제안하는 위상 보간기는 입력단에 두 위상 클록의 상승 시간을 버퍼 (BA0, BA1)와 커패시터 부하(CA0, CA1)를 추가하여 위상 보간기의 선형성을 개선한다. 그림 9는 커패시터 부하에 따른 위상 보간기의 선형 특성을 나타낸 시뮬레이션 결과이다. CA0와 CA1의 값이 0.85 pF일 때 위상 보간기의 differential non-linearity(DNL)와 integral non-linearity(INL)의 특성이 최적화된다. 그림 10은 디지털 주파수 합성기의 전체 시뮬레이션 결과다. 설계된 디지털 주기 합성기의 주파수 변경은 100 kHz에서 320 MHz의 주파수 범위에서 출력 클록의 한 주기 내에 수행된다. 표 1은 SUN을 위해 제안된 저전력 burst 클록-데이터 복원 회로를 포함한 클록 시스템의 특성을 보여준다.

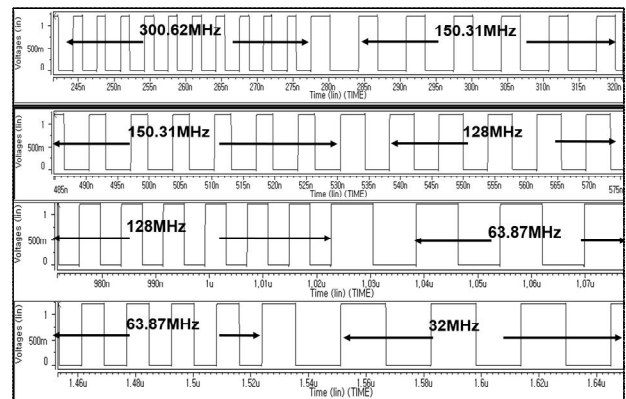


Fig. 10. Simulation results of Digital Frequency Synthesizer.
 그림 10. 디지털 주파수 합성기의 시뮬레이션 결과

Table 1. Performance of proposed clock system.

표 1. 제안된 클록 시스템의 특성

Item	Contents
Process	CMOS 65 nm
Supply voltage	1.2 V
Structure of internal oscillator	CMOS oscillator using active inductor
Clock between sensor nodes	recovered by burst CDR circuit
Clock for each sensor node	generated by digital frequency synthesizer
Time jitter of burst CDR	4.95 ns (at 1% frequency error and 5 Mbps data rate)
Frequency range of frequency synthesizer	100 kHz ~ 320 MHz

III. 결론

Sensor utility network을 위한 클록 시스템이 1.2 V 공급 전압을 이용하는 65 nm CMOS 공정에서 설계되었다. 제안된 클록 시스템은 burst CDR을 통해 센서 노드 사이의 주파수 차이로 인한 데이터 손실을 제거한다. 또한, CMOS oscillator와 burst CDR을 통해 생성 혹은 복원된 클록은 32-위상 디지털 PLL과 디지털 주파수 합성기를 통해 센서 노드의 각 블록에서 요구되는 클록의 주파수를 생성한다. 제안된 클록 시스템은 제안하는 burst CDR은 기준 클록을 위해 데이터 속도 대비 체배된 클록 주파수를 이용함으로써 복원된 클록의 시간 지터를 줄였다. 또한, 설계된 디지털 주파수 합성기의 주파수 변경은 100 kHz부터 320 MHz까지의 주파수 범위에서 출력 클록의 한 주기 내에 수행된다.

References

- [1] I. F. Akyildiz, W. Su, Y. Sankarasubramaniam, and E. Cayirci, "A survey on sensor networks," *IEEE Communication Magazine*, pp.102-114, 2002. DOI: 10.1109/MCOM.2002.1024422
- [2] C.-Y. Chong and S. P. Kumar, "Sensor Networks: Evolution, opportunities and challenged," *Proceedings of The IEEE*, vol.91, no.8, pp.1247-1256, 2003. DOI: 10.1109/JPROC.2003.814918
- [3] V. Potdar, A. Sharif, and E. Chang, "Wireless sensor networks: A survey," *IEEE International Conference on Advanced Information Networking and Applications Workshops*, pp.636-641, 2009. DOI: 10.1016/S1389-1286(01)00302-4
- [4] M.P.A. M. Aarthy and V.R. S. Dhulipala, "Energy Conservation at Node Level using a Wake-up Scheme in wireless Sensor Networks," *IEEE International Conference on Emerging Trends in Electrical and Computer Technology*, pp.1115-1118, 2011. DOI: 10.1109/ICETECT.2011.5760286
- [5] J. Verd, A. Uranga, G. Abadal, J. L. Teva, F. Torres, J. López, F. Pérez-Murano, J. Esteve, and N. Barniol, "Monolithic CMOS MEMS Oscillator Circuit for Sensing in the Attogram Range," *IEEE Electron Device Letters*, vol.29, no.2, pp.146-148, 2008. DOI: 10.1109/LED.2007.914085
- [6] M. S. McCorquodale¹, S. M. Pernia¹, J. D. O'Day, G. Carichner, E. Marsman, N. Nguyen, S. Kubba, S. Nguyen, J. Kuhn, and R.B. Brown, "A 0.5-to-480MHz Self-Referenced CMOS Clock Generator with 90ppm Total Frequency Error and Spread-Spectrum Capability," *IEEE International Solid-State Circuits Conference*, pp.350-351, 2008. DOI: 10.1109/ISSCC.2008.4523201
- [7] F. Haddad, I. Ghorbel, and W. Rahajandraibe, "Multi-band Inductor-less VCO for IoT Applications," *IEEE International Symposium on Circuits and Systems*, pp.1798-1801, 2017. DOI: 10.1109/ISCAS.2017.8050738
- [8] V. Kratyuk, P. K. Hanumolu, U.-K. Moon, and K. Mayaram, "A Design Procedure for All-Digital Phase-Locked Loops Based on a Charge-Pump Phase-Locked-Loop Analogy," *IEEE*

Transactions on Circuit and Systems-II: Express Briefs, vol.54, no.3, pp.247-251, 2007.

DOI: 10.1109/TCSII.2006.889443

[9] S.-H. Shin, P.-H. Lee, J.-W. Park, Y.-J. Hwang, and Y.-C. Jang, "0.5 kHz~32 MHz Digital Fractional-N Frequency Synthesizer with Burst-Frequency Switch," *IEEE International Symposium on Circuits and Systems*, pp.246-249, 2017.

DOI: 10.1109/iscas.2017.8050286

[10] I. W. Seo and K-H. Kim. "Digital phase interpolator for controlling delay time and method thereof," *KR Patent 10-0378202, filed 4, 2003.*

BIOGRAPHY

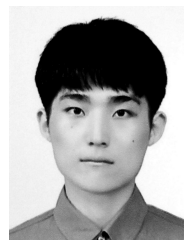
Chang min Song (Member)



2019 : BS degree in School of Electronic Engineering, Kumoh National Institute of Technology.

2019 : pursuing MS degree in Department of Electronic Engineering, Graduate School, Kumoh National Institute of Technology.

Jae-Hoon Seo (Member)



2017 : BS degree in School of Electronic Engineering, Kumoh National Institute of Technology.

2019 : Engineer, Autosilicon.

Young-Chan Jang (Member)



1999 : BS degree in School of Electrical Engineering, Kyungpook National University.

2001 : MS degree in Department of Electronic Engineering, Pohang University of Science and Technology.

2005 : Ph. D. degree in Department of Electronic Engineering, Pohang University of Science and Technology.

2005~2009 : Senior Engineer, Memory Division, Samsung Electronics.

2009~2019 : Professor, School of Electronic Engineering, Kumoh National Institute of Technology.