

# 실리콘 양자전자소자의 전류-전압 및 컨덕턴스 특성

## Current-Voltage and Conductance Characteristics of Silicon-based Quantum Electron Device

서 용 진\*★

Yong-Jin Seo\*★

### Abstract

The silicon-adsorbed oxygen(Si-O) superlattice grown by ultra high vacuum-chemical vapor deposition(UHV-CVD) was introduced as an epitaxial barrier for silicon quantum electron devices. The current-voltage (I-V) measurement results show the stable and good insulating behavior with high breakdown voltage. It is apparent that the Si-O superlattice can serve as an epitaxially grown insulating layer as possible replacement of silicon-on-insulator(SOI). This thick barrier may be useful as an epitaxial insulating gate for field effect transistors(FETs). The rationale is that it should be possible to fabricate a FET on top of another FET, moving one step closer to the ultimate goal of future silicon-based three-dimensional integrated circuit(3DIC).

### 요 약

초고진공 화학기상증착장치(UHV-CVD)에 의해 성장된 실리콘-흡착된 산소(Si-O) 초격자가 실리콘 양자전자소자를 위한 에피택셜 장벽으로 소개되었다. 전류-전압 측정 결과 높은 브레이크다운 전압을 갖는 매우 안정하고 양호한 절연특성을 나타내었다. 에피택셜 성장된 Si-O 초격자는 SOI(silicon on insulator)를 대체할 수 있는 절연층으로도 사용될 수 있음을 보여준다. 이 두꺼운 장벽은 전계효과트랜지스터(FET)의 절연 게이트로 유용하게 사용될 수 있어 FET 위에 또 다른 FET를 제작할 수 있으므로 미래 실리콘계 3차원 집적회로의 궁극적인 목표에 한층 더 다가갈 수 있는 가능성을 보여주는 것이다.

*Key words* : Superlattice, Quantum, Epitaxial, SOI, FET, 3DIC

### 1. 서론

실리콘(Si) 반도체 소자 및 회로는 전기전자정보 통신시스템에서 빠질 수 없는 매우 중요한 요소로 일상생활에도 지대한 영향을 주고 있는 나노일렉트로닉스 혁명을 지배하고 있는 집적회로(IC) 전자 산업에서 괄목할 만한 위치를 차지하고 있다. 그러

나 실리콘 양자(quantum) 소자는 적당한 에너지 장벽이 없기 때문에 대부분의 III-V족 화합물 반도체와 같은 역할을 하지 못하였다[1]. 1990년에 2개의 3nm SiO<sub>2</sub> 장벽 사이에 샌드위치된 8nm의 마이크로결정 실리콘(mc-Si)으로 이루어진 구조에서 NDC (negative differential conductance) 특성이 실온에서 관찰되었다는 보고에 많은 흥미가 집중되었다

\* Dept. of Fire Service, Sehan University

★ Corresponding author

E-mail : syj@sehan.ac.kr, Tel : +82-41-359-6098

※ Acknowledgment

This work was supported by the Seahn university research fund in 2019.

Manuscript received Sep. 2, 2019; revised Sep. 18, 2019; accepted Sep. 23, 2019.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

[2]. 이들 NDC는 mc-Si을 통한 전자 공명 터널링(resonant tunneling)에 기인한 것으로 집적회로 산업의 기본인 실리콘에서도 실온에서 양자효과 소자를 구현할 수 있는 가능성을 제시한 것이었다[3].

본 연구진은 2001년 MBE(molecular beam epitaxy)에 의해 성장된 9층의 Si-O 초격자 다이오드로부터 대칭적인 전류-전압(I-V) 특성, 고전계에서도 안정한 브레이크다운 특성[4], 1년 이상의 연속적인 동작에서도 녹색의 피크 스펙트럼을 갖는 매우 효율적인 포토루미네슨와 일렉트로루미네슨스 특성을 얻어 실리콘계 광전자소자 구현을 위한 가능성을 제안한 바 있다[5, 6]. 여기서, 에피택셜 성장된 다층의 Si-O 초격자를 기존 SOI(silicon on insulator)의 대체방안으로 이용한다면 FET(field effect transistor) 위에 또 다른 FET의 제작이 가능하므로 SOI 위에 차세대 고효율 및 고밀도를 갖는 CMOS 소자를 만들 수 있어 미래 3차원 집적회로(3-dimensional integrated circuit; 3DIC)가 Si계 공정기술에서도 최종적으로 구현될 수 있음을 암시하는 것이었다. 그 후속연구로 본 연구진은 SOI 응용을 위한 Si-O 초격자 소자의 가능성을 검증하기 위해 초고진공 화학기상증착(ultra-high vacuum-chemical vapor deposition; UHV-CVD) 시스템으로 형성된 5층의 나노결정 Si-O 초격자의 구조적인 특성과 전기적 특성에 대해 보고하였다[7]. 이 실험 결과, 5층의 Si-O 초격자 구조는 비정질의 흡착된 산소층을 넘어 계속 에피택셜 성장된 나노 구조를 가지고 있었으며, 매우 높은 브레이크다운 전압을 나타내었다. 이러한 결과는 선행연구에서 제안했던 에피택셜 성장된 Si-O 초격자 구조가 3DIC를 위한 SOI의 대체방안으로 가능할 뿐만 아니라, 고속과 저전력을 필요로 하는 CMOS 소자에도 적용될 수 있으며, 더 나아가 기존의 실리콘 집적회로 공정과도 호환될 수 있음을 확증해 주는 것이었다. 그러나 이들 소자들에서 계단(step) 및 피크(peak)특성이 반복적으로 나타났는데 이들의 정확한 메커니즘 규명이 어려웠다.

따라서 본 연구는 Si-O 초격자 소자가 양자전자 소자로 적용 가능한지를 검토하기 위해 I-V 특성 및 컨덕턴스-전압(G-V) 특성을 분석하였다. 이러한 연구결과를 종합하여 볼 때 다층의 Si-O 초격자를 SOI의 대체방안으로 사용하거나, 터널링 장벽으로 사용하는 실리콘계 양자전계효과 트랜지스

터(quantum field effect transistor; Q-FET)로도 사용할 수 있어 조만간 한계에 도달할 실리콘 집적회로 공정기술을 통해서도 고속 및 고집적이 가능한 미래 3DIC의 완벽한 구현을 앞당기는 데 기여할 것으로 생각된다.

## II. 실험

나노 결정의 Si-O 초격자 구조는 UHV-CVD 시스템을 이용하여 에피택셜 성장되었다[7]. 5층의 Si-O 초격자 구조를 형성하기 위해  $10^{-10}$  Torr의 압력을 갖는 성장 챔버(growth chamber)에서 단분자(monolayer; ML)의 산소 흡착층이 형성되었고 분석 챔버(analysis chamber)에서 에피택셜 실리콘이 증착되었다.

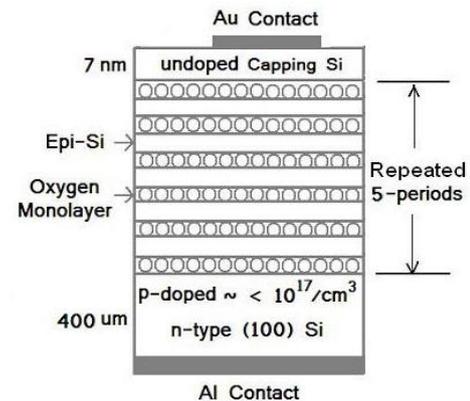


Fig. 1. Schematic cross sectional structure of 5 periods Si-O superlattice device.

그림 1. 5층의 Si-O 초격자 소자의 단면 개략도

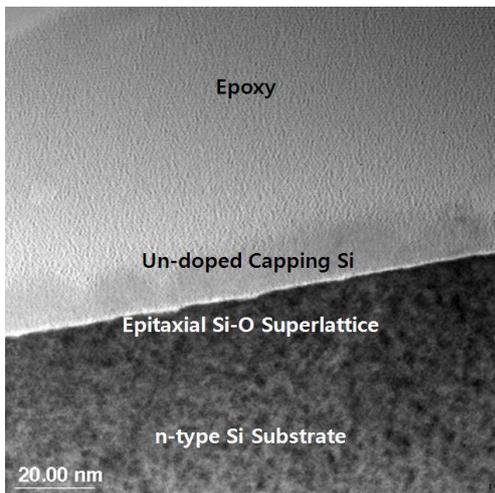
마지막으로 전기 콘택(electrical contact)을 용이하게 하고, 5층의 Si-O 초격자를 보호하기 위해 불순물이 도핑되지 않은 7 nm 두께의 capping Si 층을 형성한 후, 상부 전극으로 반투명한(semi-transparent) Au 전극이 증착되었다. 그림 1은 본 연구에서 고찰하고자 하는 5층의 Si-O 초격자 다이오드의 개략도를 보인 것이다.

## III. 결과 및 고찰

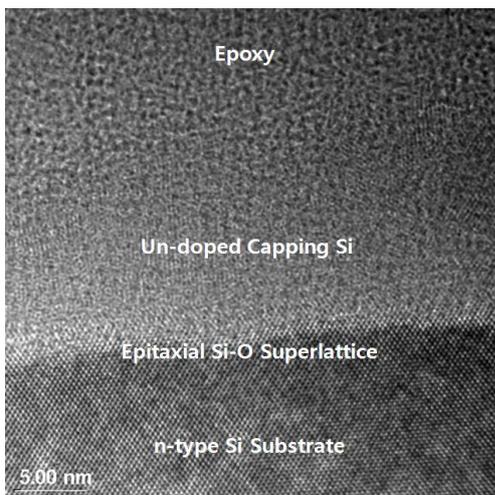
그림 2는 5층의 Si-O 초격자 구조를 HR-TEM (high resolution-transmission electron microscopy)으로 측정된 단면 사진을 보인 것이다. HR-TEM

측정 결과 5층의 Si-O 초격자 구조가 뚜렷하게 보이지는 않지만, 그 계면 품질은 확인할 수 있었다. 이처럼 산소 흡착층이 선명하게 보이지 않는 것은 소자 측정동안 형성되었던 고전계의 영향으로 산소가 밖으로 빠져나간 결과라고 추측할 수 있다. 여기서 SIMS(secondary ion mass spectroscopy) 측정의 어려움 때문에 나노결정 실리콘(nc-Si) 사이에 흡착되어 있는 산소량을 정량적으로 제공하지 못한다. 이는 Si-O 계면에서의 산소 농도는 원자 혼합(atomic mixing)에 의해 발생하는 산소 프로파일의 퍼짐(broadening) 현상에 기인하여 SIMS 데이터로부터 산소 농도를 쉽게 결정할 수 없기 때문이다[6]. 그러나 주의 깊게 관찰해보면 균일한 계면 특성을 가지고 있으며, 산소 흡착 후에도 나노

결정의 에피택셜 실리콘 층이 계속 성장되고 있음을 확인할 수 있다. 이러한 결과는 참고문헌[6]의 HR-TEM 결과와도 매우 일치하였다.



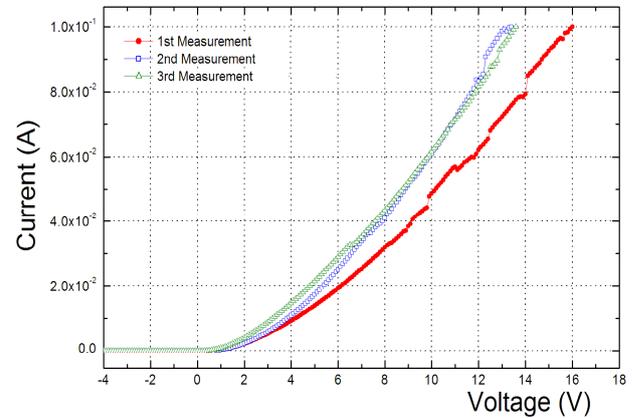
(a)



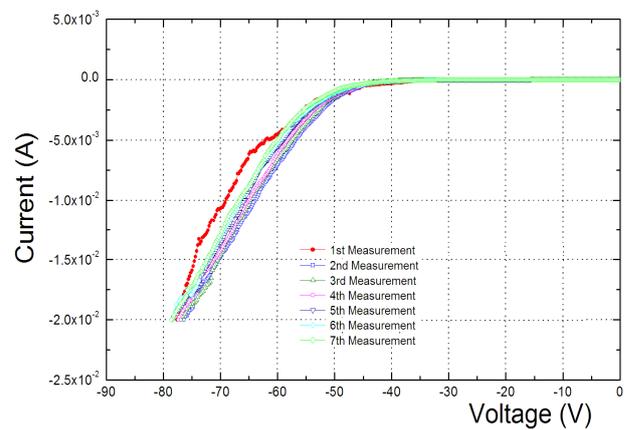
(b)

Fig. 2. HR-TEM images of epitaxially grown Si-O superlattice structure. (a) 20nm, (b) 5nm scale.

그림 2. 에피택셜 성장된 Si-O 초격자 구조의 HR-TEM 이미지. (a) 20nm, (b) 5nm scale



(a)



(b)

Fig. 3. I-V characteristics of forward and reverse bias.

(a) forward bias, (b) reverse bias.

그림 3. 순방향 및 역방향 바이어스의 I-V 특성.

(a) 순방향바이어스, (b) 역방향 바이어스

그림 3은 순방향 및 역방향 바이어스에 의한 I-V 특성을 나타낸 것이다. 그림 3(a)는 순방향 바이어스에서 측정한 결과로 첫 번째 측정한 I-V 특성에서는 순방향 전압이 증가를 함에 따라 양자구속 (quantum confinement)과 공명 터널링(resonant tunneling)에 기인하는 계단형 특성이 나타났다. 여기서 주목해야 할 것은 대략 5개의 계단 특성이 나타났다는 점이다. 이는 본 논문에서 제작된 소자가 5층의 Si-O 초격자 구조로 이루어져 서로 다른 터널 장벽을 갖기 때문에 I-V 특성에서 분명한 계단형 특성을 나타내었다. 아마도 각각의 초격자 구조의 에너지 장벽을 공명 터널링할 때 마다 한 번씩의 계단 특성이 나타난 것으로 생각된다. 또한 측

정이 계속 반복될수록 계단 특성이 사라졌는데, 이는 I-V 특성을 측정하는 동안 발생한 주열열에 기인하는 전열 과정(electro-thermal process)이 electrical forming[3, 4]으로 작용하여 나노결정 실리콘 주위의 산소 침전물(oxygen precipitates)과 같은 결함들을 제거시켰거나, 열적으로 활성화된 나노결정 실리콘의 재결정화(re-crystallization)에 기인한 것으로 생각된다[8]. 그림 3(b)는 역방향 바이어스에서 7번 반복 측정된 I-V 특성을 나타낸 것이다. 첫 번째 측정된 I-V 특성에서 역방향 전압이 증가함에 따라 계단특성이 관찰되었다. 그러나 두 번째 측정부터 오른쪽으로 변위하였다가 측정이 계속해서 7번 반복될 때마다 왼쪽으로 서서히 변위하였다. 그리고 측정이 계속됨에 따라 순방향 바이어스의 경우처럼 electrical forming에 의해 계단특성이 사라짐을 알 수 있었다. S. Y. Chou와 A. E. Gordon의 공동연구에 의하면 계단특성은 electrical forming 후에 다시 사라짐을 관찰하였는데, 동일한

구조의 소자를 77K의 냉각 조건하에서 측정한 결과 이전과는 달리 계단특성이 사라지지 않음을 확인함으로써 electrical forming의 열적 역할을 입증하였다[9].

그림 4는 순방향 및 역방향 바이어스에서 컨덕턴스-전압 특성을 나타낸 것이다. 여기서 계산된  $dI/dV$  곡선들은 정규화(normalization)시킨 후에 재배치된 것이다. 그림 4(a)는 순방향 영역에서 컨덕턴스 특성을 나타낸 것이다. 네가티브 컨덕턴스(NDC) 특성이 관찰되었는데 이는 애발란치 증배(avalanche multiplication) 현상이 일어난 실리콘 버퍼 영역과 실리콘 capping 영역 안으로 핫 캐리어 주입(hot carrier injection)에 기인하는 누설전류의 영향인 것으로 생각된다[4]. 아마도 부적절하게 고립되어 있는 불안정한 결함들을 통한 공명 터널링에 의한 이유도 있겠지만, 더 명확한 컨덕턴스 특성의 분석을 위해서는 트래핑(trapping) 메커니즘을 포함하는 공명 터널링 모델 및 Esaki와 Chang 등에 의해 처음 제안되었던 ‘도메인(domain) 형성 모델’이 포함되어야 할 것으로 보인다[10]. 또한, 그림 4(b)에 보인 바와 같이 역방향 바이어스에서도 비슷한 결과가 관찰되었다. 모든 시료들은  $dI/dV$  곡선에서 쿨롱 차폐(coulomb blockade) 효과에 의해 0V 근처에서 0의 전도성(zero conductivity)과 연속적인 전류의 변화를 보였다. 여기서 쿨롱 차폐는 충전(charging)과 같은 고전적인(classical) 효과와 터널링에 해당하는 양자(quantum) 효과의 조합으로 매우 작은 커패시터의 경우에 매우 중요한 인자이다. 대부분의 커패시터는 단전자(single electron) 전송으로 발생한 커패시터의 에너지 변화는 열적 에너지에 비해 작기 때문에 무시되어왔다. 그러나 커패시터가 매우 작은 경우에는 쿨롱 상호작용에 의해 생긴 에너지 장벽에 의해 연속적인 전자의 터널링이 차단되게 된다. 이러한 에너지 장벽을 쿨롱 차폐(coulomb blockade)라고 한다[11]. 정규화된  $dI/dV$  곡선에서 피크값은 2개의 전도상태(즉, 강하게 전도된 준위와 약하게 전도된 준위)사이의 오실레이션(oscillation)으로 공명 에너지(resonant energy) 준위에 가까운 트래핑 센터에 기인한다고 생각된다. 이처럼 연속적인 전하의 포획과 방출은 각각의 전도과정에서 전하의 증가와 감소를 초래하므로 컨덕턴스 오실레이션이 관찰된 것으로 생각된다[12].

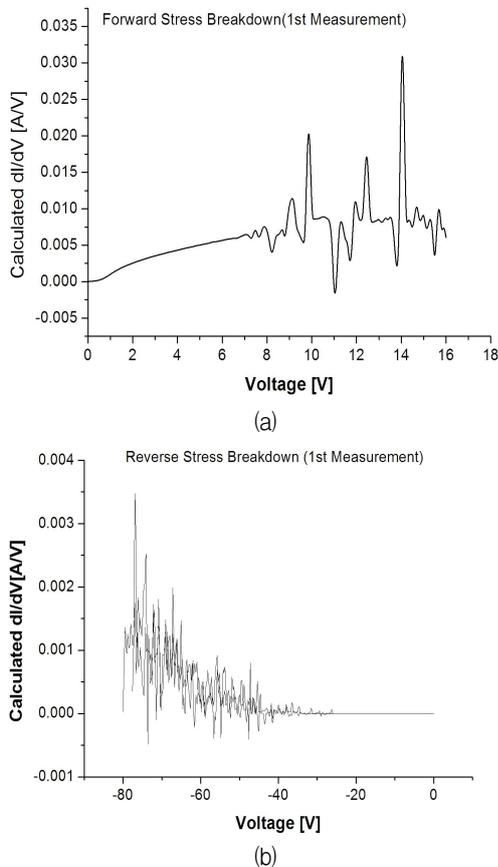


Fig. 4. Calculated  $dI/dV$  characteristics of (a) forward and (b) reverse region.

그림 4. (a) 순방향 및 (b) 역방향 영역에서 컨덕턴스-전압 특성

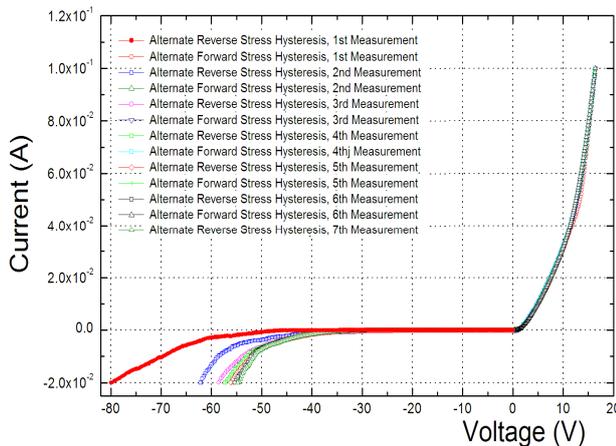


Fig. 5. The alternate reverse and forward stress hysteresis characteristics after 7th measurements in the same electrode.

그림 5. 동일한 전극에서 7번의 측정 후 얻은 순방향과 역방향 스트레스에 의한 히스테리시스특성

그림 5는 동일한 전극에서 역방향 및 순방향 스트레스를 교대로 인가한 경우 I-V 특성의 히스테리시스를 나타낸 것이다. 처음에 역방향을 인가한 후, 곧 바로 순방향을 인가하는 방식으로 7번의 측정을 수행하였다. 7번의 측정 동안 순방향 영역의 I-V 특성은 일정한 히스테리시스 궤적을 갖는 안정한 특성을 보였으나, 역방향 영역에서는 측정이 계속 반복됨에 따라 브레이크다운 영역이 오른쪽으로 이동하였다. 이는 반복되는 네가티브 바이어스와 포지티브 바이어스 동안 흡착된 산소 원자층과 에피택셜 nc-Si 계면에 형성된 높은 누설전류 경로에 기인한 것으로 생각된다. 또한 역방향 영역에서 -40V에서도 브레이크다운 특성이 일어나지 않고 안정하였다. 이는 Si-O 초격자 층이 Si 소자를 위한 절연층으로 이용될 수 있음을 의미하는 것으로 기존의 SOI 구조를 대체할 수 있는 새로운 가능성을 제시해 주고 있다[13].

#### IV. 결론

본 연구에서 제작된 Si-O 초격자 장벽은 Si 소자를 위한 절연분리(isolation)용으로 이용할 수 있음을 제시하였다. 40V 이상까지 도달하였으나 브레이크다운 현상은 나타나지 않았다. 컨덕턴스 특성에서 나타난 점프(jump)와 NDC 특성은 전기적으로 활성화된 결함과 트랩의 존재를 의미하는 것이다. 이는 양질의 초박막 에피택셜 실리콘 층의 성

장 및 산소 흡착 공정을 최적화하거나 새로운 패시베이션(passivation) 공정과 같은 지속적인 연구를 통해 감소시킬 수 있을 것으로 생각된다.

요약해서, Si-O 초격자가 SOI와 같은 절연분리뿐만 아니라 터널링 장벽으로도 이용될 수 있음을 보였고, 더 나아가 차세대 3차원 집적회로(3DIC)가 실리콘 집적회로 공정에서도 가능성을 제안하였다. 앞으로 화합물 반도체가 아닌 Si를 이용하여 인간이 만든 초격자(man-made superlattice)인 반도체-원자 초격자에서도 양자효과트랜지스터(quantum field effect transistor; Q-FET) 특성을 구현할 수 있게 되어 조만간 한계에 도달할 실리콘 집적회로 공정 기술을 통해서도 초고속 및 고집적의 광통신 칩을 만들 수 있으며, 더 나아가 5G/6G 시대를 향해 주목받고 있는 양자정보통신 기술개발에도 기여할 것으로 생각된다.

#### References

- [1] R. Tsu, "Silicon-based quantum wells," *Nature (London)*, vol.364, p.19, 1993.  
DOI: 10.1038\_364019a0
- [2] Raphael Tsu, Qui-Yi Ye, and Edward H. Nicollian "Resonant tunneling in microcrystalline silicon quantum box diode," *Proc. SPIE 1361, Physical Concepts of Materials for Novel Optoelectronic Device Applications I: Materials Growth and Characterization*, p.232. 1991.  
DOI: 10.1117/12.24358
- [3] S. Y. Chou and A. E. Gordon, "Steps and spikes in current voltage characteristics of oxide/microcrystallite silicon/oxide diodes," *Appl. Phys. Lett.*, vol.60, no.15, p.1827, 1992.  
DOI: 10.1063/1.107177
- [4] Y. J. Seo, J. C. Lofgren and R. Tsu, "Transport through a nine period silicon/oxygen superlattice," *Appl. Phys. Lett.*, vol.79, no.6, pp.788-790, 2001.  
DOI: 10.1063/1.1394162
- [5] Y. J. Seo and R. Tsu, "Electrical and optical characteristics of multilayer nanocrystalline silicon/adsorbed oxygen superlattice," *Jpn. J. Appl. Phys.*, vol.40, no.8, pp.4799-4801, 2001.  
DOI: 10.1143/JJAP.40.4799

[6] K. Dovidenko, J. C. Lofgren, F. de Freitas, Y. J. Seo, and R. Tsu, "Structure and optoelectronic properties of Si/O superlattice," *Physica E*, vol.16, pp.509-516, 2003.

DOI: 10.1016/S1386-9477(02)00631-8

[7] Y. J. Seo and R. Tsu, "Epitaxially grown multilayer nanocrystalline Si-O structure for silicon-on-insulator applications," *J. Korean Phys. Soc.*, vol.45, no.1, pp.120-123, 2004.

DOI: 10.3938/jkps.45.120

[8] R. Tsu, A. Filios, J. C. Lofgrene, J. L. Ding, Q. Zhang, J. Morais, and C. G. Wang, "Quantum confinement in silicon," *Electrochem Soc. Proc.*, vol.97-11, pp.341-350, 1997. ISBN: 1-56677-138-2.

[9] D. N. Chen and Y. C. Cheng, "A new model for dielectric breakdown phenomenon in silicon dioxide films," *J. Appl. Phys.*, vol.61, p.1592, 1987.

DOI: 10.1063/1.338096

[10] L. Esaki and L. L. Chang, "New phenomenon in a semiconductor: Superlattice," *Phys. Rev. Lett.*, vol.33, p.495, 1974.

DOI: 10.1103/PhysRevLett.33.495

[11] U. Meirav, M. A. Kastner, and S. J. Wind, "Single-electron charging and periodic conductance resonances in GaAs nanostructures," *Phys. Rev. Lett.*, vol.65, p.771, 1990.

DOI: 10.1103/PhysRevLett.65.771

[12] Y. Lin, A. D. van Rheenen, and S. Y. Chou, "Current fluctuations in double-barrier quantum well resonant tunneling diodes," *Appl. Phys. Lett.*, vol.59, p.1105, 1991. DOI: 10.1063/1.106358

[13] R. Tsu, "Challenges in nanoelectronics," *Nanotechnology*, vol.12, no.4, pp.625-628, 2001.

DOI: 10.1088/0957-4484/12/4/351

## BIOGRAPHY

### Yong-Jin Seo (Member)



1987 : B.S. degree in Electrical Engineering, Chungang University.

1989 : M.S. degree in Electrical Engineering, Chungang University.

1994 : Ph. D. degree in Electrical Engineering, Chungang University.

1995~Present : Professor, Sehan University.