ISSN : 1226-7244 (Print)
ISSN : 2288-243X (Online)
논문번호 19-03-08
50

j.inst.Korean.electr.electron.eng.Vol.23,No.3,800~804,September 2019
http://dx.doi.org/10.7471/ikeee.2019.23.3.800

IoT 어플리케이션을 위한 분수분주형 디지털 위상고정루프 설계

Design of Fractional-N Digital PLL for IoT Application

김 신 웅*★

Shinwoong Kim*★

Abstract

This paper presents a dual-loop sub-sampling digital PLL for a 2.4 GHz IoT applications. The PLL initially performs a divider-based coarse lock and switches to a divider-less fine sub-sampling lock. It achieves a low in-band phase noise performance by enabling the use of a high resolution time-to-digital converter (TDC) and a digital-to-time converter (DTC) in a selected timing range. To remove the difference between the phase offsets of the coarse and fine loops, a phase offset calibration scheme is proposed. The phase offset of the fine loop is estimated during the coarse lock and reflected in the coarse lock process, resulting in a smooth transition to the fine lock with a stable fast settling. The proposed digital PLL is designed by SystemVerilog modeling and Verilog-HDL and fully verified with simulations.

요 약

본 논문은 2.4 GHz 대역의 IoT용 주파수합성기를 위한 이중-루프 구성의 서브-샘플링 디지털 PLL을 소개한다. PLL은 초기에 주파수 분주기를 사용하는 coarse locking을 수행하며, 이 후 최종적으로는 주파수 분주기를 사용하지 않는 서브-샘플링 방식의 fine locking loop로 스위칭하게 된다. DTC를 사용하여 양자화 에러 제거를 수행하며 이를 통해 특정 타이밍 범위를 갖는 고해상도 TDC를 사용함으로써 낮은 인-밴드 위상잡음 특성을 가질 수 있다. 본 논문에서는 또한 coarse loop와 fine loop간의 위상 오프셋을 제거하기 위한 보정 회로를 제안하였다. Coarse locking이 진행되는 동안 fine loop의 위상 에러를 예측하고, 이를 다시 coarse loop에 보상함으로써 빠른 락킹 타임과 안정적인 동작을 확보하였다. 회로는 SystemVerilog 및 Verilog 언어로 모델링 및 Register-Transfer Level (RTL) 수준으로 설계 되었으며 시뮬레이션을 통해 충분히 그 동작이 검증되었다.

Key words : Internet of Things (IoT), Phase-locked loop (PLL), Sub-sampling PLL (SSPLL), Time-to-Digital Converter (TDC), Fractional-N

Ⅰ. 서론

Internet of Things(IoT) 기술은 각종 센서와 다양한 통신 솔루션 및 빅데이터 정보처리기술의 발달과 함께, 모든 분야를 아우르는 가치 창출과 무궁무진한 발전 가능성을 보여주고 있다. 이러한 IoT 시스템에서 무선 RF 송수신기는 다양한 연결을 위한 핵심적 역할을 해내는 반면 그만큼 전력소모가 크기 때문에, 긴 배터리 수명을 위해서는 저전력 설계 기법이 매우 중요하다. 특히, Fractional-N

* Samsung Electronics
★ Corresponding author
E-mail : shinwoong77@gmail.com
Manuscript received Aug. 21, 2019; revised Sep. 12, 2019; accepted Sep. 12, 2019.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (http://creativecommons.org/licenses/by-nc/3.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Phase Locked Loop(FNPLL)로 구성되는 Local Oscillator(LO) 신호 발생기는 RF송수신기 전체 전력소모의 절반 가까이 차지할 정도로 파워소모가 심한 회로이지만 LO 신호의 품질이 RF 송수신기의 성능에 직접적인 큰 영향을 미치기 때문에 Power, Performance, Area(PPA) 관점을 모두 만족시키는 low-cost 설계를 하기에는 쉽지가 않다[1].

최근에는 LO 신호 발생기 설계를 위해 Digital-to-Time Converter(DTC)와 서브-샘플링 기법을 사용한 아날로그 타입의 PLL을 활용하는 연구가 활발하다[2][3][4]. 일반적인 PLL과 다르게 피드백 루프에 위치한 주파수 분주기가 없기 때문에, 이로 인한 노이즈 관련 성능열화 및 전력 소모가 없어 저전력 및 고성능에 알맞다. 하지만 여전히 기존의 아날로그 PLL과 같이 루프필터의 면적이 크다는 단점이 있고, 위상 및 주파수 오차의 정보가 전압과 같은 아날로그 신호이기 때문에 디지털 보정회로를 구현하기가 쉽지 않다. 물론, 아날로그 비교기를 이용해 1-bit으로 양자화 된 위상 오차 정보를 얻어내 구현할 수는 있지만 별도의 비교기 오프셋 보상회로가 필요할 뿐 아니라, 양자화 된 1-bit 정보로는 PLL의 비선형 보정회로와 같은 정교한 회로는 구현하기가 어렵다. 또한 서브-샘플링 방식을 사용할 때 특별히 고려해야할 점이 있다면 바로 이중-루프구성이다. 서브-샘플링 루프에서 사용되는 샘플링 위상 비교기는 높은 이득을 갖는 대신 좁은 락킹 범위를 갖기 때문에 별도의 coarse loop를 통해 초기 주파수 및 위상 오차를 맞춰야 한다. 이를 위해 coarse loop와 fine loop의 스위칭 타임을 고려해야 하며, 만약 fine loop의 락킹 범위를 크게 만족하지 못한 상태에서, 두 loop간의 스위칭이 일어난다면 최종 steady-state 상태에 이르기까지 오히려 더 많은 시간이 소요되어 락킹 시간이 늘어나거나 혹은 전혀 엉뚱한 주파수에 락킹을 할 가능성이 있다. 또한, fine loop의 안전성이 좋지 못할 경우에는 위상 락킹이 제대로 이루어지지 않을 수 있다. 최근 서브-샘플링 방식을 적용한 저전력 디지털 PLL이 발표되고 있으나, 여전히 coarse loop와 fine loop 간의 락킹 범위 컨트롤은 외부를 통해 조절되거나 post-layout simulation에 의존되고 있는 상황이다[5].

본 논문에서는 이중-루프 구성의 서브-샘플링 기법을 사용한 디지털 PLL에서 안정적인 루프 스위칭을 위한 방법을 제안한다. 제안하는 DPLL은 coarse loop가 초기 락킹을 수행하는 동안 fine loop의 위상 오차를 감지하고, 이를 coarse loop의 위상 오프셋으로 인가하여 빠르고 안정성이 보장되는 루프 변환이 가능하도록 하였다. 설계는 System Verilog 및 Verilog HDL을 이용하여 수행되었으며 simulation을 통해 그 특성이 검증되었다.

II. 본론

1. 제안하는 서브-샘플링 Digital PLL

가. Block Diagram 및 동작 설명

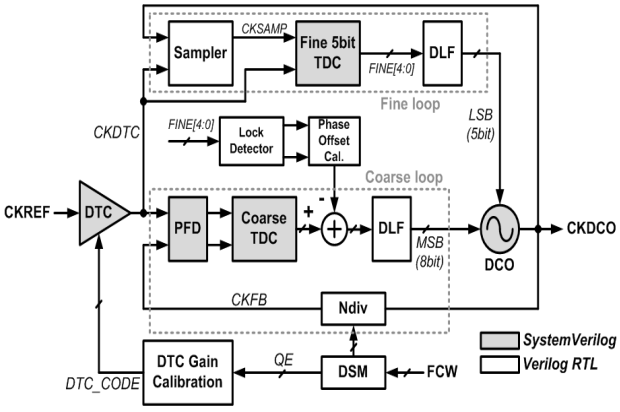


Fig. 1. Proposed sub-sampling digital PLL.
그림 1. 제안하는 서브-샘플링 디지털 위상고정루프

그림 1은 제안하는 서브-샘플링 디지털 PLL의 구성도를 보여준다. 초기 주파수 및 위상 오차를 맞추기 위한 coarse loop와 분주기를 사용하지 않는 서브-샘플링 fine loop가 있으며, 이 두 loop간의 안정적이고 매끄러운 스위칭을 위한 위상 오프셋 보정 회로, 그리고 양자화 에러(QE) 제거 또는 올바른 분수분주비 락킹 동작을 위한 DTC gain 보정 회로로 구성되어 있다. Fine loop의 디지털 루프 필터(DLF) 회로를 제외한 모든 회로가 초기 주파수 및 위상 오차를 줄여 나가는 과정에서 동시다발적으로 동작하게 되고, 최종적으로는 Lock Detector (LD) 신호를 받아 fine-loop와 Delta-Sigma Modulator (DSM), 그리고 DTC 및 DTC gain 보정 회로만 동작하며 주파수 및 위상 락킹을 유지하게 된다.

나. DTC Gain Calibration

일반적으로 분수분주비의 divider를 구현할 수

없기 때문에 DSM을 이용하여 divider의 고정된 분주비를 변조함으로써 평균적으로 분수분주비를 얻게 되는데, 이 과정에서 원하지 않는 양자화 에러(QE)가 발생하게 된다. DTC는 디지털 입력 코드에 따라 시간-지연을 수행하는 회로이며, 바로 이 양자화 에러를 제거하기 위해 사용된다. 제거해야 할 실제 시간-에러의 양은 DCO 출력신호의 주기 및 DSM으로부터 나오는 양자화 에러의 곱으로 나타낼 수 있으며 DTC의 단일 코드에 따른 시간-지연(DTC 해상도, $\triangle T_{DTC}$)과의 매칭을 위해 DTC gain 보정 회로가 사용된다. 수식 (1)은 이들의 관계를 나타내고 있으며 최종적으로 수식 (2)에서 보이듯 DTC gain 값은 DCO 출력신호의 주기와 DTC 해상도의 비로 나타낼 수 있다.

$$TDCO*QE = \triangle TDTC*GAINDTC*QE \quad (1)$$

$$GAINDTC = TDCO/\triangle TDTC \quad (2)$$

그림 2는 설계된 DTC gain calibration 회로를 보여준다. 기본적인 동작은 Least-mean square (LMS) 방식의 보정 회로로써 TDC로부터 출력되는 위상 오차와 양자화 에러의 상관관계를 이용하여 DTC gain 값을 얻어내는 회로이다.

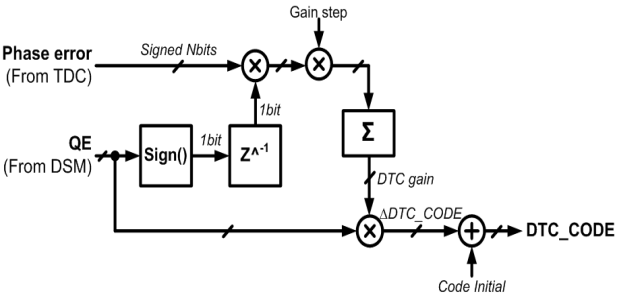


Fig. 2. DTC gain calibration circuit.
그림 2. DTC gain 보정 회로

전압 혹은 온도 변화로 인한 영향을 최소화하기 위해 전체 PLL 동작 중 백그라운드에서 계속적으로 수행되는 보정 회로이며, target DTC gain값으로 수렴한 후에는 gain 값의 큰 변화를 막기 위해 gain 스텝을 조절할 수 있으며, 이를 통해 보정 회로 루프의 대역폭을 adaptive하게 변경할 수 있다.

2. 제안하는 Phase Offset Calibration

Fine locking loop는 서브-샘플링 방식의 구조로 회로 구성이 간단하며, 고주파인 DCO 신호를 분주하는 divider를 사용하지 않음으로써 저전력 동작이 가능하다. 또한 DTC를 통해 양자화 에러를 앞단에서 제거하기 때문에, fine loop에서는 고해상도를 갖되 최소한의 락킹 범위를 만족하는 TDC를 사용할 수 있는 장점이 있다. 다만 이 경우, coarse loop와 fine loop의 위상 고정 포인트가 서로 다르기 때문에 위상 오프셋이 발생하게 되며 빠른 락킹 시간 및 안정적인 동작을 위해서 두 loop간의 스위칭 타임 및 스위칭 조건을 고려해야 한다. 만약 fine loop의 락킹 범위를 벗어난 상태에서 루프 스위칭이 이루어진다면, 오히려 다시 위상 고정을 수행하는 과정에서 더 많은 락킹 시간이 소요되고 불안정한 동작을 보일 수 있기 때문이다. 그림 3은 두 loop의 서로 다른 락킹 포인트에 대한 시간 다이어그램을 보여주고 있다.

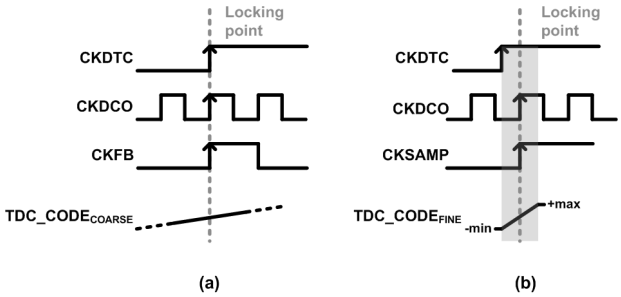


Fig. 3. Timing diagram of phase locking point with (a) coarse loop and (b) fine loop.
그림 3. 위상 고정 포인트에 대한 시간 다이어그램: (a) coarse loop (b) fine loop

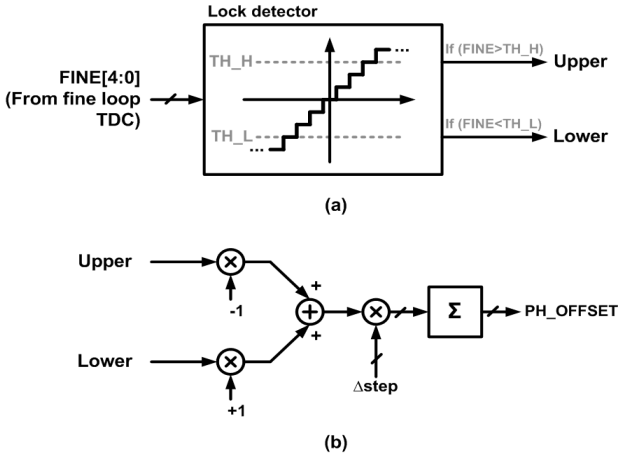


Fig. 4. Block diagram of (a) lock detector and (b) phase offset calibration circuit.
그림 4. (a) 위상 고정 감지기 및 (b) 위상 오프셋 보정 회로의 블록다이어그램

본 논문에서는 위상 오프셋 보정 회로를 제안함으로써 루프 스위칭에 대한 안정성을 확보하였다. 그림 4는 이에 대한 블록 다이어그램을 보여준다. Coarse 위상 락킹이 수행되는 동안 fine loop의 TDC 출력 값을 LD를 통해 모니터링 하고, 어느 방향으로 위상 오차가 발생했는지에 대한 정보를 이용하여 coarse loop의 TDC 출력 값에 위상 오프셋을 인가해줌으로써, fine loop의 락킹 범위를 만족시키는 coarse 위상 오프셋 락킹을 구현할 수 있다.

한 가지 고려해야 할 사항으로는 오프셋 보정 루프와 coarse loop가 서로 경합 조건 관계를 이룰 때가 있기 때문에 오프셋 보정 루프의 △step을 조절하여 대역폭을 적절하게 맞춰야 하는 점이 있다. 수식 (3)은 이에 대한 관계를 보여주며, 결과적으로 fine loop TDC의 open-loop gain(H_{TDC_F})과 보정 루프 이득의 곱이 coarse loop TDC의 open-loop gain(H_{TDC_C})보다 1/10배 작아지도록 설계되어야 한다.

$$\triangle step * HTDC_F < (1/10) * HTDC_C \quad (3)$$

III. 시뮬레이션 결과

본 논문에서 제안하는 DPLL은 2390MHz에서 2500MHz의 동작 주파수 범위를 가지며, 입력 레퍼런스 클럭은 52MHz이다. DTC는 10bit의 컨트롤 비트를 가지며 해상도($\triangle T_{DTC}$)는 5ps이다. 최종 fine loop TDC는 10ps의 해상도를 갖도록 설계 되었다. 그림 5는 DTC gain 보정 회로의 시뮬레이션 결과를 보여준다. DTC gain이 올바른 목표 값에 도달하지 못했을 때는 TDC 출력 뿐 아니라, DCO 출력 주파수를 볼 때 DSM으로부터 발생하는 양자화 에러가 그대로 나타나고 있음을 볼 수 있다. 하지만 보정 회로를 통해 올바른 이득 값을 가질수록 해당 에러가 제거되는 모습을 볼 수 있다.

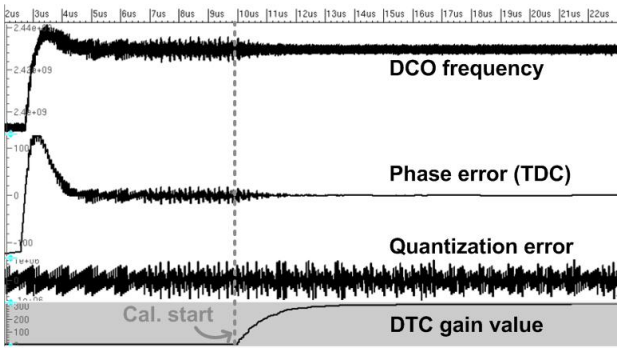


Fig. 5. Simulation result for DTC gain calibration.
그림 5. DTC gain calibration 시뮬레이션

그림 6은 제안한 DPLL의 전체 locking 과정을

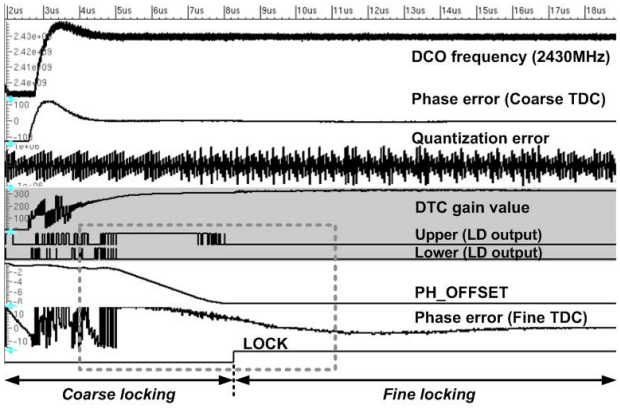
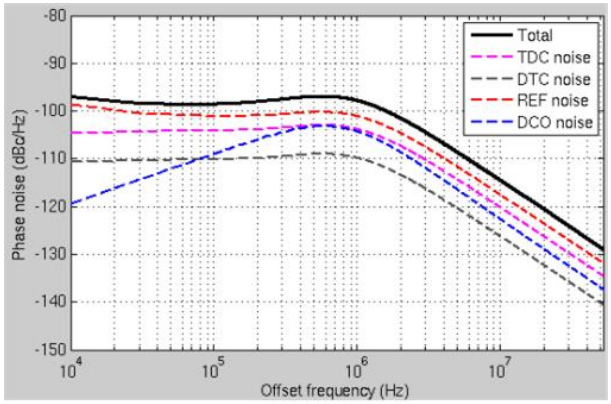
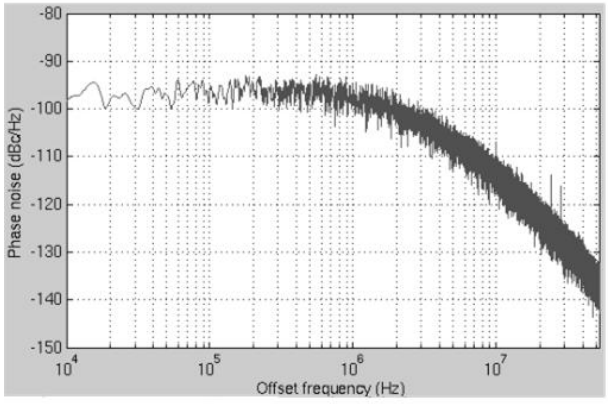


Fig. 6. Simulation result for DPLL locking.
그림 6. DPLL의 락킹 시뮬레이션



(a)



(b)

Fig. 7. Simulated phase noise: (a) S-domain and (b) time domain.
그림 7. 위상잡음 시뮬레이션 결과: (a) S-domain과 (b) time domain

보여주는 시뮬레이션 결과이다. Coarse locking이 진행되는 동안 DTC gain 보정 회로 뿐 아니라 위상 오프셋 보정 회로가 함께 백그라운드로 동작하고 있음을 보여준다. 최종적으로 coarse locking이 진행되는 동안, fine loop의 락킹 범위 이내로 위상 오차가 자동적으로 들어오게 되면서 두 루프간의 빠르고 안정적인 스위칭이 이루어지고 있음을 보여준다.

그림 7은 제안한 DPLL의 위상잡음 특성을 보여준다. 그림 7(a)는 S-domain 모델에서 시뮬레이션된 각각의 noise contribution에 대한 결과이며, 그림 7(b)는 설계된 DPLL의 time-domain simulation 결과를 이용한 위상잡음 특성을 보여준다.

표 1은 제안하는 디지털 PLL의 설계 요약을 나타내고 있다.

Table 1. Design summary of the proposed digital PLL.
표 1. 제안된 디지털 PLL의 설계 요약표

Parameters	Value
Output frequency	2390MHz ~ 2500MHz
Reference frequency	52MHz
Locking time	< 10us
DTC resolution	5ps
TDC resolution	10ps
Loop bandwidth (f_{3dB})	2MHz
Kdco (coarse control)	500KHz/code
Kdco (fine control)	30KHz/code
In-band PN @ 100KHz	-98dBc/Hz
Integrated PN (IPN) (from 10KHz to 10MHz)	-33.7dBc

Ⅳ. 결론

본 논문에서는 저전력 IoT용 주파수 합성기를 위해 서브-샘플링 방식을 사용하는 이중 루프 구성의 디지털 PLL을 설계하였다. 해당 구조는 최종 주파수 및 위상 트래킹 루프에서 주파수 분주기를 사용하지 않음으로써 저전력 동작이 가능하며, DTC를 사용하여 양자화 에러를 제거함으로써 효과적인 분수분주비 동작 및 좋은 인-밴드 위상 잡음 특성을 가질 수 있다. 본 논문에서는 이중 루프간의 위상 오프셋 보정 회로를 제안하였고, 이를 통해 시간 지연이 없는 효과적인 루프 스위칭을 구현하였다. 회로는 SystemVerilog 및 Verilog 언어로 모델링 및 Register-Transfer Level (RTL) 수준으로 설계 되었으며 시뮬레이션을 통해 그 동작이 검증되었다.

References

[1] Y. Lio, et al., “An Ultra-Low Power 1.7-2.7 GHz Fractional-N Sub-Sampling Digital Frequency Synthesizer and Modulator for IoT Applications in 40 nm CMOS,” *IEEE Transaction on Circuit and Systems-I*, vol.64, no.5, pp.1094-1105, 2017. DOI: 10.1109/TCSI.2016.2625462

[2] K. Raczkowski, et al., “ar,” *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 88-92, 2014.

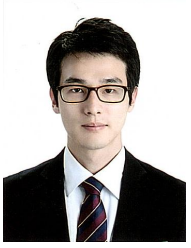
[3] N. Markulic, et al., “A DTC-Based Subsampling PLL Capable of Self-Calibrated Fractional Synthesis and Two-Point Modulation,” *IEEE J. Solid-State Circuits*, vol.51, no.12, pp.3078-3092, 2016. DOI: 10.1109/JSSC.2016.2596766

[4] A. Narayanan, et at., “A Fractional-N Sub-Sampling PLL using a Pipelined Phase-Interpolator With an FoM of -250 dB,” *IEEE J. Solid-State Circuits*, vol.51, no.7, pp.1630-1640, 2016. DOI: 10.1109/JSSC.2016.2539344

[5] H. Liu, et al., “A 265uW Fractional-N Digital PLL with Seamless Automatic Switching Subsampling/Sampling Feedback Path and Duty-Cycled Frequency-Locked Loop in 65nm CMOS,” IEEE Intranational Solid-State Circuits Conference, pp.256-257, 2019.

BIOGRAPHY

Shinwoong Kim (Member)



2009 : BS degree in Computer Science and Electrical Engineering, Handong Global University.
2011 : MS degree in Information and Communication Engineering, Handong Global University.
2016 : PhD degree in Electronic and Electrical Engineering, Pohang University of Science and Technology.
2016~ : Senior Engineer, Samsung Electronics.