반도체디스플레이기술학회지 제18권 제2호(2019년 6월)
Journal of the Semiconductor & Display Technology, Vol. 18, No. 2. June 2019.

3차원 소자 제작을 위한 ICP Type Remote PEALD를 이용한 저온(< 300 ºC) SiO_2 및 SiON 박막 공정

김대현*·박태주*†
*한양대학교 첨단소재공학과, †한양대학교 재료화학공학과

Plasma-Enhanced Atomic-Layer-Deposited SiO_2 and SiON Thin Films at Low Temperature (< 300 ºC) using ICP Type Remote Plasma for 3-Dimensional Electronic Devices

Dae Hyun Kim* and Tea Joo Park*†
*Department of Advanced Materials Engineering, Hanyang University, Ansan, Korea,
†Department of Materials Science & Chemical Engineering, Hanyang University, Ansan, Korea

ABSTRACT

Direct plasma-enhanced atomic layer deposition (PEALD) are widely used for SiO_2 and SiON thin film process in current semiconductor industry. However, this exhibits poor step coverage for three-dimensional device structure due directionality of plasma species as well as plasma damage on the substrate. In this study, to overcome this issue, low temperature (<300 °C) SiO_2 and SiON thin film processes were studied using inductively coupled plasma (ICP) type remote PEALD with various reactant gases such as O_2, H_2O, N_2 and NH_3. It was confirmed that the interfacial properties such as fixed charge density and charge trapping behavior of thin films were considerably improved by hydrogen species in H_2O and NH_3 plasma compared to the films grown with O_2 and N_2 plasma. Furthermore, the leakage current density of the thin films was suppressed for same reason.

Key Words : Plasma-Enhanced Atomic Layer Deposition, SiO_2, SiON, Low Temperature Process, DIPAS, ICP

1. 서 론

최근 SiO_2, SiON 및 SiN_x 박막은 self-align double patterning (SADP) 의 mask, gate spacer, charge trap layer, etch stop, physical 또는 electrical passivation layer 등과 같이 여러 반도체 공정에 사용되고 있다. [1-4] 소자의 성능 향상을 위해 fin field-effect transistor(finFET), gate-all-around FET등의 3차원 구조 소자가 사용됨에 따라 저온공정, 높은 물리적, 화학적 균일성, 정확한 두께 조절, 우수한 step coverage 등의 엄격한 공정조건 및 특성이 요구된다. [5, 6] 현재 반도체 산업체에서는 저온 SiO_2, SiON, SiN_x 박막 공정을 위해 capacitively coupled plasma (CCP)를 이용한 direct PEALD를 주로 이용하고 있다.[7-10] 그러나 plasma zone 내부에 substrate가 위치하여 plasma damage 뿐만 아니라, plasma 방향성으로 인해 고종횡비 구조 또는 복잡한 3차원 구조에서 낮은 step coverage 및 불균일한 박막 특성이 문제시 되고 있다.[5, 6] 본 연구는 상기의 문제를 해결하기 위해, inductively coupled plasma (ICP)를 이용한 remote PEALD를 사용하였고, 현 반도체 공정에서 대표적으로 사용되는 Si 전구체인 di-isopropylamino silane(DIPAS)를 이용하여, 저온 (300 ºC)에서 SiO_2 및 SiON 박막을 성장시켰다. SiO_2 박막을 증착하기 위한 산화제로 O_2 plasma, 또는 H_2O plasma를, SiON 박막을 증착하기 위한 질화제로 N_2 plasma 또는 NH_3 plasma를 사용하였으며, 각 반응제에 따른 박막 특성 변화를 확인하였다.

†E-mail: tjp@hanyang.ac.kr

2. 실험 방법

본 실험에서는 비저항이 10~12 Ωcm인 p-type (boron), prime grade (100) Si wafer를 4 cm x 4 cm 크기로 재단하여 사용하였다. Si wafer는 약 10% HF 수용액을 사용하여 native SiO_2 박막을 제거한 후, deionized water (DIW)를 이용하여 헹군 후 N_2 blowing하였다. 모든 SiO_2, SiON 증착 공정은 ICP type remote PEALD를 이용하여 300 ℃에서 진행하였다. 반응기체 주입 시, 100 W의 power로 인가하여, 13.56 MHz 의 radio frequency (RF) plasma를 발생시켰다. Si 전구체는 DIPAS를 이용하였으며, SiO_2를 성장시키기 위해 O_2, H_2O plasma를 산화제로 이용하였으며, SiON을 성장시키기 위해 고순도 N_2 (99.999%), 고순도 NH_3 (99.99999%) plasma를 질화제로 사용하였다. carrier gas는 고순도 N_2 (99.999%, 300 sccm)를 이용하였다. Spectroscopy ellipsometer (SE, MG-1000, Nanoview Co.)를 이용해 두께와 refractive index (RI)를 측정하였으며, X-ray reflectivity (XRR)을 이용하여 두께를 교차 검증하고, 물리적 밀도와 roughness를 측정하였다. SiO_2와 SiON 박막 내의 화학 결합 상태 및 SiON박막의 N/Si 분율을 확인하기 위해 X-ray photoelectron spectroscopy (XPS, ESCALAB 220i) 분석을 진행하였다.

SiO_2, SiON 박막의 전기적 특성 평가를 하기 위해, DC magnetron sputter와 shadow mask를 이용하여 100nm 의 TiN를 dot pattern 형태로 증착 후, forming gas (5% H_2, 95% Ar) 분위기에서 400 ℃로 30분동안 열처리하였다. Backside ohmic contact을 위해 In-Ga eutectic alloy를 사용하였다. Metal-Insulator-Semiconductor(MIS) capacitor에 대한 capacitance-voltage(C-V) 분석을 위해 Agilent E4980A LCR meter를 사용하였으며, leakage current density는 HP 4156A semiconductor parameter analyzer를 이용하여 측정하였다.

3. 결 과

3.1. ALD 공정 및 물리적 특성

DIPAS와 O_2또는 H_2O plasma를 이용한, SiO_2 공정의 growth per cycle (GPC)는 각각 0.19, 0.20 nm/cycle로 우수하나, N_2와 NH_3 plasma를 사용한 SiON 공정의 GPC는 각각 0.07, 0.02 nm/cycle로 SiO_2 공정에 비해 매우 낮다. 동일 조건 하에 SiO_2와 SiON공정의 큰 GPC 차이는, 질화제의 낮은 반응성에 의한 것으로 생각된다.

ALD공정 연구에서 박막의 두께 측정은 매우 중요한 항목이다. SiON의 경우 박막의 N/Si 분율에 따라 RI가 달라짐에 따라, SE의 측정 신뢰도가 낮아져, XRR분석을 이용하여 교차 검증하였다.[11, 12]

Table. 1은 SE와 XRR을 통해 측정한, 각 반응제 별로 성장시킨 SiO_2와 SiON 박막의 박막두께, roughness, RI 그리고 물리적 밀도를 정리하였다. XRR과 SE를 통해 측정한 박막의 두께 차이는 1 nm 이하로 신뢰할 수 있음을 확인하였다. 이후 모든 SiO_2, SiON 박막의 두께는 SE를 이용해 측정하였다. 각 박막의 roughness는 O_2, H_2O, N_2, NH_3 순서대로 0.715, 0.392, 0.586, 0.353 nm이다. 1 nm 이하의 준수한 roughness를 가지고 있으며, 특이한 게 H이 포함된 반응제인 H_2O, NH_3 plasma공정의 경우 매우 낮은 roughness를 갖는다. SiO_2 박막의 물리적 밀도는 O_2, H_2O plasma공정에 따른 차이가 크지 않으나, SiON 박막에서는 NH_3 plasma공정의 경우가 N_2 plasma공정에 비해 물리적 밀도가 높다. (O_2: 2.05 g/cm^3, H_2O: 2.19 g/cm^3, N_2: 2.01 g/cm^3, NH_3: 2.44 g/cm^3) SiON박막의 경우, 박막 내 N/Si 분율이 높을수록 밀도가 높아진다.[13] 상기의 결과를 보아, NH_3 plasma공정으로 성장시킨 SiON 박막이 N_2 plasma공정으로 성장시킨 박막보다 높은 N/Si 분율을 가진 것으로 추정된다. SE를 통해 측정한 RI 값은 각 반응제 별로 O_2: 1.42, H_2O: 1.43, N_2: 1.57, NH_3: 1.71 이다. SiO_2 박막은 O_2와 H_2O plasma공정에 따른 RI의 값의 큰 차이가 없고, ideal SiO_2의 RI값인 1.4와 유사하다. 하지만, SiON 박막의 경우, NH_3 plasma를 이용한 경우가, N_2 plasma를 이용한 경우에 비해 월등히 높은 RI 값을 갖는다. 이 또한 물리적 밀도 결과와 동일하게, NH_3 plasma공정으로 성장시킨 SiON 박막의 더 높은 N 함량에 의한 것으로 생각된다.[13-16]

Table 1. Physical properties of SiO_2 and SiON thin films.

Material	Reactant	XRR thickness	SE thickness	Roughness	RI	Physical density
SiO_2	O_2	14.89 nm	15.16 nm	0.715 nm	1.42	2.05 g/cm^3
SiO_2	H_2O	15.31 nm	15.07 nm	0.392 nm	1.43	2.19 g/cm^3
SiON	N_2	14.98 nm	14.12 nm	0.586 nm	1.57	2.01 g/cm^3
SiON	NH_3	15.96 nm	15.89 nm	0.353 nm	1.71	2.44 g/cm^3

3.2 화학 결합 상태

XPS분석을 통해 각 반응제 별로 성장한 SiO_2, SiON 박막의 화학 결합 상태를 확인하였다. XPS 분석 전, 추가적인 산화를 막기위해 SiO_2 및 SiON 박막 위에 약 1 nm의 Al2O3를 encapsulation하였다.

다음 Fig. 1(a)~(c)는 각 반응제 별로 성장한 SiO_2, SiON 박막의 Si 2*p*, O 1*s* 그리고 N 1*s* core-level spectra이다. 모든 XPS peak은 Si-Si bonding인 99.3 eV을 기준으로 정렬하였다. Si 2*p* spectra 에서 Si-Si bonding 대비 높은 binding energy 위치에서 나타내는 peak은 Si-O bonding 또는 Si-N bonding 정보를 나타낸다. O_2, H_2O plasma를 이용해 성장시킨 SiO_2박막의 Si-O binding energy는 각각 103.98, 103.79 eV 에서 확인되었다.[17]

H_2O공정의 Si-O binding energy가 O_2 plasma공정보다 낮은 binding energy 방향으로 이동했다. 이는 H_2O plasma공정을 사용한 SiO_2박막에 sub-oxide (SiO_x)가 더 많이 존재함을 나타내며, Si과 SiO_2간의 계면 특성이 향상될 것으로 생각된다.[18] N_2, NH_3 plasma를 이용해 성장시킨 SiON 박막의 Si 2*p* peak binding energy는 Si-O (103.5 eV) 와 Si-N binding energy (101.6 eV) 사이인 103.15 eV 에서 확인되었고, 이는 전형적인 SiON 의 binding energy이다.

Fig. 1(b)는 각 반응제를 통해 성장한 SiO_2, SiON 박막의O 1*s* spectra이다. SiO_2 박막의 Si-O binding energy는 O_2, H_2O공정 모두 532.84 eV에서 확인되었다. 이는 SiO_2의binding energy인 532.6 eV와 유사하다. N_2, NH_3 plasma를 이용해 성장시킨 SiON 박막의 binding energy는 모두 532.05 eV로 SiO_2의 binding energy에 비해 낮은 binding energy방향으로 이동하였다.[11]

Fig. 1(c)는 각 반응제를 이용해 성장한 SiO_2, SiON 박막의 N 1*s* spectra이다. O_2, H_2O공정 모두 SiO_2 박막에서 N이 검출되지 않았다. 이는 DIPAS분자 내의 N 불순물은 표면 리간드 교환반응에 의해 완벽히 제거되었음을 나타내며, SiON 박막의 N은 N_2 또는 NH_3 plasma로부터 주입됨을 알 수 있다. Si 2*p*와 N 1*s* spectra의 peak을 통해 도출한 SiON 박막의 N/Si 분율은 N_2, NH_3 plasma공정에서 각각 0.26, 0.47이다. 물리적 밀도 및 RI를 통해 예상한 바와 같이, NH_3 plasma공정의 SiON 박막이 더 높은 N함량을 가짐을 확인하였다.

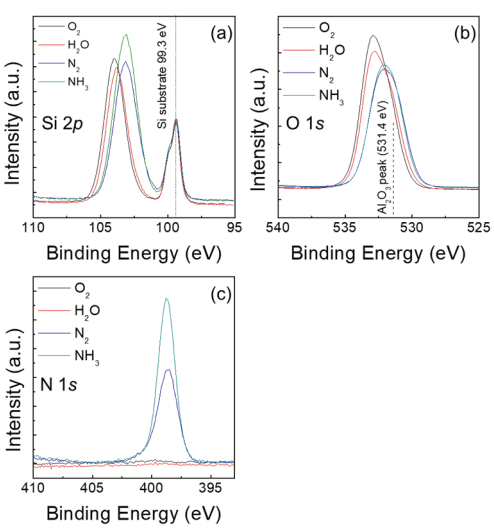

Fig. 1. XPS spectra of ALD SiO_2 and SiON films as a function of reactant gases: (a) Si 2*p*, (b) O 1*s*, (c) N 1*s* core level spectra.

3.3 SiO_2, SiON 박막의 전기적 특성평가

각 반응제를 이용해 성장시킨 SiO_2 및 SiON 박막의 계면 특성 및 전기적 특성 평가를 확인하기 위해, DC magnetron sputter를 이용하여 100 nm의 TiN를 증착시켜 MIS 소자를 제작하였다.[19]

Fig. 2(a)는 각 반응제를 통해 성장시킨 7 nm 의 SiO_2, SiON 박막의 C-V 측정 결과이다. C-V curve의 flat band voltage 이동 및 hysteresis voltage를 통해 고정 전하량과 charge trapping site의 양을 유추하여 계면 특성을 분석할 수 있다.

Fig. 2(b)에서는 상기 C-V curve의 flat band voltage 이동에 대해 정리하였다. 우선 N_2, O_2 plasma를 이용해 성장시킨 SiO_2, SiON 박막의 flat band voltage 이동을 비교해 보면, SiON 박막의 N에 의해 고정 양전하가 발생하여 flat band voltage가 음의 방향으로 이동함을 보여준다. H이 포함된 H_2O, NH_3 plasma를 이용해 성장시킨 SiO_2, SiON 박막의 flat band voltage를 O_2, N_2 plasma 공정과 비교해 보면, H에 의해 고정 양전하 생성이 억제되어, flat band voltage의 음의 방향 이동이 억제됨을 확인할 수 있었다.

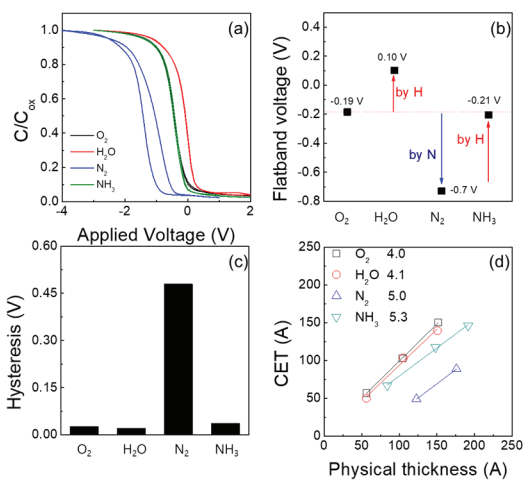

Fig. 2. Dielectric properties of ALD grown SiO_2 and SiON films: (a) Typical C-V curve at 7 nm SiO_2 and SiON with summary of (b) flat band voltage, (c) hysteresis of C-V curve. (d) Capacitance equivalent thickness (CET) as a function of the film thickness by each reactant gases.

다음 Fig. 2(c)는 C-V curve의 hysteresis를 정리하였다. SiO_2 박막의 경우, Si과 계면 특성이 우수하여 O_2, H_2O plasma공정 모두 박막 내 charge trapping site의 양이 미미함을 확인할 수 있었다. 반면, SiON박막의 경우, N_2 plasma 공정은 많은 양의 charge trapping site를 발생시켜, C-V curve에서 약 0.45 V의 매우 큰 hysteresis가 존재함을 확인하였고, H이 포함된 NH_3 plasma를 이용할 경우 charge trapping site 생성이 억제되

어 hysteresis가 줄어듦을 확인할 수 있었다.

Fig. 2(d)는 각 반응제로 성장시킨SiO_2, SiON박막의 CET, physical thickness plot을 통해 유전상수를 확인할 수 있었다. (O_2: 4.0, H_2O: 4.1, N_2: 5.0, NH_3: 5.3) SiO_2 박막은 O_2, H_2O plasma공정의 경우 모두 ideal SiO_2의 유전상수 값인 3.9에 가까우며, SiON박막의 유전상수는 ideal SiO_2와 ideal Si_3N_4 (7.0)의 사잇값을 가진다. 이때, NH_3 plasma공정을 통해 성장시킨 SiON 박막은 N_2 plasma공정의 경우보다 높은 5.3의 유전상수 값을 가진다. 이는 NH_3 공정으로 성장한 SiON박막의 N 함량이 높기 때문이다.

Fig. 3은 각 반응제를 사용하여 성장시킨 SiO_2, SiON박막의 leakage current density를 보여준다. SiO_2 박막의 경우 O_2, H_2O plasma공정 모두 2 MV/cm에서 약 10^{-8} A/cm^{2}의 유사한 leakage current density를 갖는 반면, SiON 박막의 경우 N_2, NH_3 plasma 공정에서 각각 약 10^{-6}, 10^{-9} A/cm^2 수준으로, NH_3 plasma공정으로 성장시킨 SiON 박막이 더 낮은 leakage current density를 갖는다. 이는 NH_3공정으로 인한, 계면 특성의 향상 및 SiON 박막 내 N함량의 증가에 의한 것이라고 생각된다.

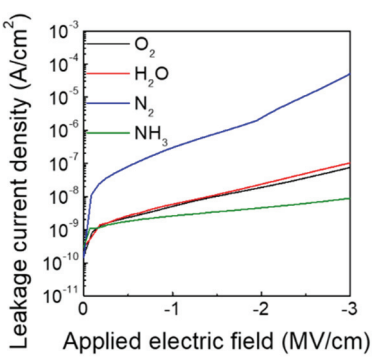

Fig. 3. Typical J-V curves for TiN/ALD SiO_2 or SiON/p-Si MOS capacitors.

4. 결 론

본 문헌에서는 여러 반응제 (O_2, H_2O, N_2, NH_3)를 이용한 ICP type remote PEALD를 통해 SiO_2와 SiON박막을 성장시키고, 성장시킨 박막의 물리적,화학적 특성에 대해 연구하였다. 각 반응제별로 성장시킨 SiO_2, SiON박막의 GPC, RI, 물리적 밀도, 화학결합 상태, N/Si 분율, C-V curve 분석, leakage current density를 통해 H이 포함된 반응제를 (H_2O, NH_3 plasma) 사용하는 경우, SiO_2, SiON, 박막의 roughness의 감소, 고정 양전하 생성 억제 및 charge trapping site의 감소를 통해 계면 특성이 향상되었음을 확인하였다. 또한 SiON공정의 경우, NH_3 plasma공정이 N_2 plasma공정에 비해 GPC는 낮으나, 박막 내 N 함량이 높아 고품질 SiON 박막의 성장에 보다 적합함을 확인하였다.

참고문헌

1. Jang, W., H. Jeon, H. Song, H. Kim, J. Park, H. Kim, and H. Jeon, “The effect of plasma power on the properties of low-temperature silicon nitride deposited by RPALD for a gate spacer”. physica status solidi (a). Vol. 212, pp. 2785-2790, 2015.
2. Chen, T.-S., K.-H. Wu, H. Chung, and C.-H. Kao, “Performance improvement of SONOS memory by bandgap engineering of charge-trapping layer”. IEEE Electron Device Letters. Vol. 25, pp. 205-207, 2004.
3. Lee, C.-H., S.-H. Hur, Y.-C. Shin, J.-H. Choi, D.-G. Park, and K. Kim, “Charge-trapping device structure of SiO_2/SiN/high-k dielectric Al_2O_3 for high-density flash memory”. Applied Physics Letters. Vol. 86, pp. 152908, 2005.
4. Lee, C.-H., K.-C. Park, and K. Kim, “Charge-trapping memory cell of SiO_2/SiN/high-k dielectric Al_2O_3 with TaN metal gate for suppressing backward-tunneling effect”. Applied Physics Letters. Vol. 87, pp. 073510, 2005.
5. Meng, X., Y.-C. Byun, H. Kim, J. Lee, A. Lucero, L. Cheng, and J. Kim, “Atomic layer deposition of silicon nitride thin films: a review of recent progress, challenges, and outlooks”. Materials. Vol. 9, pp. 1007, 2016.
6. Weeks, S., G. Nowling, N. Fuchigami, M. Bowes, and K. Littau, “Plasma enhanced atomic layer deposition of silicon nitride using neopentasilane”. Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films. Vol. 34, pp. 01A140, 2016.
7. Kot, M., F. Naumann, S. Garain, E. Pożarowska, H. Gargouri, K. Henkel, and D. Schmeißer, “Aluminum nitride films prepared by plasma atomic layer deposition using different plasma sources”. 2018.
8. Kääriäinen, T.O. and D.C. Cameron, “Plasma-Assisted Atomic Layer Deposition of Al_2O_3 at Room Temperature”. Plasma Processes and Polymers. Vol. 6, pp. S237-S241, 2009.
9. Profijt, H., S. Potts, M. Van de Sanden, and W. Kessels, “Plasma-assisted atomic layer deposition: basics, opportunities, and challenges”. Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films. Vol. 29, pp. 050801, 2011.
10. Kim, E.-J. and D.-H. Kim, “Highly Conductive HfN x Films Prepared by Plasma-Assisted Atomic Layer Deposition”. Electrochemical and solid-state letters. Vol. 9, pp. C123-C125, 2006.
11. Ma, H.P., H.L. Lu, J.H. Yang, X.X. Li, T. Wang, W.

Huang, G.J. Yuan, F.F. Komarov, and D.W. Zhang, “Measurements of Microstructural, Chemical, Optical, and Electrical Properties of Silicon-Oxygen-Nitrogen Films Prepared by Plasma-Enhanced Atomic Layer Deposition”. Nanomaterials. Vol. 8, 2018.
12. Nguyen, H.T.T., N. Balaji, C. Park, N.M. Triet, A.H.T. Le, S. Lee, M. Jeon, D. Oh, V.A. Dao, and J. Yi, “Al_2O_3/SiON stack layers for effective surface passivation and anti-reflection of high efficiency n-type c-Si solar cells”. Semiconductor Science and Technology. Vol. 32, 2017.
13. Park, K.W., S. Lee, H. Lee, Y.-H. Cho, Y.C. Park, S.G. Im, and S.-H.K. Park, “High-performance thin H: SiON OLED encapsulation layer deposited by PECVD at low temperature”. RSC advances. Vol. 9, pp. 58-64, 2019.
14. Yin, L., M. Lu, L. Wielunski, W. Song, J. Tan, Y. Lu, and W. Jiang, “Fabrication and characterization of compact silicon oxynitride waveguides on silicon chips”. Journal of Optics. Vol. 14, pp. 085501, 2012.
15. Nguyen, H.T.T., N. Balaji, C. Park, N.M. Triet, A.H.T. Le, S. Lee, M. Jeon, D. Oh, V.A. Dao, and J. Yi, “Al_2O_3/SiON stack layers for effective surface passivation and anti-reflection of high efficiency n-type c-Si solar cells”. Semiconductor Science and Technology. Vol. 32, pp. 025005, 2017.
16. Choi, J.-H., S.-C. Roh, J.-D. Jung, and H.-I. Seo, “The Silicon Nitride Films according to The Frequency Conditions of Plasma Enhanced Chemical Vapor Deposition”. Journal of the Semiconductor & Display Technology. Vol. 13, No. 4, pp.21-26, 2014.
17. Shin, D., H. Cho, S. Park, H. Oh, and D.-H. Ko, “Improvement in Capacitor Characteristics of Titanium Dioxide Film with Surface Plasma Treatment”. Journal of the Semiconductor & Display Technology. Vol. 18, No. 1, pp. 32-37, 2019.
18. Giustino, F. and A. Pasquarello, “Electronic and dielectric properties of a suboxide interlayer at the silicon–oxide interface in MOS devices”. Surface science. Vol. 586, pp. 183-191, 2005.
19. Li, X. and T. Oh, “Interface Characteristics and Electrical Properties of SiO_2 and V_2O_5 Thin Films Deposited by the Sputtering”. Journal of the Semiconductor & Display Technology. Vol. 17, No. 4, pp.66-69, 2018.

접수일: 2019년 6월 22일, 심사일: 2019년 6월 24일, 게재확정일: 2019년 6월 25일