

3차원 플래시 메모리의 전하 손실 원인 규명을 위한 Activation Energy 분석

양희훈*·성재영*·이휘연*·정준교*·이가원**

**충남대학교 전자공학과

Study on the Activation Energy of Charge Migration for 3D NAND Flash Memory Application

Hee Hun Yang*, Jae Young Sung*, Hwee Yeon Lee*, Jun Kyo Jeong* and Ga won Lee**†

**†Dept. of Electronics Engineering, Chungnam National University

ABSTRACT

The reliability of 3D NAND flash memory cell is affected by the charge migration which can be divided into the vertical migration and the lateral migration. To clarify the difference of two migrations, the activation energy of the charge loss is extracted and compared in a conventional square device pattern and a new test pattern where the perimeter of the gate is exaggerated but the area is same. The charge loss is larger in the suggested test pattern and the activation energy is extracted to be 0.058 eV while the activation energy is 0.28 eV in the square pattern.

Key Words : Flash Memory, Retention, Reliability, Test Pattern, Charge Migration, Activation Energy

1. 서 론

현재의 기술은 초연결(hyperconnectivity)과 초지능(superintelligence)을 특징으로 하면서 더 많은 정보를 빠르게 처리할 수 있는 전자 소자에 대한 요구를 심화시키고 있다. 특히 사물인터넷 (IoT), 빅데이터 기반의 인공지능 등과 같은 응용 분야에서는 고용량의 데이터 저장 장치의 대한 요구가 증가하고 있다. 이에 메모리 소자의 고밀도화를 위한 소형화가 급속하게 진행되어 왔지만 planar 구조의 소자에서 채널의 길이가 짧아지고 소자 간 간격이 좁아짐으로 인하여 여러 문제가 발생했다. 대표적으로 drain induced barrier lowering (DIBL) [1,2], punch through [3,4] 와 같은 short channel effect [5,6]를 들 수 있다. 또한 각 셀의 간격이 줄어들면서 소자 간 coupling으로 interference 현상이 심화된다 [7,8]. 이 외에 소자를 이루는 각 층을 축소시키는 데에도 문제가 발생하는 데 대표적으로 게이트 절연막 두께 감소에 의한 direct

tunneling 현상의 심화이다[9]. Planar 구조 메모리 소자의 이러한 한계를 극복하기 위해 여러 3D 구조의 소자가 연구되고 있다. 특히 NAND 플래시 소자의 경우 메모리 셀을 수직으로 적층시키는 3D 메모리가 제안되어 여러 산업체에서 BiCS, P-BiCS, V-NAND, SMArT 등 다양한 이름으로 양산되고 있다. 하지만 3D NAND 플래시 메모리는 하나의 string을 구성하는 모든 셀이 전하저장층을 공유하는 구조적 특징으로 planar 구조의 메모리에서는 고려되지 않았던 새로운 신뢰성 문제가 야기되었다. 메모리의 신뢰성을 판단하는 성능으로는 데이터의 쓰기, 지우기 동작의 반복 가능 횟수(Cycling endurance)와 데이터의 유지 특성(Retention)이 있다. 데이터 유지 특성은 메모리에 데이터를 입력 후, 얼마나 오랜 시간동안 데이터를 유지할 수 있는지를 결정하는 요인이다. 따라서, 비휘발성 메모리에서의 데이터 유지 특성은 신뢰성을 결정하는데 있어 매우 중요한 요인이라 할 수 있다. 기존의 planar 구조에서는 각 셀들이 분리되어 전자전하층을 공유하지 않았다. 그렇기 때문에 데이터 유지 특성에 영향을 주는 원인으로 열이나 전기적 에너지와

†E-mail: gawon@cnu.ac.kr

같은 외부요인에 의해 전하저장층에 저장되어 있던 전하가 게이트 절연막을 통해 채널로 빠져나가게 되는 vertical charge migration만이 고려되었다. 하지만 3D 구조의 메모리 경우 앞서 언급한 바와 같이 전자전하층이 셀 간 공유되기 때문에 셀과 셀 사이로 전하가 이동되는 lateral charge migration이 추가적으로 발생하게 된다. Fig. 1은 3D와 planar 플래시 메모리 구조와 함께 vertical 및 lateral charge migration을 나타낸다.

기존의 charge migration으로 인한 신뢰성 열화에 대한 연구는 vertical 혹은 lateral charge migration 현상을 관측해내거나 이를 가정으로 시뮬레이션을 통해 소자 특성의 열화를 예측하는 간접적인 연구였다 [10]. 하지만 charge migration에 의한 메모리 셀의 성능 악화를 평가하고 개선하기 위해서는 실제 소자를 이용해서 vertical과 lateral charge loss를 구별하고 각 원인에 따라 이를 억제할 수 있는 소자 설계 및 공정 개선이 이루어져야 한다. 이에 본 연구에서는 lateral charge migration이 극대화되어 나타날 수 있도록 게이트 면적 대비 테두리의 길이가 긴 테스트 패턴 (perimeter pattern)의 소자를 제작하고 데이터 유지 특성을 분석하였다. 이 때 lateral charge migration의 영향을 최소화한 기존의 square 패턴 소자와 비교 분석함으로써 두 가지 전하 손실을 구별하여 평가할 수 있음을 보이고자 하였다. 특히 본 논문에서는 보다 효율적으로 3D NAND 플래시 메모리의 성능 향상을 이루기 위해 두 개의 test pattern에서의 전하손실에 대한 activation energy 추출 결과에 대한 분석 결과를 기반으로 lateral charge migration에 대한 메커니즘을 고찰하고자 한다.

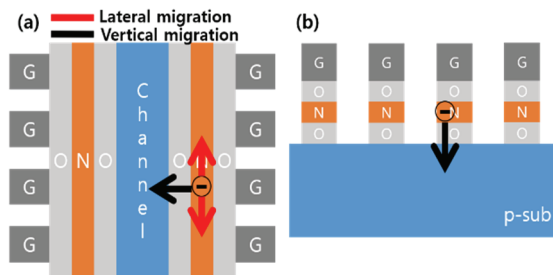


Fig. 1. Structure of (a) 3D vertical flash memory and (b) 2D planar memory with silicon-oxide-nitride-oxide-silicon (SONOS) gate stack. In 3D vertical structure, both the vertical charge migration and the lateral charge migration should be considered while in 2D Planar structure, the lateral migration can be excluded.

2. 소자제작

2.1 공정 조건 및 소자 구조

Tunneling oxide, charge trapping layer (CTL) 그리고 blocking

oxide로 이루어진 게이트 스택 구조를 갖는 Silicon-Oxide-Nitride-Oxide-Silicon (SONOS) 구조의 메모리 셀 소자를 제작하기 위해 다음의 공정을 진행하였다. 기판은 p-타입을 사용하였고, tunneling oxide는 7 nm 두께의 SiO₂를 dry oxidation을 통해 성장시켰다. CTL과 blocking oxide는 LPCVD 공정을 이용하여 Si₃N₄와 SiO₂로 각각 15 nm씩 증착하였다. 게이트와 body 접촉을 위한 전극으로는 RF sputter를 사용하여 Ti와 Al을 증착하였으며 각각 100 nm 씩 증착하였다.

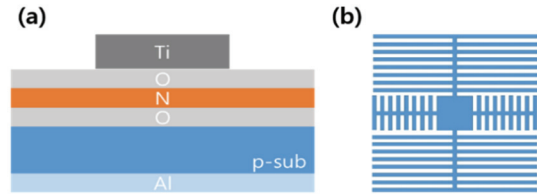


Fig. 2. (a) Cross view of SONOS square pattern (capacitor structure and (b) top view of a new test pattern where the gate perimeter is much larger than the square pattern but the gate area is same.

Fig. 2 (a) 는 제작된 SONOS 커패시터 구조의 square 패턴 이고, Fig. 2 (b) 는 square 패턴과 게이트 면적은 동일하게 유지하면서 게이트 둘레의 길이를 매우 길게 설계할 수 있도록 제안한 perimeter 패턴이다. Perimeter 패턴은 소자의 lateral migration을 극대화하기 위해 고안되었다. 또한 게이트 메탈 라인의 폭과 간격 및 총 게이트 면적과 테두리 길이를 다양하게 만들었다. Square 패턴은 lateral migration보다 vertical migration이 우세하게 일어나는 소자로, perimeter 패턴과의 비교 분석을 위해 함께 제작하였다. Data retention 특성 분석은 Hewlett Packard 4284A precision LCR meter 장비를 이용해 제작된 소자의 C-V 곡선을 측정함으로써 진행하였다. 프로그램 된 소자에서의 retention 특성은 C-V 곡선에서의 V_{FB}(Flat band voltage)의 이동 정도를 초기 V_{FB} 값과 비교해서 분석했고, 측정 온도는 상온(30°C)에서부터 125°C 까지 나누었다.

3. 결과

3.1 온도에 따른 전하 손실 측정 결과

제작된 소자의 데이터 retention 특성을 확인하기 위하여 C-V 측정을 진행하였다. 측정에 사용된 perimeter 패턴과 square 패턴은 vertical migration의 영향을 동일하게 하기 위하여 게이트 면적이 같은 패턴으로 측정을 진행하였다.

Fig. 3은 square 패턴에서 50 °C에서의 retention 측정 그래프를 보여준다. Retention 측정은 동일한 전압으로 프로

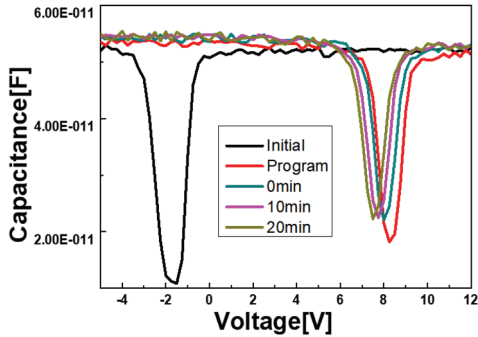


Fig. 3. Measurement results of the data retention characteristics at 50°C of the fabricated square devices.

그림을 하고, 소자의 온도를 올린 후에 시간에 따른 flat band voltage (V_{FB})의 변화를 보았다. 이후 온도를 30, 75, 100, 125 °C로 달리하여 동일한 특정을 진행하였으며, 가열 시간은 20분으로 설정하였다. V_{FB} 는 측정된 커패시턴스의 최대값과 최소값의 80%가 되는 지점으로 설정하였다. 전하 손실량은 V_{FB} 의 변화량을 이용하여 계산하였으며, 계산식은 다음과 같다.

$$Q_{Loss} = C\Delta V_{FB}$$

$$\Delta V_{FB} = V_{FB}(Program) - V_{FB}(Retention)$$

이 때 C는 게이트 전압 $V = V_{FB}$ 일 때의 커패시턴스 값이며, Q_{Loss} 는 총 전하 손실량이다. ΔV_{FB} 는 가열 전 프로그램 상태의 $V_{FB}(Program)$ 과 가열 후 측정을 진행한 후 다시 상온으로 냉각시킨 뒤 측정된 $V_{FB}(Retention)$ 의 차로 나타난다.

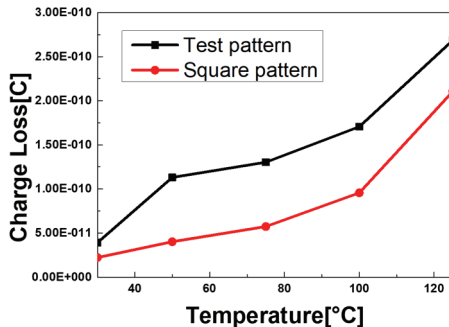


Fig. 4. Extracted total charge loss in the conventional and suggested perimeter pattern according to the temperature.

이와 같은 방법으로 perimeter 패턴에서도 retention 특성

을 측정하였으며, Fig. 4는 온도의 변화에 따른 패턴 별 전하 손실량 추출 결과로 square pattern에 비해 perimeter pattern에서의 손실이 크게 나타나고 있음을 보여준다. Square 패턴은 lateral charge loss가 일어날 수 있는 게이트의 테두리 길이에 비해 vertical charge loss가 일어날 수 있는 면적의 비율이 매우 크기 때문에 그래프에서 나타난 대부분의 전하 손실량은 vertical migration에 의한 것으로 볼 수 있다. 따라서 테두리비가 증가한 perimeter 패턴에서의 추가적인 전하손실은 lateral migration에 의한 것으로 판단할 수 있다.

3.2 Activation energy

두 패턴에서 측정된 전하 손실이 서로 다른 메커니즘에 의한 것인지를 분석하기 위해 전하 손실의 온도 의존성으로부터 각각의 activation energy를 추출하였다. 이 때 square 패턴의 총 전하 손실량을 $Q_{vertical}$ 로, 게이트 면적이 동일한 perimeter 패턴의 총 전하 손실량에서 $Q_{vertical}$ 을 빼 양을 $Q_{lateral}$ 로 가정하였으며 계산식은 다음과 같다.

$$Q = Q_0 \exp\left(\frac{-E_A}{kT}\right)$$

$$\ln Q = \frac{-E_A}{k} \frac{1}{T} + \ln Q_0$$

이 때, k는 볼츠만 상수이고 T는 절대 온도, Q는 전하 손실량으로 square 패턴에서는 $Q_{vertical}$, perimeter 패턴에서는 $Q_{lateral}$ 이며, Q_0 는 에너지가 인가되지 않았을 때의 초기 전하 손실량이고 E_A 는 activation energy이다.

Fig. 5는 각 패턴에서의 전하 손실량의 온도 의존성과 이를 통해 추출한 activation energy를 보여준다. Square 소자에서의 에너지는 0.238eV로 추출되었으며, perimeter 소자의 전하 손실이 일어나기 위해 필요한 에너지는 0.058eV로 매우 낮은 값으로 추출되었다. Square 패턴의 경우 tunneling oxide를 통한 수직 방향의 전하 손실이 주요 원인임을 고려할 때 perimeter 패턴에서의 현저히 작은 activation energy는 vertical charge migration과는 다른 메커니즘에 의한 charge loss를 의미한다고 볼 수 있다. 게이트 영역 아래 위치한 CTL, 즉 nitride trap에 포획된 전하의 수평 이동에 의한 전하 손실과 관련해서는 trap to trap tunneling과 trap to conduction band로의 여기 이후 conduction band에서의 diffusion 메커니즘을 고려해 볼 수 있다. 전자의 경우 silicon nitride내에 존재하는 트랩의 밀도를 고려할 때 trap 간의 거리가 멀어서 가능성이 매우 낮으며 후자의 경우도 deep trap site에서는 높은 에너지를 얻어야만 conduction band로 여기가 가능하다. 하지만 shallow trap의 경우 conduction band까지의 낮은 에너지 barrier로 conduction band diffusion 가능성이 높으며 트랩 밀도가 높을 경우 trap to trap tunneling의 가능성까지 생각

해볼 수 있게 된다. 따라서 본 실험에서 추출한 perimeter 소자에서의 전하 손실의 낮은 activation energy는 nitride 층의 shallow energy level trap에 포획된 전자가 conduction band로 thermal emission 한 뒤 확산되거나 shallow trap간 tunneling에 의한 메커니즘으로 판단된다. 즉 lateral charge migration에 의한 data retention 특성 열화를 막는데 nitride의 shallow trap 억제제가 매우 중요함을 시사한다.

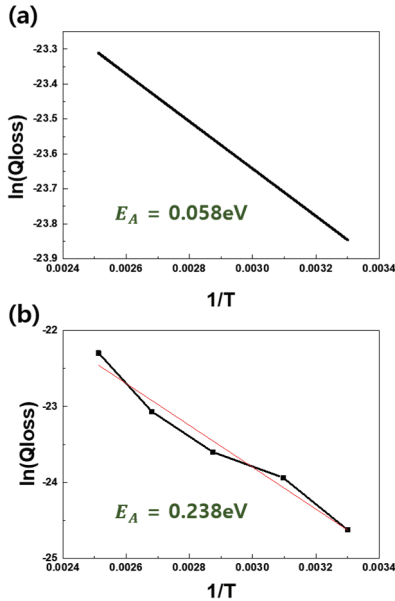


Fig. 5. Temperature dependence of charge loss and extraction results of activation energy in (a) perimeter pattern and (b) square pattern

4. 결론

3D NAND 플래시 메모리의 구조 특성인 전하 저장층을 공유하는 소자에 대하여 전하손실을 측정하였다. 그 결과 게이트 면적 대비 테두리의 길이가 긴 경우 전하 손실이 크게 나타남을 확인하였다. 또한 square 패턴과 perimeter 패턴에서의 전하 손실량의 온도 의존성으로부터 activation energy를 추출하였다. 그 결과 lateral migration은 vertical migration에 비해 낮은 에너지에서도 일어날 수 있음을 알 수 있었고 주요 메커니즘으로 CTL을 이루는 nitride 층의 shallow energy level trap에 포획된 전자가 conduction band로 thermal emission 한 뒤 확산되거나 shallow trap간 tunneling하는 것으로 판단된다. 이렇게 낮은 에너지로도 활성화되는 lateral migration은 Joule heating과 같이 전류가 흐름으로 인하여 증가하는 내부 열에 의해서도 쉽게 일어날 수 있다[11].

이는 CTL을 공유하여 사용하는 NAND 구조의 플래시 메모리에서 열의 상승을 막지 못하거나, lateral 방향으로의 전계가 발생한다면 데이터 유지 특성이 쉽게 악화될 수 있을 것으로 판단된다. 따라서 고성능 3D 플래시 메모리 제작을 위해서는 CTL의 shallow trap 형성을 억제할 수 있는 방안이 제시되어 하며 향후 이러한 방법이 소자의 동작 속도에 미치는 영향을 함께 고려하여 소자 특성 최적화에 대한 연구가 이루어져야 할 것이다.

감사의 글

이 논문은 2019년도 정부(과학기술정보통신부)의 재원으로 한국연구재단-나노-소재기술개발사업의 지원을 받아 수행된 연구임(2009-0082580).

참고문헌

1. Wang, Chih Hsin, and P-F. Zhang. "Three-dimensional DIBL for shallow-trench isolated MOSFET's." IEEE Transactions on Electron Devices, Vol. 46, pp.139-144, 1999.
2. Gupta, Deepika, and Santosh Kumar Vishvakarma. "Improved short-channel characteristics with long data retention time in extreme short-channel flash memory devices." IEEE Transactions on Electron Devices, Vol. 63, pp. 668-674, 2016.
3. Uren, M. J., et al. "Punch-through in short-channel AlGaN/GaN HFETs." IEEE Transactions on Electron Devices, Vol. 53, pp.395-398, 2006.
4. Hoefler, Alexander B., et al. "Non-volatile memory device having an anti-punch through (APT) region." U.S. Patent No. 6,713,812. 30 Mar. 2004.
5. Song, Ihun, et al. "Short channel characteristics of gallium-indium-zinc-oxide thin film transistors for three-dimensional stacking memory." IEEE Electron Device Letters, Vol. 29, pp.549-552, 2008.
6. Bohara, Pooja, and Santosh Kumar Vishvakarma. "NAND flash memory device with ground plane in buried oxide for reduced short channel effects and improved data retention." Journal of Computational Electronics Vol.18, pp.500-508, 2019.
7. Lu, Chih-Yuan, Kuang-Yeu Hsieh, and Rich Liu. "Future challenges of flash memory technologies." Microelectronic engineering, Vol. 86, No.3, pp.283-286, 2009.
8. Lo, S-H., Douglas A. Buchanan, and Yuan Taur. "Modeling and characterization of quantization, polysilicon depletion, and direct tunneling effects in

- MOSFETs with ultrathin oxides." IBM Journal of Research and Development, Vol. 43, pp.327-337, 1999.
9. Kim, Hyunsuk, et al. "Evolution of NAND flash memory: From 2D to 3D as a storage market leader." 2017 IEEE International Memory Workshop (IMW). IEEE, pp.1-4, 2017.
 10. Sangyong Park, "Three dimensional simulation of retention characteristics of Charge Trap (CT) NAND Flash memory." SEOUL NATIONAL UNIVERSITY, 2013.
 11. Jun Ha Lee, Hoong Joo Lee, "Three-Dimensional Analysis of Self-Heating Effects in SOI Device." Journal of the Semiconductor & Display Equipment Technology, Vol.3, No.4, 2004.
-

접수일: 2019년 6월 19일, 심사일: 2019년 6월 22일,
게재확정일: 2019년 6월 22일