

직접 보상 트랜지스터를 사용하는 고주파 PSR 개선 LDO 레귤레이터

High-Frequency PSR-Enhanced LDO regulator Using Direct Compensation Transistor

윤영호*, 김대정*, 모현선*

Yeong Ho Yun*, Daejeong Kim*, Hyunsun Mo*

Abstract

In this paper, we propose a low drop-out (LDO) regulator with improved power-supply rejection (PSR) characteristics in the high frequency region. In particular, an NMOS transistor with a high output resistance is added as a compensation circuit to offset the high frequency noise passing through the finite output resistance of the PMOS power switch. The elimination of power supply noise by the compensating transistor was explained analytically and presented as the direction for further improvement. The circuit was fabricated in a 0.35- μm standard CMOS process and Specter simulations were carried out to confirm the PSR improvement of 26 dB compared to the conventional LDO regulator at 10 MHz.

요약

본 논문에서는 고주파 영역에서의 전원잡음제거 (PSR) 특성이 개선된 low drop-out (LDO) 레귤레이터를 제안한다. 특히, PMOS 전력 스위치의 유한한 출력저항을 관통하는 고주파 전원잡음을 상쇄하기 위해 출력저항이 큰 NMOS 트랜지스터를 보상 회로로 추가하였다. 보상 트랜지스터에 의한 전원잡음제거는 해석적으로 설명하여 개선에 대한 방향을 제시하였다. 0.35 μm 표준 CMOS 공정으로 회로를 제작하고 Spectre 시뮬레이션을 수행하여 10MHz에서 기존의 LDO 레귤레이터 대비 26dB의 PSR 개선을 확인하였다.

Key words : CMOS, low drop-out (LDO), regulator, power-supply rejection (PSR), ripple cancellation

* Dept. of Electronics Engineering, Kookmin University

★ Corresponding author

E-mail : tyche@kookmin.ac.kr, Tel : +82-2-910-5173

※ Acknowledgment

This work was supported by the Engineering Research Center of MSIP / NRF of Korea Grant funded by the Korean Government(Grant NRF-2016R1A5A1012966 and 2016R1A6A3A01006588). And, it was supported by research program of Kookmin University, and IDEC Korea.

Manuscript received Jun. 6, 2019; revised Jun. 26, 2019; accepted Jun. 28, 2019.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

그림 1은 휴대용 기기에서의 일반적인 전력관리 시스템을 나타낸다. 전력관리 집적회로(power management integrated circuit, PMIC)는 스텝-업/스텝-다운 동작을 위한 스위칭 레귤레이터(DC-DC 변환기) 및 LDO(low drop-out) 레귤레이터로 구성된다.

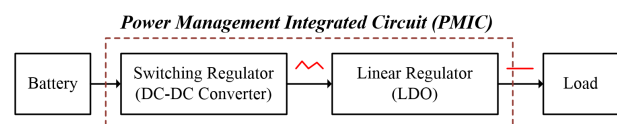


Fig. 1. Block diagram of typical power management system.
그림 1. 일반적인 전력 관리 시스템의 블록 다이어그램

최근에는 DC-DC 변환기에서 스위칭 동작으로 발생하는 리플 전압을 감소시키기 위해 스위칭 주파수가 점점 증가하는 경향이 있다 [1-2]. 따라서, 이어지는 후속 LDO 레귤레이터는 넓은 주파수 범위에서 충분한 전원잡음제거(power-supply rejection, PSR) 성능을 갖추어야 한다[3].

그림 2의 기존 LDO 레귤레이터는 전력 MOSFET (M_P), 피드백 저항(R_1, R_2), 오차증폭기(error amplifier, EA)로 구성된다. 이 구조에서는 V_{in} 에서 V_{out} 까지의 PSR을 저하시키는 네 가지 리플 경로가 있다. 즉, 유한한 루프 대역폭(loop bandwidth)에 따른 리플 경로(경로 ①), 전력 MOSFET의 유한한 소신호 출력 저항에 의한 경로(경로 ②), 오차 증폭기의 유한한 PSR 특성에 의한 경로(경로 ③), 밴드갭 기준전압발생기(band-gap reference, BGR)의 유한한 PSR 특성에 의한 경로(경로 ④)로 나타낼 수 있다.

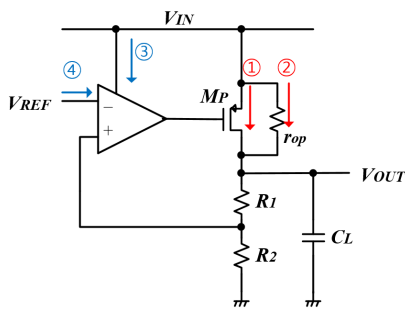


Fig. 2. Ripple paths of conventional LDO.
그림 2. 기존의 LDO 레귤레이터의 리플 경로

그림 3은 기존 LDO 레귤레이터에서의 PSR의 주파수 특성을 나타낸다. 경로 ①은 리플의 주파수가 높아질수록 루프 밴드 폭이 충분히 크지 못하여 전력 MOSFET의 ΔV_{GS} 가 발생하는 문제이며, 경로 ②는 power MOSFET의 유한한 출력 저항 r_{op} 를 통해 출력 노드에 리플 전류가 전달되는 문제이다. 오차 증폭기 및 BGR에서의 경로 ③ 및 경로 ④는 자체 밴드 폭의 제한 때문에 리플 특성이 저주파에서는 영향을 끼치지만 고주파에서는 영향을 끼치지 않는다. 요약하면, 저주파에서는 4개의 경로가 모두 영향을 끼치고, 경로 ① 및 ②는 고주파에서 영향을 끼친다[4].

이러한 리플의 경로들을 통해 PSR이 저하 되는 문제를 보완하기 위하여 다양한 PSR 향상 기법들이 제시되었다. 피드포워드(feedforward) 증폭기와 가산(summing) 증폭기를 이용한 PSR 향상 기법

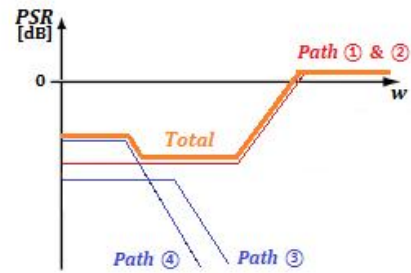


Fig. 3. PSR for four ripple paths of conventional LDO.
그림 3. 기존의 LDO 레귤레이터의 4 가지 리플 경로에 대한 PSR 특성

[4], 대역통과 필터와 자동조정(auto-adjustment) 블록을 이용한 PSR 향상 기법 [5], 보조 LDO 레귤레이터가 있는 NMOS 캐스코드 LDO를 이용한 PSR 향상 기법 [6] 등을 들 수 있다. 이러한 기법들은 기본적으로 추가의 증폭기나 레귤레이터들을 사용하므로 하드웨어 오버헤드가 커지며 추가되는 아날로그 회로의 또 다른 대역폭의 제한을 받는다 [7-8].

본 논문에서는 고역통과 필터 및 단일 트랜지스터를 이용한 직접 보상(direct compensation) 방식으로 고주파 전원 잡음을 상쇄하여 넓은 주파수 범위에서 높은 PSR 특성을 가지는 LDO를 제안한다.

II. 본론

1. 제안하는 LDO 레귤레이터의 설계

그림 4에 보인 제안하는 LDO 레귤레이터는 경로 ① 및 경로 ②를 통과하는 리플에 초점을 맞춘다. 기존의 LDO 레귤레이터의 구성 요소에 고역통과 필터(high-pass filter, HPF) (R_F, C_F), 버퍼(M_{F1}, M_{F2}), 및 직접 보상 트랜지스터(M_C)를 추가하였다.

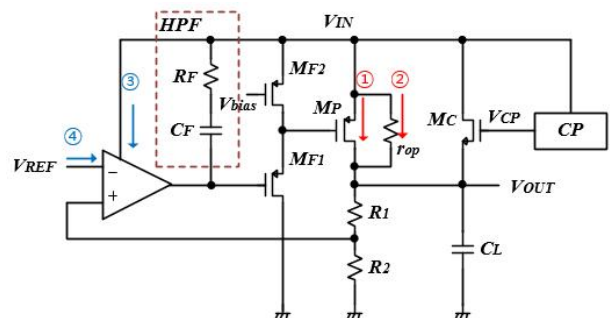


Fig. 4. Schematic of proposed LDO regulator.
그림 4. 제안하는 LDO 레귤레이터의 회로도

먼저, 경로 ①의 이슈를 해결하기 위하여 고역통과 필터(HPF) 및 소오스 팔로워를 도입하였다. HPF는 AC 커플링을 이용하여 V_{in} 리플이 전력 MOSFET의 게이트에 그대로 전달된다. 소오스 팔로워는 AC 커플링 캐패시터와 M_P 의 게이트 옥사이드 캐패시터를 임피던스의 관점에서 분리시킴으로써 리플 신호가 M_P 의 게이트에서 감쇄되는 것을 방지하며, M_P 의 게이트에서 주 극점(dominant pole)이 발생하지 않도록 하여 안정성을 향상시킨다.

경로 ②를 통한 리플 전류의 전달 문제를 해결하기 위해 출력 단에 M_C 를 M_P 에 병렬로 연결하였다. M_C 는 피드포워드 동작으로 그 반응이 즉각적이어서 고주파 리플에도 대응할 수 있다. 만약 r_{op} 를 통과하는 리플 전류가 발생하면 그 전류를 즉각적으로 흡수하므로 고주파 영역에서도 PSR을 유지한다. 소오스가 출력 노드에 연결되고 게이트에는 전하펌프(charge pump, CP)를 통한 고전압이 가해지므로, 부하 전류의 변화에도 즉각 대응할 수 있다. 그림 5는 제안하는 LDO 레귤레이터의 전하펌프로써 V_{in} 을 $\times 2$ 로 부스팅하여 M_C 의 게이트 전압 V_{CP} 를 발생시킨다.

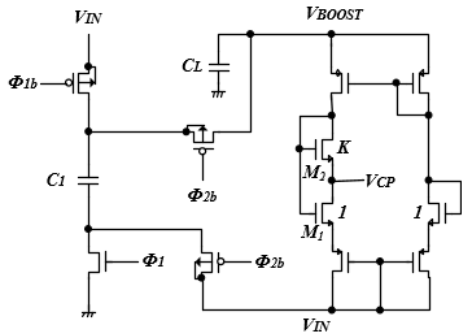


Fig. 5. Voltage-boosting circuit for the compensation NMOS transistor.

그림 5. 보상 NMOS 트랜지스터의 게이트 전압 부스팅 회로

M_C 의 게이트 전압 V_{CP} 는 다음과 같다.

$$V_{CP} = V_{IN} + |V_{GSP}| + V_{GS1} - V_{GS2} \quad (1)$$

그림 6(a)는 출력 단 부분의 회로를 나타낸 것이며 그림 6(b)는 이의 소신호 등가회로를 나타낸 것이다. 출력 노드에 KCL을 적용하여 PSR을 구하면 다음과 같다.

$$\frac{V_{in} - V_{out}}{r_{op}} - g_{mn}v_{out} = \frac{v_{out}}{R_1 + R_2} \quad (2)$$

$$\frac{v_{in}}{r_{op}} = \left(\frac{1}{R_1 + R_2} + \frac{1}{r_{op}} + g_{mn} \right) v_{out} \quad (3)$$

$$\frac{v_{in}}{v_{out}} = 1 + \frac{r_{op}}{R_1 + R_2} + g_{mn}r_{op} \quad (4)$$

$$PSR = 20 \log \left(\frac{V_{in}}{V_{out}} \right) = 20 \log \left(1 + \frac{r_{op}}{R_1 + R_2} + g_{mn}r_{op} \right) \quad (5)$$

M_P 의 구동 능력과 칩 면적을 고려하면 큰 출력 저항을 구현하기는 어려우므로 g_{mn} 을 증가시키는 방법으로 PSR을 증가시킨다.

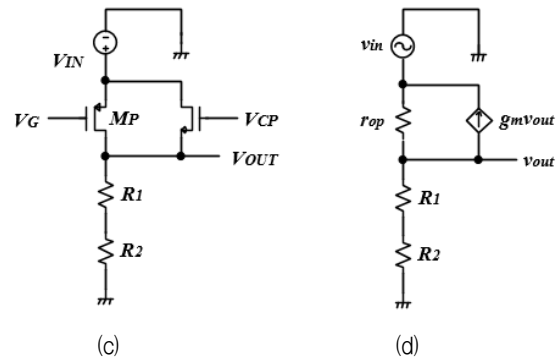
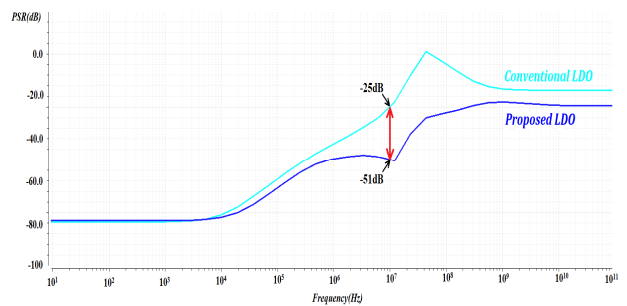
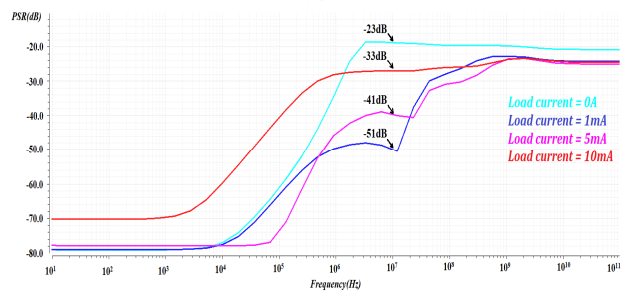


Fig. 6. Small signal equivalent circuit of proposed LDO. 그림 6. 제안하는 LDO 레귤레이터의 소신호 등가회로



(a)



(b)

Fig. 7. PSR simulation of proposed LDO.

그림 7. 제안하는 LDO 레귤레이터의 전원 잡음 제거 시뮬레이션

2. 시뮬레이션 결과

가. 전원 잡음 제거

그림 7(a)는 종래의 LDO와 제안하는 LDO 레귤레이터의 PSR의 주파수 특성을 같은 조건으로 비교하여 시뮬레이션 한 결과이다. 종래의 LDO는 1MHz에서 -42.61dB, 10MHz에서 -25.07dB, 100MHz에서 -4.76dB의 PSR을 보이며, 제안하는 LDO 레귤레이터는 1MHz에서 -49.56dB, 10MHz에서 -51.17dB, 100MHz에서 -27.68dB의 PSR 결과를 얻었다. 10MHz 이상의 주파수에서는 25dB이상의 개선 효과를 확인할 수 있다. 그림 7(b)는 여러 부하 조건에서의 PSR의 주파수 특성을 시뮬레이션 한 결과이다.

나. 안정성

그림 8은 제안하는 LDO 레귤레이터의 여러 부하 조건에 따른 안정도 시뮬레이션 결과이다. 부하 전류가 0A에서 위상여유(phase margin) PM = 57.6549, 1mA에서 PM = 92.2354, 5mA에서 PM = 91.8909, 10mA에서 PM = 90.9196의 결과를 얻어 안정성을 확보하였다.

다. 부하 레귤레이션

그림 9는 제안하는 LDO 레귤레이터의 부하 레귤레이션(load regulation)을 나타낸 시뮬레이션 결과이다. 부하 전류가 0A에서 10mA로 갑자기 변할 때(10ns)의 출력 전압을 나타낸 것으로써 Load regulation = 0.014 mV/mA의 결과를 얻었으며 부하가 변함에 따라 LDO 레귤레이터가 응답하는 시간은 약 12ns, 정착 시간(settling time)은 약 7.7μs의 결과를 얻었다.

라. 라인 레귤레이션

그림 10은 제안하는 LDO 레귤레이터의 라인 레귤레이션(line regulation)을 나타낸 시뮬레이션 결과이다. 공급 전압이 3.3V에서 3.63V로 갑자기 변할 때(10ns)의 출력 전압을 나타낸 것으로써 Line regulation = 0.011 %의 결과를 얻었으며 공급 전압이 변함에 따라 LDO 레귤레이터가 응답하는 시간은 약 2ns, 정착 시간(settling time)은 약 7μs의 결과를 얻었다.

표 1은 제안하는 LDO 레귤레이터의 성능을 요약한 것이다. 테스트 회로는 MagnaChip의 0.35-μm CMOS공정을 사용하여 Cadence Spectre로 설계하였다.

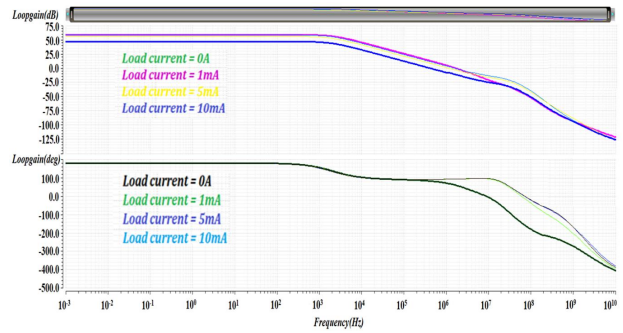


Fig. 8. Stability simulation of proposed LDO.

그림 8. 제안하는 LDO 레귤레이터의 안정성 시뮬레이션

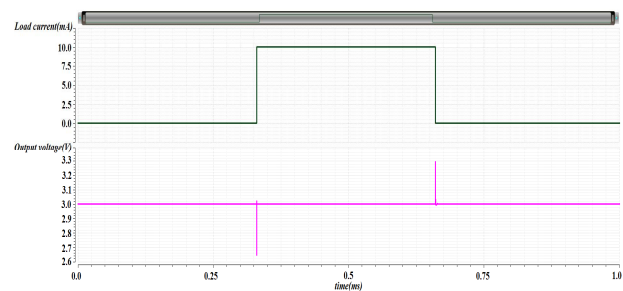


Fig. 9. Load regulation simulation of proposed LDO

그림 9. 제안하는 LDO 레귤레이터의 부하 레귤레이션 특성 시뮬레이션

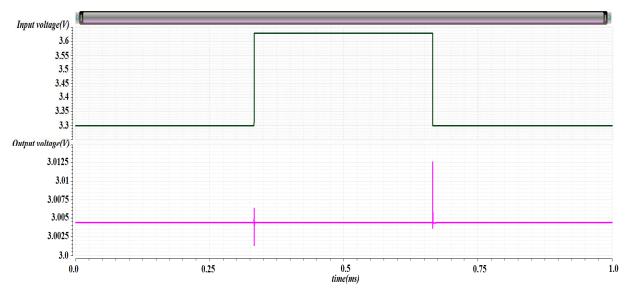


Fig. 10. Line regulation simulation of proposed LDO.

그림 10. 제안하는 LDO 레귤레이터의 라인 레귤레이션 특성 시뮬레이션

Table 1. Performance summary of the proposed LDO

표 1. 제안하는 LDO 레귤레이터의 성능 요약

Parameters	Value
Technology	0.35 [μm]
Vin	3.3 [V]
Vout	3.0 [V]
Drop-out voltage	0.3 [V]
Load regulation	0.014 [mV/mA]
Line regulation	0.011 [%]
PSR	-64.71 @100kHz [dB]
	-49.56 @1MHz [dB]
	-51.17 @10MHz [dB]

III. 결론

본 논문에서는 LDO 레귤레이터의 고주파 영역에서의 PSR 개선을 위해 단일 트랜지스터를 사용하는 간단한 보상 회로를 제안하였다. 표준 0.35- μ m CMOS 공정을 이용한 검증 결과, 특히 10MHz 이상의 주파수에서 26 dB 이상의 개선 효과를 보였다.

References

- [1] Byuncho choi, "Fundamentals of PWM Dc-to-Dc Power Conversion," 2ed ed, Young Publishing Co., vol.1, pp.67-152, 2010.
- [2] Chenchang Zhan and Wing-Hung Ki, "Output Capacitor-Free Adaptively Biased Low-Dropout Regulator for System-on-Chips," *IEEE Transactions on Circuits and System-I : Regulator Papers*, vol.57, No.5, 2010.
DOI: 10.1109/EDSSC.2010.5713774
- [3] Huei-Sheng Jhung, Jia-Hui Wang, Sheng-Wen Lai, Chien-Hung Tsai, "A High PSR over Wideband Frequency Range Low Dropout Voltage Regulator," *The 2010 International Conference on Green Circuits and Systems*, pp.508-511, 2010.
DOI: 10.1109/ICGCS.2010.5543010
- [4] Mohamed El-Nozahi, Ahmed Amer, Joselyn Torres, Kamran Entesari, and Edgar Sánchez-Sinencio, "High PSR Low Drop-Out Regulator With Feed-Forward Ripple Cancellation Technique," *IEEE Journal of Solid-State Circuits*, vol.45, No.3, 2010. DOI: 10.1109/JSSC.2009.2039685
- [5] Edward N. Y. Ho, Philip K. T. Mok, "Wide-Loading-Range Fully Integrated LDR With a Power-Supply Ripple Injection Filter," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol.59, No.6, 2012.
DOI: 10.1109/TCSII.2012.2195061
- [6] Chenchang Zhan and Wing-Hung Ki, "Analysis and Design of Output-Capacitor-Free Low-Dropout Regulators With Low Quiescent Current and High Power Supply Rejection," *IEEE Transactions on*

Circuits and System- I:Regulator Papers, vol.61, No.2, 2014. DOI: 10.1109/TCSI.2014.2300847

- [7] S. K. hoon, S. Chen. F. Maloberti. J. Chen, and B. Aravind, "A Low Noise, High Power Supply Rejection Low Dropout Regulator for Wireless System-on-Chip Applications," *Proceedings of the IEEE 2005 Custom Integrated Circuits Conference*, pp.754-757, 2005. DOI: 10.1109/CICC.2005.1568779
- [8] J. Chen, and X. Xi, "Low dropout voltage regulator with improved power supply rejection ratio," *U.S. Patent 6 541 946 BI*, 2003.

BIOGRAPHY

Yeong Ho Yun (Member)



2019 : BS degree in Electrical Engineering, Kookmin University.
He works for MS degree in analog circuit design

Daejeong Kim (Member)



1987 : BS degree in Electronics Engineering, Seoul National University.

1989 : MS degree in Electronics Engineering, Seoul National University.

1994 : Ph.D degree in Electronics Engineering, Seoul National University.

1994~1999 : Research Engineer, LG Semiconductor.

1999~ : Professor in Kookmin University.

Hyunsun Mo (Member)



1993 : BS degree in Electrical Engineering, Kookmin University.

2011 : MS degree in Electronics Engineering, Kookmin University.

2014 : Ph.D degree in Electrical Engineering, Kookmin University.

1993~2007 : Research Engineer, Samsung Electronics.

2018~ : Associate Professor in Kookmin University.