

## USB Type-C 응용을 위한 Embedded Flash IP 설계

김영희, 이다솔, 김홍주, 이도규, 하판봉

### Design of an Embedded Flash IP for USB Type-C Applications

Young-Hee Kim, Da-Sol Lee, Hongzhou Jin, Do-Gyu Lee, Pan-Bong Ha

**요약** 본 논문에서는 110nm eFlash 셀을 사용한 512Kb eFlash IP를 설계하였다. eFlash 셀의 프로그램, 지우기와 읽기 동작을 만족시키는 row 구동회로(CG/SL 구동회로), write BL 구동회로(write BL 스위치 회로와 PBL 스위치 선택 회로), read BL 스위치 회로와 read BL S/A 회로와 같은 eFlash 코어회로(Core circuit)를 제안하였다. 그리고 프로그램 모드에서 9.5V와 erase 모드에서 11.5V의 VPP(Boosted Voltage) 전압을 공급하는 VPP 전압 발생기 회로는 기존의 단위 전하펌프 회로로 cross-coupled NMOS 트랜지스터를 사용하는 대신 body 전압을 ground에 연결된 12V NMOS 소자인 NMOS 프리차징 트랜지스터의 게이트 노드 전압을 부스팅하는 회로를 새롭게 제안하여 VPP 단위 전하펌프의 프리차징 노드를 정상적으로 VIN(Input Voltage) 전압으로 프리차징 시켜서 VPP 전하펌프 회로의 펌핑 전류를 증가시켰다. 펌핑 커패시터로는 PMOS 펌핑 커패시터에 비해 펌핑전류가 크고 레이아웃 면적이 작은 12V native NMOS 펌핑 커패시터를 사용하였다. 한편 110nm eFlash 공정을 기반으로 설계된 512Kb eFlash 메모리 IP의 레이아웃 면적은  $933.22\mu\text{m} \times 925\mu\text{m}$  ( $=0.8632\text{mm}^2$ )이다.

**Abstract** In this paper, we design a 512Kb eFlash IP using 110nm eFlash cells. We proposed eFlash core circuit such as row driver circuit (CG/SL driver circuit), write BL driver circuit (write BL switch circuit and PBL switch select circuit), read BL switch circuit, and read BL S/A circuit which satisfy eFlash cell program, erase and read operation. In addition, instead of using a cross-coupled NMOS transistor as a conventional unit charge pump circuit, we propose a circuit boosting the gate of the 12V NMOS precharging transistor whose body is GND, so that the precharging node of the VPP unit charge pump is normally precharged to the voltage of VIN and thus the pumping current is increased in the VPP (boosted voltage) voltage generator circuit supplying the VPP voltage of 9.5V in the program mode and that of 11.5V in the erase mode. A 12V native NMOS pumping capacitor with a bigger pumping current and a smaller layout area than a PMOS pumping capacitor was used as the pumping capacitor. On the other hand, the layout area of the 512Kb eFlash memory IP designed based on the 110nm eFlash process is  $933.22\mu\text{m} \times 925\mu\text{m}$  ( $=0.8632\text{mm}^2$ ).

**Key Words** : core circuit, eFlash IP, eFlash cell, VPP charge pump, non-volatile memory

#### 1. 서론

임베디드 시스템 설계는 내장형 메모리 IP (Intellectual Property) 발전, 저전력 설계기술, 칩 스택(chip stack)과 같은 3D 집적(integration) 등과 같은 가능하게 하는 많은 요소를 가지고 있다[1]. 이들 요

소 중 내장형 메모리 IP는 시스템 비용, 성능과 파워 측면에서 가장 중요한 기본 기술이며, 시장에서 SRAM IP와 eFlash (embedded Flash) 메모리 IP가 우위를 차지하고 있다[1].

초기 MCU 시스템의 내장형 비휘발성 메모리

This research is financially supported by Changwon National University in 2019~2020.

\*Corresponding Author : Department of Electronic Engineering, Changwon National University (youngkim@changwon.ac.kr)

Received June 13, 2019

Revised June 26, 2019

Accepted June 26, 2019

(non-volatile memory) IP로는 코드 저장용으로 Mask ROM 메모리 IP가 사용되었고, 대용량의 데이터 저장을 위한 EEPROM 메모리 칩이 별도로 사용되어 왔다[2]. 코드 ROM과 데이터 ROM을 합친 eFlash 메모리 IP가 1990년대에 개발되었고[1][2], 응용 제품에 따라 512Kb 이상의 대용량 메모리는 Flash 메모리 IP가 EEPROM IP[3][4]보다는 많이 사용된다[5].

한편 프로그램 모드와 지우기 모드에서 각각 9.5V와 11.5V의 VPP (Boosted Voltage) 전압을 공급하는 기존의 단위 전하펌프 회로에서 전하펌핑 시 부스팅 노드 전압이 cross-coupled PMOS 트랜지스터를 통해 전하전달이 되면서 부스팅 노드의 전압이 떨어지고, 2개 펌핑 노드의 전압이 crossing될 때 backward 전류가 VIN(Input Voltage) 노드로 흐르면서 body effect로 인한 높은 문턱전압 (threshold voltage)을 갖는 cross-coupled NMOS 트랜지스터에 의해 프리차징 노드를 정상적으로 VIN 전압으로 프리차징 시키지 못하는 문제가 있다. 그래서 펌핑 전류는 떨어진다.

본 논문에서는 USB type-C 응용을 위한 110nm eFlash (embedded Flash) 셀을 사용한 512Kb eFlash IP를 설계하였다. Hot carrier injection 방식의 프로그램, FN 터널링(tunneling) 방식의 지우기 동작을 만족시키는 eFlash 코어회로를 제안하였다. 제안된 eFlash 코어회로는 row 구동회로, write BL(Bit-Line) 구동회로와 read BL S/A(Sense Amplifier) 회로이다. VPP 전하펌프 회로의 펌핑 전류는 떨어지는 문제를 해결하기 위해 본 논문에서는 cross-coupled NMOS 프리차징 회로를 사용하는 대신 body가 GND인 12V NMOS 프리차징 트랜지스터의 게이트를 부스팅하는 회로를 제안하여 VPP 단위 전하펌프의 프리차징 노드를 정상적으로 VIN 전압으로 프리차징 시켜서 펌핑 전류를 증가시켰다. 한편 110nm eFlash 공정을 기반으로 설계된 512Kb eFlash 메모리 IP의 레이아웃 면적은  $933.22\mu\text{m} \times 925\mu\text{m}$  ( $=0.8632\text{mm}^2$ )이다.

## 2. 회로 설계

비휘발성 메모리는 256×8bit Mask ROM 칩

이 1969년, PROM 칩은 1970년, EPROM 칩은 1971년에 제품화되었다[6]. 1983년 16Kb EEPROM이 발표되었고, 전기적으로 block erase가 가능한 Flash 메모리 셀은 Triple Poly Flash EEPROM 셀[7]이 1984년 발표되었고, 1988년 ETOX (EEPROM Tunnel Oxide) Flash EEPROM[8]이 세계 최초로 발표되었다.

eFlash 셀은 전하를 저장하는 storage layer가 있는 FG(Floating Gate)인 FG 소자가 많이 사용되며, eFlash 셀에 사용되는 트랜지스터의 수에 따라 1T 셀, 1.5T 셀과 2T 셀로 구분된다. 1T 셀은 셀 사이즈가 작아서 대용량 메모리에 적합한 NOR type 셀로 부가적인 공정이 필요하고 over-erase 문제와 data retention에 취약하므로 eFlash 메모리의 용량이 아주 크지 않는 경우 사용이 되지 않는다. Split gate FG 셀인 1.5T FG 셀[9-11]과 2T FG 셀[12-16]은 1T FG 셀보다 셀 사이즈 크지만 성능과 전력소모 특성이 우수하므로 1T FG 셀보다 더 많이 사용되고 있다.

1.5T FG 셀인 1세대 SuperFlash 메모리 셀은 그림 1에서 보는 바와 같이 뾰족한 FG tip을 가지고 있다[11]. 높은 SL (Source Line) 전압은 FG에 coupling되고 셀 문턱전압(threshold voltage)보다 살짝 위에 있는 낮은 CG 전압은 FG와 CG 사이에 있는 gap 영역에 높은 electric field를 유지한다. 수평과 수직 electric field의 크기는 gap 영역에서 최대를 가지기 때문에 hot electron들은 gap 영역에서 효율적으로 만들어지고 FG로 주입된다[1]. 그래서 SuperFlash 셀은 source-side electron injection 방식을 통해 프로그램 되고 프로그램 전류가  $5\mu\text{A}$ 로 작다. 그리고 뾰족한 FG tip을 통해 poly-to-poly FN (Fowler-Nordheim) tunneling 방식으로 erase 된다. 2T 셀인 pFlash 셀은 PMOS FG 트랜지스터와 PMOS select 트랜지스터가 BL과 CS (Common Source Line) 사이에 직렬로 연결되어 있으며 1.5T 셀과 마찬가지로 over-erase 문제는 없다[1][12]. 이들 eFlash 셀중 SuperFlash cell이 over-erase 문제도 없고 프로그램 전류가  $5\mu\text{A}$

로 작기 때문에 가장 많이 사용된다.

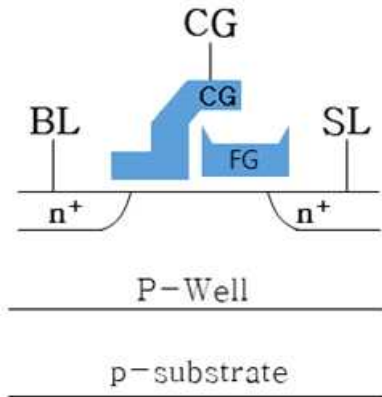


그림 1. 1세대 SuperFlash 셀의 공정단면도.  
Fig. 1. Process cross-section of a 1st generation SuperFlash cell.

본 논문에서는 그림 1의 1세대 SuperFlash 셀을 사용한 110nm eFlash 공정기반 512Kb eFlash IP를 설계하였다. eFlash 셀의 동작 모드별 선택된 셀 바이어스 조건은 다음과 같다. 프로그램 모드에서 셀 바이어스 조건은 CG, BL, SL의 전압을 각각 1.5V, 0.8V, 9.5V 인가하면 SL이 연결된 source side에서 수평 방향의 높은 electric field에 의해 electron이 가속되어 hot electron이 발생되어 수직 방향의 높은 electric field에 의해 FG로 주입된다[1]. 이와같이 hot electron injection에 의해 eFlash 셀의 문턱전압이 4V 정도로 상승한다. 지우기 모드에서 셀 바이어스 조건은 CG, BL, SL의 전압을 각각 11.5V, 0V, 0V 인가하면 FG poly로부터 CG poly로 FN 터널링에 의해 전자 소거 (electron ejection)이 일어난다[1]. 이와같이 전자 소거에 의해 eFlash 셀의 문턱전압이 0.8V 이하로 감소한다. 한편 읽기 모드에서 셀 바이어스 조건은 CG, BL, SL의 전압을 각각 2.5V, 0.8V, 0V 인가하면 erased 셀은 ON 상태를 유지하고 ON 전류가 40 $\mu$ A 흐르는 반면, program 셀은 OFF 상태를 유지하고 OFF 전류는 1nA 이하의 전류가 흐른다. BL S/A는 ON 전류와 OFF 전류를 구분하므로 데이터 '0'과 '1'을 각각 출력한다.

110nm eFlash 공정을 사용하여 설계된 512Kb

eFlash IP의 주요 특징은 표 1과 같다. eFlash 셀은 그림 1의 split 게이트 eFlash 셀을 사용하고 있으며, CG (Control Gate)와 SL (Source Line)은 Metal1을 사용하여 행(row) 방향으로 라우팅 되어 있으며, BL은 Metal2를 사용하여 열 (column) 방향으로 라우팅 되어 있다. 사용되는 전압은 VCC와 VDD의 dual power를 사용하고 있고 VCC 전압은 2.5V~5.5V의 넓은 동작 전압 범위를 가지며, VDD 전압은 1.5V 로직 소자에 사용하는 전압으로 1.5V $\pm$ 10%이다. 동작 모드는 정상동작 모드로 읽기, 페이지 지우기 (page erase), 프로그램(program) 모드가 있으며, write-verify-read 모드로 erase-verify-read와 program-verify-read 모드가 있다. 그리고 all erase 모드를 지원하고 있다. eFlash 셀 어레이는 512행  $\times$  1,024열로 구성되어 있으며, 페이지 지우기, 프로그램과 읽기 동작은 각각 1Kbit, 32bit, 32bit 단위로 수행된다.

표 1. 설계된 512Kb eFlash IP의 주요 특징.  
Table 1. Major specifications of the designed 512Kb eFlash IP.

Items	Main Features	
Supply Voltage	VCC	2.5V ~ 5.5V
	VDD	1.35V ~ 1.65V
Function	Normal Mode	Read / Page Erase / Program
	Write-Verify-Read	Erase-Verify-Read / Program-Verify-Read
	Others	All Erase / Cell V <sub>t</sub> Measuring
Memory Density	512Kb	
Cell Array	512Rows $\times$ 1024Columns	
I/O	32bit	
Temperature Range	-40~125 $^{\circ}$ C	
Erase Time	10ms	
Program Time	10 $\mu$ s	
Access Time	40ns	
Endurance	100K Cycles	
Data Retention	10Years	

512Kb eFlash IP의 코어 회로는 CG와 SL을 구동하는 row 구동회로, 지우기와 프로그램 모드인 write 모드에서 해당되는 전압을 BL에 스위칭 해주는 WBL (Write Bit-Line) 스위칭 회로와 프로그램 모드에서 32개 WDb\_BL을 선택해주는 PBL\_SEL 회로가 있다. 그리고 읽기 모드에서 BL을 선택해주는 BL 스위치 회로, 선택된 BL에 연결된 eFlash 셀 전류를 읽어내 데이터를 출력하는 BL S/A 회로로 구성되어 있다.

그림 2는 row 구동회로로 CG 구동회로는 동작모드에 따라 선택되는 CG는 CG\_HV, 선택 안되는 CG는 0V를 구동한다. 표 2는 동작 모드에 따라 CG\_HV의 스위칭 출력전압을 보여주고 있다. CG\_HV 전압은 읽기 모드에

서 2.5V, 프로그램 모드에서 1.5V와 페이지 지우기 모드에서 11.5V의 스위칭 파워를 공급한다. 그림 2의 SL 구동회로는 지우기 모드에서만 SL\_ENb 신호가 VDD가 되며, 나머지 동작모드는 0V가 된다. 그래서 지우기 (page erase / all erase) 모드에서는 SL\_SEL와 SL\_SELb 신호는 각각 0V, VPP가 출력되어 MN0가 ON이 되면서 SL은 VSL\_UNSEL 전압인 0V를 구동한다. 그리고 지우기 모드가 아닌 나머지 모드들은 SL\_ENb 신호가 0V이므로 행 어드레스 RA[8:0]에 의해 선택된 SL은 SL\_SEL와 SL\_SELb 신호가 각각 VPP, 0V가 출력되므로 MP1과 MN1 MOS 트랜지스터를 ON시켜 SL 전압을 VSL\_SEL 전압으로 구동하는 반면, RA[8:0]에 의해 선택되지 않는 SL은 SL\_SEL와 SL\_SELb 신호가 각각 0V, VPP가 출력되므로 MP1과 MN1 MOS 트랜지스터를 OFF시켜 SL 전압을 VSL\_UNSEL 전압으로 구동한다. 동작 모드별 VSL\_SEL 전압과 VSL\_UNSEL 전압은 표 2에서 보는 바와 같다.

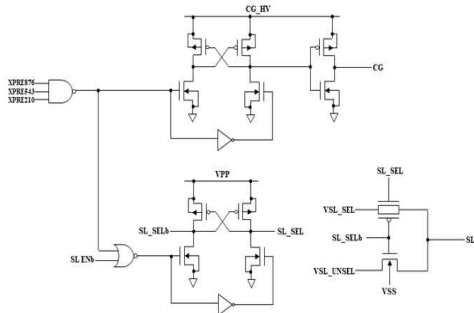


그림 2. Row 구동회로.  
Fig. 2. Row driver circuit.

표 2. 동작모드에 따른 HV 스위칭 파워의 출력전압.  
Table 2. Output Voltage of HV switching powers according to operating modes.

Functions	CG_HV	VSL_SEL	VSL_UNSEL	BL_HV	BL_LV
Power-Down Reset	VCC	0V	0V	VCC	0V
Stand-by	VCP	0V	0.5V	VCP	0V
Read	VCP	0V	0.5V	VCP	0V
Program	1.5V	9.5V	0.5V	3.3V	0.8V
Page Erase	11.5V	0V	0V	VCP	0V
EVR	1.5V	0V	0.5V	VCP	0V
PVR	3.5V	0V	0.5V	VCP	0V
FVTE	VTEM	0V	0.5V	VCP	0V
FVTP	VTPM	0V	0.5V	VCP	0V
Chip Erase	11.5V	0V	0V	VCP	0V

드에서만 PBL\_ENb 신호는 0V를 출력하여 MP3 트랜지스터를 ON시키고 지우기 모드와 읽기 모드를 포함하는 나머지 모드는 BL\_HV 전압을 출력하므로 MP3 트랜지스터는 OFF 상태가 된다. 그림 3(a)의 WBL 스위치 회로의 동작을 보면 프로그램 모드에서는 PBL\_ENb 신호는 0V를 출력하고 열 어드레스 CA[4:0]에 의해 선택된 PBL\_SEL와 PBL\_SELb 신호는 각각 BL\_HV와 0V를 출력하므로 그림 3(a)의 MP5와 MN5 트랜지스터를 ON시킨다. 이렇게 되면 BL은 WDb\_BL 전압을 그대로 스위칭해 주는데 WDb\_BL은 프로그램 데이터가 VDD와 0V에 대해 각각 0V와 BL\_HV (=3.3V)를 구동한다. 그리고 프로그램 모드에서 선택되지 않은 PBL\_SEL와 PBL\_SELb 신호는 각각 0V와 BL\_HV를 출력하므로 해당되는 BL의 MP5와 MN5는 OFF, MP3와 MP4는 ON 상태가 되므로 BL 전압은 inhibit voltage인 BL\_HV 전압을 구동한다. 한편 지우기 모드에서는 PBL\_ENb 신호는 BL\_HV (=2.5V) 전압을 출력하므로 그림 3(a)의 MP3 트랜지스터를 OFF시키고, PBL\_SEL와 PBL\_SELb 신호는 각각 BL\_HV와 0V를 출력하므로 MP5와 MN5 트랜지스터를 ON시켜 모든 BL은 WDb\_BL에 의해 0V를 구동한다. 또한 읽기 모드에서는 PBL\_ENb 신호는 BL\_HV (=2.5V) 전압을 출력하므로 그림 3(a)의 MP3 트랜지스터를 OFF시키고, PBL\_SEL와 PBL\_SELb 신호는 각각 0V와 BL\_HV를 출력하므로 MP5와 MN5 트랜지스터를 OFF시켜 모든 BL은 high impedance 상태를 유지한다.

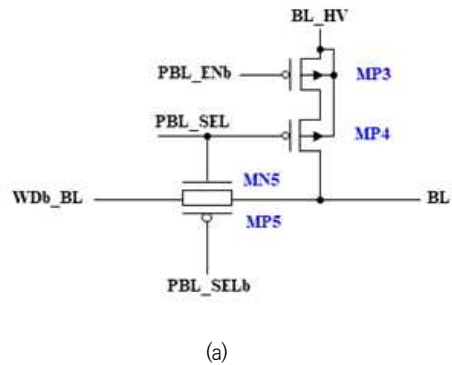


그림 3은 write 모드 시 BL 구동회로로 프로그램 모

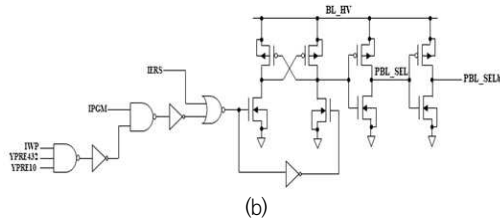


그림 3. Write 모드시 BL 구동회로 (a) WBL 스위치 회로 (b) PBL 스위치 선택회로.

Fig. 3. BL drive circuit in write mode: (a) WBL switching circuit and (b) PBL switch select circuit.

Read 모드시 RBL (Read Bit-Line) 스위치 회로는 그림 4에서 보는 바와 같이 1024개의 BL을 32개 BL로 나누어져 있으며, 32개 BL을 선택해주는 RBL\_SEL[31:0] 신호에 의해 해당되는 BL의 데이터가 DL (Data Line)에 전달된다. DL[31:0]에 전달된 32개의 eFlash 셀 데이터는 그림 5의 current S/A에 의해 센싱되어 DOUT으로 출력된다. Stand-by 상태에서 DL\_PCGb 전압은 0V이므로 MP1 트랜지스터가 ON 상태에 있으므로 RD 노드 전압은 VDD로 프리차징되고, MN2 트랜지스터가 ON되므로 RDb 노드 전압은 0V로 discharging 된다. 그리고 Read 모드로 진입하게 되면 DL\_CLAMPb 신호는 0V가 되므로 DL 클램핑 회로의 동작에 의해 DL은 0.8V 정도로 클램핑 되면서 BL 전압도 0.8V로 프리차징된다. BL 전압을 충분히 프리차징한 상태에서 DL을 프리차징시키는 신호인 DL\_PCGb 신호가 0V에서 VDD로 disable 되면 MN2과 MP1 트랜지스터는 OFF 상태가 된다[6]. 한편 eFlash 셀이 프로그램된 셀인 경우 MN1을 통한 풀-다운 전류가  $1\mu A$  수준으로 무시할 만큼 작으므로 RD, RDb, DOUT 노드 전압은 DL\_PCGb 신호가 0V 일 때의 전압인 VDD, 0V, VDD 전압을 각각 유지한다. 반면 erase된 eFlash 셀인 경우 eFlash 셀의 ON 전류 40 $\mu A$  정도가 MN1 트랜지스터를 통해 GND로 흐르면서 eFlash 셀의 ON 전류가 PMOS current mirror의 mirroring 되며, 이때 RDb의 mirroring된 전류가 MN3 트랜지스터를 통해 흐르는 기준전류보다 더 크게되면 RDb 노드 전압은 VDD로 상승하면서 DOUT (Output

Data)은 0V를 출력한다.

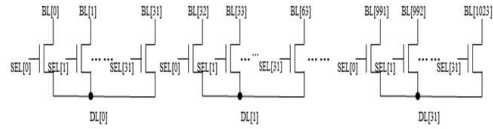


그림 4. Read BL 스위치 회로.  
Fig. 4. Read BL switch circuit.

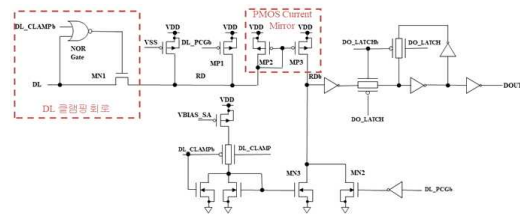


그림 5. 설계된 current S/A 회로[6].  
Fig. 5. The designed current S/A circuit[6].

기존의 VPP(Boosted Voltage) 단위 전하펌프 회로[17]는 그림 6(a)에서 보는 바와 같다. 그림 6(a)의 cross-coupled NMOS 프리차징 방식의 VPP 전하펌프 회로는 CLK0, CLK1이 각각 0V, VCC일 때 N0, N1 노드 전압은 각각 VIN, VIN+VCC 전압으로 되면서 MP1 트랜지스터를 통해 boosting된 전압은 출력으로 전달되고 N0 노드는 VIN 전압으로 프리차징되어야 한다. 그런데 VCC 전압이 2.5V인 경우에 12V HV (High Voltage) NMOS 트랜지스터의 body 전압이 GND에 연결되어 있으므로 body effect에 의해 문턱전압은 2V 정도까지 높아져 N0 노드 전압을 충분히 VIN으로 프리차징하지 못하는 문제와 N0와 N1 전압이 crossing하면서 MN1 트랜지스터는 OFF되어 있어야하나 backward 전류가 VIN 노드로 흘러서 펌핑전류가 떨어지는 문제점이 있다. 그림 6(b)의 boosted gate 전압을 이용한 NMOS 프리차징 방식의 VPP 전하펌프 회로는 DRAM에서 MN11과 MN12와 같은 isolated NMOS 트랜지스터를 사용하므로 body effect를 제거할 수 있고 CLK10, CLK11, CLK12와 CLK13는 non-overlap clock 신호이므로 NMOS 프리차징 트랜지스터 (MN11, MN12)를 통한 backward 전류 loss가 없다[18]. 2개

의 프리차지 회로 (MN19, MN20, MP17, MP18, MP19, MP20)는 stand-by 모드시 MN11, MN12의 게이트 노드 전압을 VCC 전압으로 프리차지 시키기 위해 추가되었으며, 이로 인해 전하펌핑 후 stand-by 모드 진입 시 부스팅된 전압을 VCC로 프리차징 시켜준다[18].

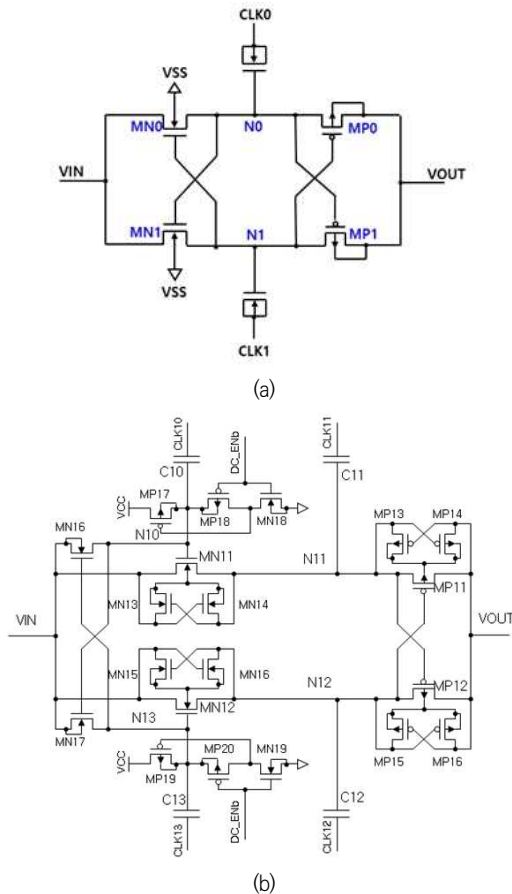


그림 6. 기존의 VPP 단위 전하펌프 회로 (a) cross-coupled NMOS 프리차징 방식[17]. (b) boosted gate 전압을 이용한 NMOS 프리차징 방식[18].

Fig. 6. The conventional VPP unit charge pump circuit: (a) cross-coupled NMOS precharging method[17] and (b) NMOS precharging method using boosted gate voltage[18].

그래서 본 논문에서는 eFlash 공정기반에서 12V의 NMOS 프리차징 트랜지스터와 12V PMOS cross-coupled 전하전달 스위치를 사용하면서 PMOS 펌핑 커패시터를 사용하는 그림 7의

VPP 단위 전하 펌프회로를 제안하였다. eFlash 공정에서는 그림 9(b)의 MN11과 MN12와 같은 isolated NMOS 트랜지스터가 지원되지 않으므로 그림 7의 MN21과 MN22와 같은 body가 GND인 12V NMOS 트랜지스터를 사용하였다. 그리고 MP21과 MP22와 같은 12V PMOS 트랜지스터의 body는 그림 7의 body potential biasing 회로 (MP23, MP24, MP25와 MP26)를 사용하여 N21과 VOUT 전압 중 높은 전압을 MP21의 body에 연결해주고, N22와 VOUT 전압중 높은 전압을 MP22의 body에 연결해주었다. BPBC (Body Potential Biasing Circuit)을 사용하지 않고 MP21과 MP22의 body를 VOUT 노드에 연결할 수도 있다. VPP 전하펌프 회로가 동작하지 않는 경우 2개의 프리차지 회로 (MN27, MN28, MP27, MP28, MP29, MP30)는 MN21, MN22의 게이트 노드 전압을 VIN 전압으로 프리차지 시켜준다. 그런데 각 펌핑 단의 출력 전압 노드는 별도의 VCC 프리차징 회로가 있어 VPP가 OFF되면 각 단위 전하펌프 회로의 VOUT 노드는 VCC로 프리차징 되기 때문에 그림 7의 단위 펌프회로에서 MN21과 MN22의 게이트 노드 전압을 VCC로 프리차징하지 않아도 된다. VPP 단위 전하펌프 회로의 펌핑 커패시터는 PMOS 트랜지스터, NMOS 트랜지스터와 native NMOS 트랜지스터를 사용할 수 있다. 펌핑전류와 레이아웃 면적을 검토하였을 때 native NMOS 펌핑 커패시터는 PMOS 펌핑 커패시터에 비해 펌핑전류도 크고 레이아웃 면적이 작아서 본 논문에서는 12V native NMOS 펌핑 커패시터를 사용하였다. 한편 본 논문에서의 VPP 전하펌프 회로는 그림 7의 단위 전하펌프 회로를 7단 cascade로 연결하여 사용하고 있다.

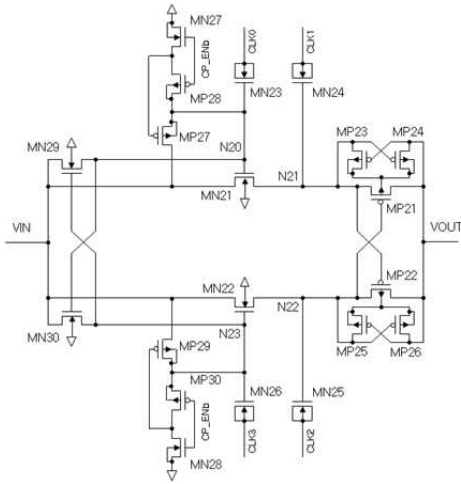


그림 7. 새롭게 제안된 VPP 단위 전하펌프 회로.  
Fig. 7. Newly proposed VPP unit charge pump circuit.

그림 8은 110nm eFlash 공정 기반으로 설계된 512Kb eFlash 메모리 IP의 레이아웃 이미지이며, 레이아웃 면적은  $933.22\mu\text{m} \times 925\mu\text{m}$  ( $=0.8632\text{mm}^2$ )이다.

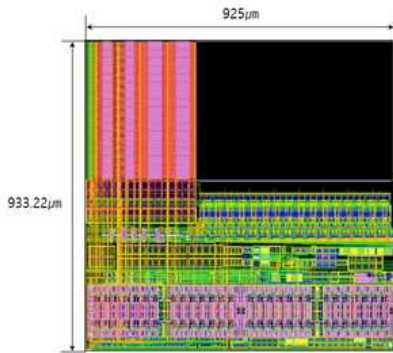


그림 8. 설계된 512Kb eFlash 메모리 IP의 레이아웃 이미지.  
Fig. 8. Layout image of the designed 512Kb eFlash memory IP.

### 3. 모의실험 결과

그림 9는  $VCC=2.5V$ ,  $VDD=1.35V$ ,  $Temp.=125^\circ\text{C}$ , slow model parameter의 simulation 조건에서 프로그램 모드에서의 셀 어레이 관련 선택된 신호와 선택되지 않은 신호의 출력파의 모의실험 결과를 보여주고 있다. 프로그램 모드에서 선택된 CG와 선택되지 않은 CG 전압은 각각 1.5V와 0V인 것을 보여주고 있으며,

선택된 SL과 선택되지 않은 SL 전압은 각각 9.5V와 0.8V인 것을 보여주고 있으며, 선택된 BL과 선택되지 않은 BL 전압은 각각 0.8V와 3.3V인 것을 보여주고 있다. 한편 지우기 모드에서 선택된 CG와 선택되지 않은 CG 전압은 각각 11.5V와 0V인 것을 보여주고 있으며, SL과 BL 전압은 모두 0V인 것을 보여주고 있다.

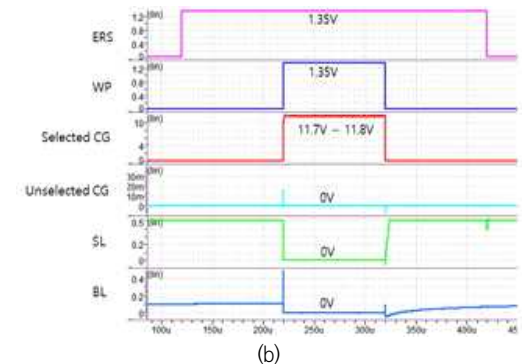
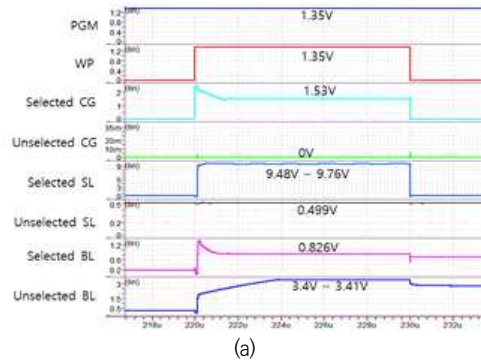


그림 9. 셀 어레이 관련 선택된 신호와 선택되지 않은 신호의 출력파형 (a) 프로그램 모드 (b) 지우기 모드.  
Fig. 9. Output waveforms of selected and unselected signals related to the cell array: (a) program mode and (b) erase mode.

표 3은 VPP 단위 전하펌프 회로에 따른 펌핑 전류 모의실험 결과를 보여주고 있다. 표 3에서 기존 단위 전하펌프 회로는 그림 6(a)이고, 새롭게 제안된 단위 전하펌프 회로는 그림 7의 회로를 사용하였다. 펌핑 커패시터는 accumulation 영역에서 동작하는 12V PMOS 펌핑 커패시터, inversion 영역에서 동작하는 12V normal NMOS와 12V native NMOS 커패시터 3가지를 사용하여 모의실험 결과를 비교하였다. 비교 결과

펌핑전류는 제안된 단위 전하펌프 회로에 native NMOS 펌핑 커패시터를 사용하는 경우 레이아웃 면적도 작고 펌핑전류도 크므로 12V native NMOS 펌핑 커패시터를 사용한 제안된 VPP 단위 전하펌프 회로를 사용하였다.

표 3. VPP 단위 전하펌프 회로에 따른 펌핑 전류 모의실험 결과.  
Table 3. Simulation results of pumping currents according to VPP unit charge pump circuit.

Charge Pump 회로	Pumping Capacitor	Pumping Current
Conventional	PMOS	1.16 $\mu$ A
	Normal NMOS	1.15 $\mu$ A
	Native NMOS	1.29 $\mu$ A
Newly Proposed	PMOS	19.89 $\mu$ A
	Normal NMOS	21.10 $\mu$ A
	Native NMOS	21.13 $\mu$ A

#### 4. 결 론

MCU 시스템은 코드 ROM과 데이터 ROM을 합친 eFlash 메모리 IP가 개발되었으며, 응용 제품에 따라 요구되는 512Kb 이상의 대용량 메모리 IP는 eFlash IP가 많이 사용된다.

본 논문에서는 USB type-C 응용을 위한 110nm eFlash 셀을 사용한 512Kb eFlash IP를 설계하였다. 프로그램과 지우기 동작을 만족시키는 row 구동회로, write BL 구동회로와 read BL S/A 회로와 같은 eFlash 코어회로를 제안하였다. 그리고 VPP 전압을 공급하는 기존의 단위 전하펌프 회로에서 전하펌핑 시 부스팅 노드 전압이 cross-coupled PMOS 트랜지스터를 통해 전하전달이 되면서 전압이 떨어지고, 2개 펌핑 노드의 전압이 crossing될 때 backward 전류가 흐르면서 body effect에 의해 높은 문턱전압을 갖는 cross-coupled NMOS 트랜지스터에 의해 프리차징 노드를 정상적으로 VIN 전압으로 프리차징 시키지 못해서 펌핑 전류가 떨어지는 문제가 있는 반면, 본 논문에서는 cross-coupled NMOS 프리차징 회로를 사용하는 대신 body가 GND인 12V NMOS 프리차징 트랜지스터의 게이트를 부스팅하는 회로를 제안하여 VPP 단위 전하펌프의 프리차징 노드를 정상적으로 VIN 전압으로 프리차징 시켜서 펌핑 전류를 증가시켰다. 펌핑 커패시터로는 펌핑전류도 크고 레이아웃 면적도 작은

12V native NMOS 펌핑 커패시터를 사용하였다. 한편 110nm eFlash 공정을 기반으로 설계된 512Kb eFlash 메모리 IP의 레이아웃 면적은  $933.22\mu\text{m} \times 925\mu\text{m}$  ( $=0.8632\text{mm}^2$ )이다.

#### REFERENCES

- [1] H. Hidaka, "Embedded Flash Memory for Embedded Systems: Technology, Design for Sub-systems, and Innovations," Springer International Publishing, 2017.
- [2] M. Hatanaka et al., "Value Creation in SOC/MCU Applications by Embedded Non-Volatile Memory Evolutions," *Asian Solid State Circuits Conference*, pp. 38-42, Nov. 2007.
- [3] Y. H. Kim et al., "Design of 40ns 512kb EEPROM IP," *The 4th ICIECT*, pp. 245-256, July 2018.
- [4] H. Park et al., "Design of a Cell Verification Module for Large-Density Memories," *Journal of KIECT*, vol. 10, no. 2, pp. 176-183, April 2017.
- [5] G. S. Cho, et al., "Design of a Small-Area Low-Power, and High-Speed 128-KBit EEPROM IP for Touch Screen Controllers," *Journal of KIMIC*, vol. 13, no. 12, pp. 2633-2640, Dec. 2009.
- [6] Y. H. Kim et al., "A Study on Memory Circuit Architecture," *ETRI Research Report*, Oct. 2017.
- [7] F. Masuoka et al., "A New Flash E<sup>2</sup>PROM Cell Using Triple Poly Silicon Technology," *IEEE IEDM Tech. Digest*, pp. 464-467, 1984.
- [8] G. Verma et al., "Reliability Performance of ETOX Based Flash Memories", *Proc. IEEE IRPS*, pp. 158-166, 1988.
- [9] S. Kianian et al., "A Novel 3 Volts-Only, Small Sector Erase, High Density Flash E2PROM", *Digest of Technical Papers, Symposium on VLSI Technology*, pp. 71-72, 1994.
- [10] H. Hidaka, "Evolution of Embedded Flash Memory Technology for MCU," *IEEE International Conference on IC Design & Technology*, pp. 1-4, May 2011.
- [11] Y. Tkachev et al., "Floating-Gate Corner-Enhanced Poly-to-Poly Tunneling in Split-Gate Flash Memory Cells," *IEEE Trans. on Electron Devices*, vol. 59, no. 1, pp. 5-11, Jan.



2012.

[12] Shang-De Ted Chang, "PMOS Memory Cell with Hot Electron Injection Programming and Tunnelling Erasing," US Patent 5,687,118, Nov. 11, 1997.

[13] M. V. Duuren et al., "Performance and Reliability of 2-Transistor FN/FN Flash Arrays with Hafnium Based High-K Inter-Poly Dielectrics for Embedded NVM", *IEEE NVSMW*, pp. 48-49, 2006.

[14] G. Tao et al., "A Quantitive Study of Endurance Characteristics and Its Temperature Dependence of Embedded Flash Memories with 2T-FN/FN NOR Device Architecture", *IEEE Trans. on Device and Materials Reliability*, vol. 7, no. 2, pp. 304-309, June 2007.

[15] Danny Pak-Chum Shum, "Two Transistor Flash Memory Cell", US Patent 6,307,781, Oct. 23, 2001.

[16] H. Y. Tsao et al., "Two Transistor Flash Memory Cell For Use in EEPROM Arrays with a Programmable Logic Device", US Patent 6,757,196, June 29, 2004.

[17] P. Favrat, "A High-Efficiency CMOS Voltage Doubler", *IEEE JSSC*, vol. 33, pp. 410-416, Mar. 1998.

[18] T. H. Kim et al., "VPP Generator Design for Low-Voltage DRAM," *Proceedings of the Korean Conference on Semiconductors*, pp. 547-548, Feb. 2008.

---

저자약력

---

**김 영 희 (Young-Hee Kim) [중신회원]**



- 1989년 2월 : 경북대학교 전자공학과 (공학사)
- 1997년 2월 : 포항공과대학교 전기전자공학과 (공학석사)
- 2000년 8월 : 포항공과대학교 전기전자공학과 (공학박사)
- 1989년 1월 ~ 2001년 2월 : 현대전자 책임연구원
- 2001년 3월 ~ 현재 : 창원대학교 전자공학과 교수

〈관심분야〉 메모리 IP 설계, SoC 설계

**이 다 솔 (Da-Sol Lee) [학생회원]**



- 2016년 6월 : 청주대학교 경영학과 (학사)
- 2017년 9월 ~ 현재 : 창원대학교 전자공학과 석사과정

〈관심분야〉 NVM IP설계, 아날로그 회로설계

**김 홍 주 (Hongzhou Jin) [학생회원]**



- 2017년 6월 : 연변대학교 전자정보통신학과 (공학사)
- 2017년 9월 ~ 현재 : 창원대학교 전자공학과 석·박사과정

〈관심분야〉 NVM IP 설계

**이 도 규 (Do-Gyu Lee) [학생회원]**



- 2018년 2월 : 창원대학교 전자공학과 (공학사)
- 2018년 3월 ~ 현재 : 창원대학교 전자공학과 석사과정

〈관심분야〉 NVM IP 설계

**하 판 봉 (Pan-Bong Ha) [중신회원]**



- 1981년 2월 : 부산대학교 전기공학과 (공학사)
- 1983년 2월 : 서울대학교 전자공학과 (공학석사)
- 1993년 2월 : 서울대학교 전자공학과 (공학박사)
- 1987년 3월 ~ 현재 : 창원대학교 전자공학과 교수

〈관심분야〉 임베디드 시스템, SoC 설계