

복수개의 부궤환 루프를 가진 초소형 크기의 위상고정루프

최 영 식*, 한 근 형

An Extremely Small Size Multi-Loop Phase Locked Loop

Young-Shig Choi*, Geun-Hyeong Han

요 약 본 논문에서는 복수개의 부궤환 루프를 도입하여 칩 크기를 획기적으로 줄이면서 잡음 특성을 유지할 수 있는 위상고정루프를 제안하였다. 칩 면적을 최소화하는 것이 주목표이므로 하나의 작은 크기의 커패시터로 구성된 1차 루프 필터와 복수개의 FVC를 사용하여 위상고정루프를 설계하였다. 전압제어 발전기에 연결된 복수개의 주파수-전압 변환 회로(frequency voltage converter : FVC)는 위상고정루프 내부에 복수개의 부궤환 루프를 만든다. 제안된 위상고정루프에서는 복수개의 부궤환 루프가 크기가 아주 작은 하나의 커패시터로만 구성된 루프필터를 가진 위상고정루프를 안정하게 동작하도록 해준다. 제안된 위상고정루프는 1.8V 0.18 μ m CMOS 공정을 이용하여 설계되었다. 시뮬레이션 결과는 1.6ps 지터와 10 μ s 위상고장시간을 보여주었다.

Abstract An extremely small size multi-loop phase-locked loop(PLL) keeping phase noise performances has been proposed. It has been designed to have the loop filter made of small single capacitor with multiple Frequency Voltage Converters (FVCs) because the main goal is to make the size of the proposed PLL extremely small. Multiple FVCs which are connected to voltage controlled oscillator(VCO) make multiple negative feedback loops in PLL. Those multiple negative feedback loops enable the PLL with the loop filter made of an extremely small size single capacitor operate stably. It has been designed with a 1.8V 0.18 μ m CMOS process. The simulation results show that the proposed PLL has the 1.6ps jitter and 10 μ s locking time.

Key Words : Frequency Voltage Converter, Multi-Loop, PLL, Small Size

1. 서론

이동용 전자 기기의 사용빈도가 급격하게 증가함에 따라 반도체 칩의 크기도 빠른 속도로 작아지고 있다. 거의 모든 반도체 칩에 사용되는 위상고정루프(Phase Locked Loop : PLL)의 크기를 줄이기 위해서는 넓은 면적을 차지하는 루프 필터 커패시터의 용량을 줄이는 것이 매우 중요하다. 지터가 작은 클럭 신호와 위상 잡음이 작은 신호를 생성하기 위해서는 안정된 동작에 필요한 충분한 위상여유를 가져야 한다. 그러므로 루

프필터에 큰 커패시턴스 용량을 가진 커패시터가 필요하다.

밀러증배효과를 이용해 루프필터의 커패시터 크기를 줄이는 구조가 적용되었다[1]. 커패시터 증배 회로를 사용하므로 전압증폭을 이용한 증배인자와 같은 증배인자를 얻기 위해서는 그만큼 많은 전류가 흘러야 하고 이는 전력소모를 증가시킨다. 복수 개의 루프와 능동 루프 필터를 사용하여 작은 크기의 커패시턴스의 유효 커패시턴스 증가하도록 하여 위상고정루프를 하나의 칩으로 구현하였다[2][3]. 전하 펌프의 전류 방향

This Paper was supported by research Fund of Pukyong National University Research Abroad Fund in 2017 (C-D-2017-0970).

*Department of Electronic Engineering, Pukyong National University

**Corresponding Author : Department of Electronic Engineering, Pukyong National University(choiys@pknu.ac.kr)

Received October 16, 2018

Revised November 03, 2018

Accepted November 14, 2018

을 조절하여 유효 커패시턴스를 증가시켜 루프 필터를 구현하였다[4][5]. 루프 필터로 흘러가는 두 개의 전류 크기가 공정변화에 민감하여 원하는 유효 커패시턴스 값을 구현하기가 쉽지 않다. 추가된 전하펌프와 연산증폭기가 잡음 특성에 영향을 줄 수 있다.

Current modulator를 사용하여 루프 필터의 커패시턴스 용량을 변화시켜 작은 크기의 위상고정루프를 구현하였다[6]. 이 구조는 전류 방향 제어 신호를 생성하는 D/F 정확도에 특성이 민감하다. 기판형 커패시터 증배 회로와 시간 평균 커패시터 증배 회로를 이용하여 작은 커패시터를 가지고 마치 큰 값을 가지는 커패시터와 같이 동작하도록 구현하였다[7]. 전류 원을 사용하여 유효 커패시터가 커지는 효과를 가지도록 구현하였다[8]. 이러한 구조들 또한 복수 개의 전류 원과 보조적인 회로가 도입되어 잡음 특성에 영향을 줄 수 있다. 분주기를 사용하지 않는 구조도 위상고정루프의 크기를 줄 일 수 있다[9]. 그러나 이 구조는 분주기를 사용하지 않음에 따른 부수적인 회로가 다수 필요하다.

본 논문에서는 복수개의 FVC와 하나의 VCO로 구성된 복수개의 부궤환 루프를 도입하여 위상고정루프의 잡음 특성은 유지하면서 크기를 획기적으로 줄인 위상고정루프를 제안하였다.

2. 제안한 위상고정루프 회로

일반적인 위상고정루프는 위상주파수 검출기(Phase Frequency Detector : PFD), 전하펌프(Charge Pump : CP), 루프 필터(Loop Filter : LF), 전압제어발진기(Voltage Controlled Oscillator : VCO), 분주기(Divider)로 구성된다. 충분한 위상여유를 가지면서 안정하게 동작하기 위해서는 2차 루프 필터가 사용되며, 영점을 결정하는 커패시터 용량이 꽤 커지게 된다. 그러므로 이 커패시터 크기가 칩의 크기를 결정한다.

제안된 위상고정루프의 전체 회로를 그림 1에 나타내었다. 전압제어발진기에 부궤환 루프로 연결되어 보상기로 작동하는 복수개의 주파수 전압 변환기(Frequency Voltage Converter : FVC)를 사용하여

루프 필터를 용량이 획기적으로 감소된 하나의 커패시터로도 안정하게 동작하도록 설계하였다. FVC는 전압제어발진기의 출력신호의 주파수가 증가하면 감소하고, 감소하면 증가하는 출력 전압을 생성하며, 이를 전압제어발진기의 각 단의 입력으로 인가한다. 이는 식 (1)에 나타낸 것과 같이 한주기당 발생하는 초과 위상변이(excess phase shift)가 감소하는 것과 같다.

$$\Delta\phi(t) = K_{VCO} \int V_{LPF}(t) dt \quad (1)$$

여기서 $V_{LPF}(t)$ 는 기준신호 한주기 동안 발생하는 루프필터 출력전압 파형이다. 그림 2는 하나의 커패시터로 구성된 루프필터인 경우에 FVC 역할을 개념적으로 보여주고 있다(V_{FVC} 는 FVC 출력전압이다). 하나의 커패시터로 만들어진 루프 필터에서는 그림 2의 첫 번째에서 나타난 파와 같이 한주기당 발생하는 초과 위상변이가 커서 동작이 불안해진다. 각각의 FVC는 주기마다 발생하는 초과 위상변이의 크기를 줄여주는 보상기로서 회로에 작동함으로써 보다 회로를 안정하게 해준다. 제안된 위상고정루프에서는 1차 루프 필터를 사용하였는데 FVC를 사용하여 1차 루프 필터가 가지는 불안정성을 그림 2에서와 같이 초과 위상변이 크기를 줄여줄 수 있다면 칩의 크기를 획기적으로 줄일 수 있을 것이다. 본 논문에서는 칩 면적을 최소화하는 것이 주목표이므로 하나의 작은 크기의 커패시터로 구성된 1차 루프필터와 FVC를 사용하여, 안정적이면서도 크기가 작은 위상고정루프를 설계하였다. 또한 FVC는 독자적인 보상기로서 전압제어발진기에 작용하기 때문에 FVC를 병렬로 개수를 늘리는 방식으로 보다 회로를 안정화 시킬 수 있었다.

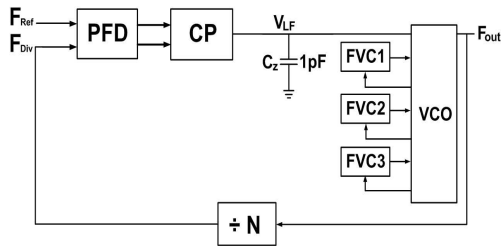


그림 1. 제안된 위상고정루프.

Fig. 1. Proposed PLL.

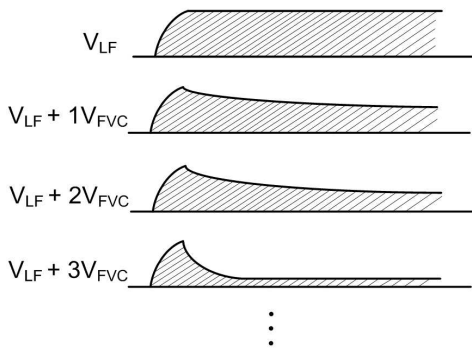


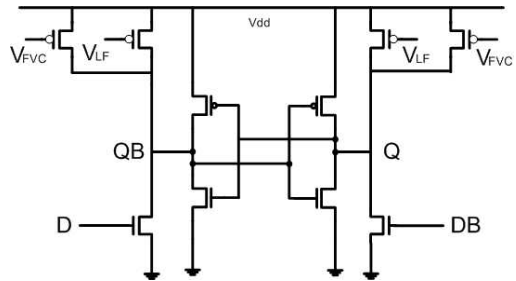
그림 2. FVC 개수에 따른 개념적인 루프 필터 파형 변화.
Fig. 2. Conceptual Loop Filter waveform change according to the number of FVC.

3. 회로 설계

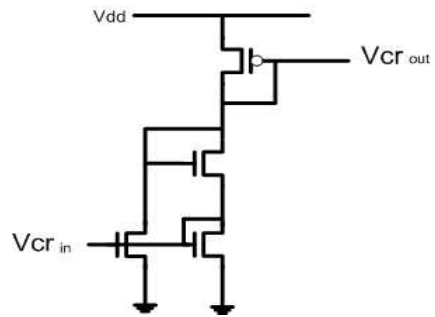
제안된 위상고정루프에서 사용한 전압제어발진기의 회로를 그림 3에 나타내었다. 그림 3 (a)가 보여주듯이 두 개의 입력, V_{FVC} 와 V_{LF} 에 제어되는 전류의 합에 의해 전압제어발진기의 주파수가 생성된다. 루프필터 출력전압(V_{LF})이 상승하면 FVC 출력전압은 감소한다. 그림 2가 보여주듯이 UP 신호에 의해 루프 필터 커패시터 전압은 증가하여 VCO 출력 신호 주파수가 증가한다. 이에 따라 3개의 FVC 출력 전압은 감소하여 전압발진기에 공급되는 전류의 증가분은 축소되어 한주기당 발생하는 초과 위상변이가 감소하여 위상고정루프가 안정하게 동작한다.

그림 3의 (b)와 같이 루프필터 전압과 FVC 출력전압을($V_{cr in}$) 전압제어 저항(Voltage controlled Resistor : VCR)로 제어하여 전압제어발진기에 인가하였다. 그림 3의 (b)에서 $V_{cr out}$ 는 V_{LF} 와 V_{FVC} 이다.

4개의 VCR이 1개의 V_{LF} 와 3개의 V_{FVC} 신호를 생성하여 VCO 출력 신호 주파수를 제어한다. VCO는 3개의 지연단을 사용하였다.



(a)



(b)

그림 3. (a) 전압제어발진기 지연단.

(b) VCR 회로.

Fig. 3. (a) VCO delay stage.

(b) VCR circuit.

FVC의 회로를 그림 4에 나타내었다. FVC는 그림 4의 (b)와 같이 전압제어발진기 출력 신호 F_{VCO} 를 입력신호로 사용하며 이로부터 서로 겹치지 않는 FVC 제어신호 ϕ_1 과 ϕ_2 를 생성한다. ϕ_1 과 ϕ_2 입력되지 않는 시간 동안 I_{FVC} 가 C_X 로 흘러들어간다. ϕ_1 신호에 의해 C_X 에 충전된 전하가 C_Y 로 흘러들어가며 ϕ_2 신호에 의해 C_X 에 있던 전하가 방전된다. 그러므로 F_{VCO} 의 주파수가 증가(감소)하면 V_{FVC} 는 감소(증가)한다.

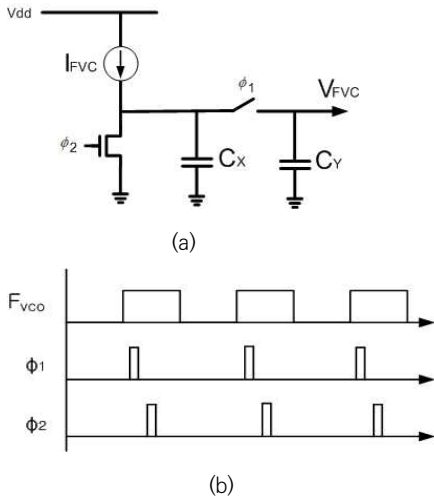


그림 4. (a) FVC 회로도.
(b) 제어 신호 타이밍.
Fig. 4. (a) FVC circuit.
(b) Control signal timing.

4. 시뮬레이션 결과

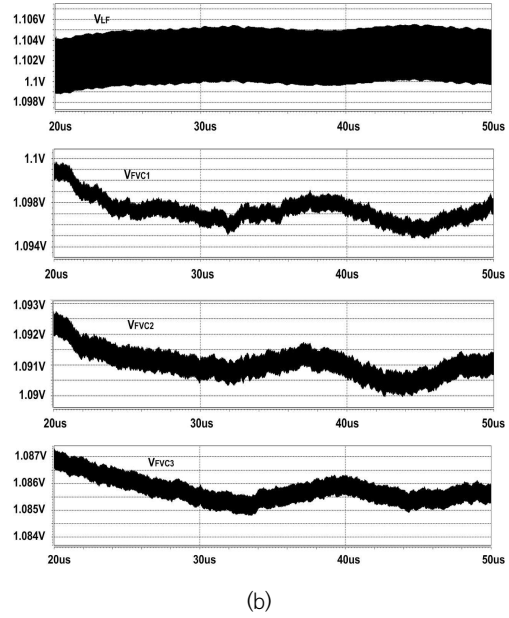
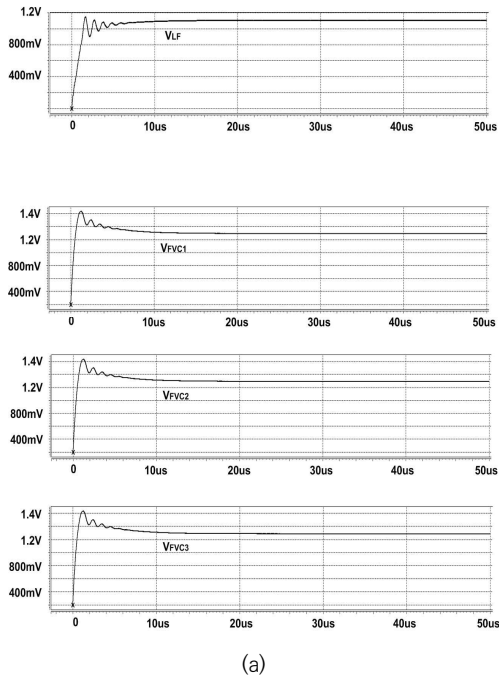


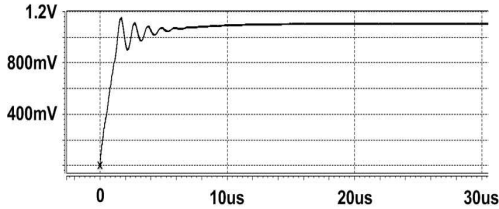
그림 5. (a) V_{LPF} 와 $V_{FVC1,2,3}$ 시뮬레이션 결과. (b) V_{LPF} 와 $V_{FVC1,2,3}$ 확대 파형.
Fig. 5. (a) V_{LPF} and $V_{FVC1,2,3}$ simulation results.
(b) V_{LPF} and $V_{FVC1,2,3}$ enlarged waveforms.

제한된 위상고정루프는 $0.18\mu\text{m}$ CMOS 공정으로 HSPICE로 시뮬레이션 하였으며 32의 분주비와 31.25MHz의 입력주파수를 통해 1GHz의 출력주파수를 출력한다. 시뮬레이션에 사용된 변수는 전하펌프 전류는 $1.2\mu\text{A}$, $C_z=1\text{pF}$, $I_{FVC}=3\mu\text{A}$, $C_{x,y}=500\text{fF}$, $K_{VCO,LPF}=850\text{MHz/V}$, $K_{VCO, FVSC} = 400\text{MHz/V}$, $N=32$ 이다. 따라서 3개의 FVC와 1차 루프필터에서 사용된 커패시턴스 총량은 4pF이다. $K_{VCO,LPF}$ 와 $K_{VCO, FVSC}$ 는 루프 필터 전압과 FVC 출력 전압에 대한 VCO 기울기들이다.

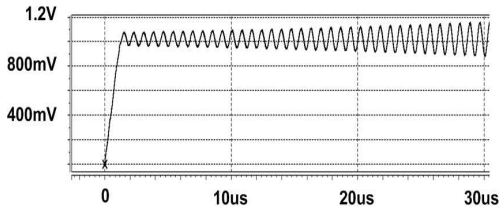
루프필터 출력파형과 3개의 FVC 출력파형을 그림 5(a)에 나타내었다. V_{FVC} 와 V_{LF} 와는 일정한 전압에 이르면, 즉 출력 주파수가 1GHz에 이르면 반대 방향으로 움직이며 위상 고정되는 것을 확인할 수 있다. 그림 5(b)는 위상고정이 된 후 각 출력 전압을 확대한 것이다. 루프필터 출력전압과 3개의 FVC 출력파형이 반대 방향으로 움직이는 것을 볼 수 있다.

그림 6은 FVC의 역할을 보여주기 위해 나타내었

다. 제안된 구조에서 FVC가 없는 경우는 루프 필터 출력 전압이 발산하게 됨을 확인할 수 있다. 이에 비해 제안된 위상고정루프는 안정적으로 위상고정이 되는 모습을 확인할 수 있다.



(a)

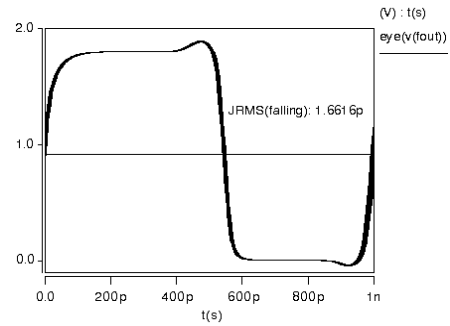


(b)

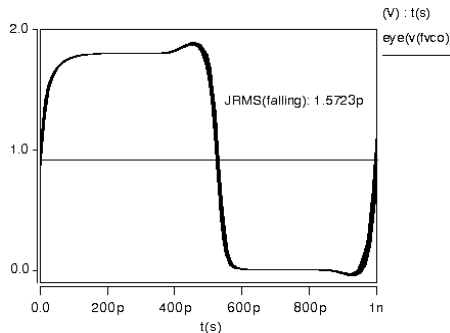
그림 6. (a) 제안된 위상고정루프의 시뮬레이션 결과. (b) 제안된 위상고정루프에서 FVC를 제거한 시뮬레이션 결과.

Fig. 6. (a) Simulation results of proposed PLL (b) Simulation results of without FVC from proposed PLL.

위상고정루프의 크기가 아무리 작더라도 지터 성능이 좋지 않으면 사용할 수 없다. 제안된 위상고정루프의 지터 크기를 그림 7에 나타내었다. 비교대상으로 사용한 2차 루프 필터를 가진 위상고정루프는 위상여유가 56.2° , 대역폭이 1.27MHz인 일반적인 위상고정루프이다. 사용된 변수는 전하펌프 전류는 $180\mu\text{A}$, 두 개의 커패시터는 20pF와 200pF, 저항은 $8\text{k}\Omega$, $K_{vco}=850\text{MHz/V}$, $N=32$ 이다. 제안된 구조의 같은 VCO를 사용하였다. 이를 통해 제안된 위상고정루프의 지터특성이 일반적인 위상고정루프에 비해 지터 특성이 거의 같음을 알 수 있다.



(a)



(b)

그림 7. 지터 시뮬레이션 (a) 제안된 위상고정루프. (b) 일반적인 위상고정루프.

Fig. 7. Jitter simulation (a) proposed PLL. (b) conventional PLL.

5. 결론

본 논문에서는 FVC를 사용하여 루프 필터 커패시턴스 용량을 획기적으로 줄인 위상고정루프를 제안하였다. 동일한 3개의 FVC를 전압제어발진기에 부궤환 루프로 연결하여 기준 신호 한 주기당 발생하는 초과 위상변이를 줄였다. 3개의 FVC를 사용하여 하나의 커패시터로 구성된 1차 루프 필터를 사용하여도 안정하게 동작할 수 있도록 하였다. 1차 루프 필터의 커패시턴스 1pF와 3개 FVC 내부의 커패시턴스 총합 3pF를 포함하여 전체 커패시턴스 용량을 4pF로 획기적으로 줄였다. 기존 구조의 위상고정루프가 안정하게 동작하면서 같은 지터 특성과 위상고정시간을 가지려면 220pF 커패시턴스가 필요하게 되어 칩의 크기가 아주 커지게 된다.

REFERENCES

- [1] J. Choi, J. Park, W. Kim and J. Laskar, "High multiplication factor capacitor multiplier for an on-chip PLL loop filter," *Electronics Letters*, vol. 45, no. 5, pp. 239-240, Feb. 2009.
- [2] Y. Koo, H. Huh, Y. Cho, J. Lee, J. Park, D. Jeong, and W. Kim, "A fully integrated CMOS frequency synthesizer with charge-averaging charge pump and dual-path loop filter for PCS- and cellular-CDMA wireless systems," *IEEE J. Solid-State Circuits*, vol. 37, no. 5, pp. 536-542, May 2002.
- [3] B. Catli, A. Nazemi, T. Ali, S. Fallahi, Y. Liu, J. Kim, M. Abdul-Latif, M. R. Ahmadi, H. Maarefi, A. Momtaz, and N. Kocaman, "A 2sub-200fs RMS jitter capacitor multiplier loop filter-based PLL in 28 nm CMOS for high-speed serial communication applications," in *CICC*, 2013, pp. 1-4.
- [4] Youn-Gui Song, Young-Shig Choi and Ji-Goo Ryu, "A phase locked loop with resistance and capacitance scaling scheme," *IEEK SD*, vol. 46, no. 4, pp. 37-44, April 2009.
- [5] L. Liu, T. Sakurai, and M. Takamiya, "A charge-domain auto-and cross- correlation based data synchronization scheme with power-and area-efficient PLL for impulse radio UWB receiver," *IEEE J. Solid-State Circuits*, vol. 46, no. 6, pp. 1349-1359, June 2011.
- [6] H. J. Kim and Young-Shig Choi, "Increased effective capacitance with current modulator in PLL," *IEEK SD*, vol. 53, no. 4, pp. 37-44, April 2016.
- [7] Pang-Jung Liu, Chih-Yao Hsu and Yi-Hsiang Chang, "Techniques of Dual-Path Error Amplifier and Capacitor Multiplier for On-Chip Compensation and Soft-Start Function," *IEEE Transactions on power electronics*, vol. 30, no. 3, pp. 1403- 1410, Mar. 2015.
- [8] Pengfei Liao, Ping Luo, Weizhong Chen, Bo Zhang, "Embedded Advanced Capacitor Multiplier Compensation for Two-stage Amplifier with Large Capacitive Loads," *Communications, Circuits and Systems (ICCCAS)*, vol. 2, pp. 362-365, Nov. 2013.
- [9] J. Sharma and H. Krishnaswamy, "A dividerless reference-sampling RF PLL with -253.5dBc jitter FOM and -67dBc reference spurs", *IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, pp. 258-259, Feb. 2018.

저자약력

최영식(Young-Shig Choi)

[정회원]



- 1982년 경북대학교 전자공학과 학사 졸업.
- 1986년 Texas A&M University 전자공학과 석사 졸업.
- 1993년 Arizona State University 박사 졸업.
- 1987년 ~ 1999년 현대전자(현 SK Hynix) 책임연구원
- 2003년 ~ 현재 부경대학교 전자공학 교수

<관심분야> PLL, DLL 설계

한근형(Geun-Hyeong Han)

[학생회원]



- 2017년 부경대학교 전자공학과 학사 졸업.
- 2017년 부경대학교 전자공학과 석사 입학.

<관심분야> PLL, DLL 설계