

넓은 입력전압 범위에서 높은 효율을 가지는 위상천이 폴브릿지 컨버터

한정규¹, 최승현¹, 문건우[†]

A High Efficiency Phase-Shifted Full-Bridge Converter with Wide Input Voltage Range

Jung-Kyu Han¹, Seung-Hyun Choi¹, and Gun-Woo Moon[†]

Abstract

This study proposes a high-efficiency phase-shifted full-bridge (PSFB) converter with a wide input voltage range. The conventional PSFB converter is a useful topology in high-power applications. This converter not only achieves the zero-voltage switching of the primary switches, but also has small RMS current in the primary side. However, because the conventional PSFB converter has large freewheeling current in the primary side when it is designed considering the hold-up time of the converter, such a converter has high conduction loss at the primary switches. To solve this problem, a new PSFB converter is proposed in this study. The experiment is implemented with an input voltage ranging from a 320 V - 400 V and an output power specification of 715 W.

Key words: Full-bridge DC/DC converter, High efficiency, Wide input voltage range, Zero voltage switching

1. 서 론

지난 몇 년간, 모바일 기기를 통한 인터넷 사용이 대중화 되기 시작하면서, 데이터 센터가 처리해야 할 트래픽량이 급격하게 증가하고 있다. 이러한 추세는 클라우드 서비스와 IoT 어플리케이션들과 같은 새로운 기술들로 인하여 미래에도 계속 될 것으로 전망된다.

이와 같은 추세로 인해, 전 세계적으로 데이터 센터의 규모가 빠르게 증가하고 있으며, 데이터 센터가 소비하는 전력량이 중요한 문제로 떠오르고 있다. 지난 한 해, 글로벌 기업 중 하나인 구글의 데이터 센터가 소비한 전력량은 5.6테라와트시(TWh)이며, 이는 230만톤의 이산화탄소를 배출한 것과 같다.

따라서, 막대한 양의 에너지 소비를 절감하기 위해 전 세계적으로 서버용 전원장치의 고효율화에 대한 필요성이

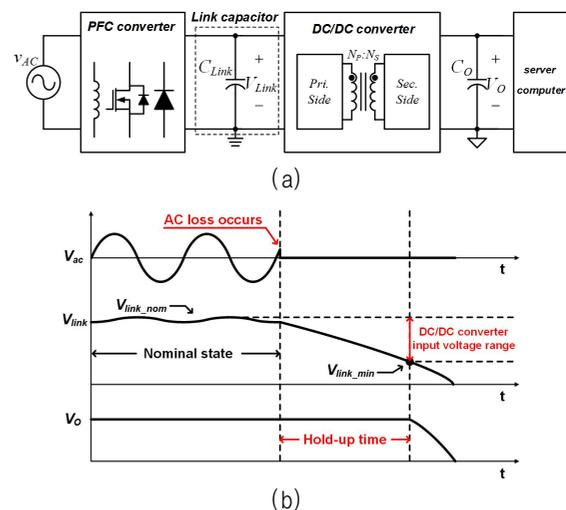


Fig. 1. General power supply. (a) Structure of power supplies, (b) operation during the hold-up time.

대두되고 있다. 또한, 서버용 전원 장치의 고효율화는 데이터 센터 전력소비량의 3분의 1에 해당하는 냉각 시스템에도 영향을 주기 때문에 그 효과는 더욱 커지게 된다.

한편, 일반적인 서버용 전원장치는 그림 1(a)와 같이 역률 보상 컨버터와 DC/DC 컨버터의 2단 구조로 이루어져 있다. 역률 보상 컨버터는 높은 역률과 낮은 고조파

Paper number: TKPE-2019-24-1-10

Print ISSN: 1229-2214 Online ISSN: 2288-6281

[†] Corresponding author: gwmoon@kaist.ac.kr, School of Electrical Engineering, KAIST

Tel: +82-42-350-8075 Fax: +82-42-350-8520

¹ School of Electrical Engineering, KAIST

Manuscript received Jul. 9, 2018; revised Jul. 13, 2018; accepted Jul. 31, 2018

— 본 논문은 2017년 전력전자학술대회 우수논문상 수상논문임

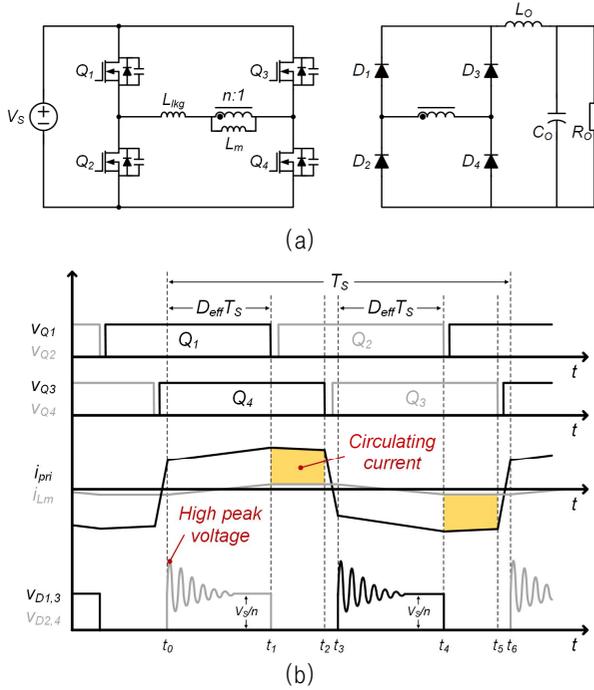


Fig. 2. Conventional PSFB converter and its key waveforms.

왜곡을 얻기 위해 사용되며, DC/DC 컨버터는 출력에 일정한 전압을 제공하기 위해 사용된다. 이 때, 서버용 전원장치는 홀드-업 시간이라는 특별한 조건을 만족하도록 설계되어야 한다. 홀드-업 시간이란, 그림 1(b)에서 볼 수 있듯이, 정전과 같은 예상치 못한 상황으로 인해 입력 전원의 공급이 중단되었을 때, 데이터의 저장을 위해 DC/DC 컨버터의 출력 전압이 유지되어야 하는 시간을 의미한다. 홀드-업 시간 동안, DC/DC 컨버터는 링크 커패시터에 저장된 에너지로 출력 전압을 유지하기 때문에, 링크 커패시터의 전압은 점차 감소하게 된다. 이로 인하여 서버용 전원장치를 위한 DC/DC 컨버터는 넓은 입력 전압 범위에서 출력 전압을 제어할 수 있도록 설계 되어야 한다는 특징을 가지고 있다^[1].

다양한 DC/DC 컨버터 토폴로지 중, 그림 2(a)의 위상천이 폴-브릿지 컨버터는 폴-브릿지 구조로 인한 작은 도통 손실과, 1차측 스위치의 영전압 스위칭 동작으로 인해 서버용 전원장치와 같은 큰 파워의 어플리케이션에서 주로 쓰이는 토폴로지이다^{[2]-[4]}. 하지만, 위상천이 폴-브릿지 컨버터의 경우 홀드-업 조건을 만족하기 위해 넓은 입력 전압에서 동작하도록 설계 되면, 그림 2(b)에서 볼 수 있듯이 효율이 중요한 노미널 동작 시 1차측에 큰 환류 전류가 발생해 스위치의 도통 손실이 증가하는 문제점을 가진다^{[5]-[7]}. 뿐만 아니라, 2차측 다이오드의 기생 커패시터와 변압기 기생 인덕터의 공진으로 인해 다이오드가 큰 전압 링잉을 갖게 되어, 내압이 낮은 다이오드를 사용하기 어렵다는 문제점도 있다^[4]. 따라서, 추가 소자 없이 앞서 제기된 문제점들을 해결할 수 있는 회로에 대한 연구가 필수적이다.

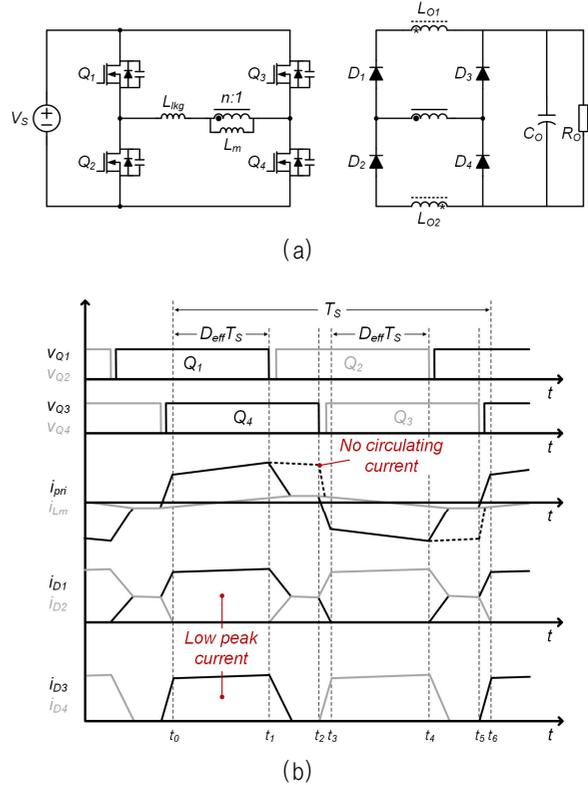


Fig. 3. Proposed PSFB converter and its key waveforms.

2. 제안하는 회로의 특징

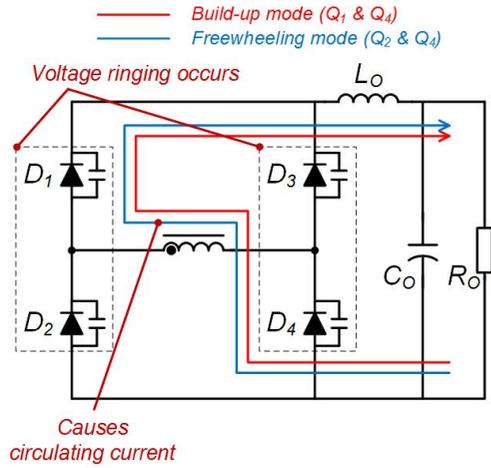
2.1 제안하는 회로의 컨셉

제안하는 회로는 그림 3(a)와 같다. 그림에서 볼 수 있듯이, 제안하는 회로는 출력 인덕터를 결합 인덕터로 사용하고, 다이오드 사이에 위치시켜 정류기를 구성한다. 이로 인해 그림 3(b)에서 볼 수 있듯이 1차측 환류 정류를 제거하고 낮은 전류 피크를 갖게 된다.

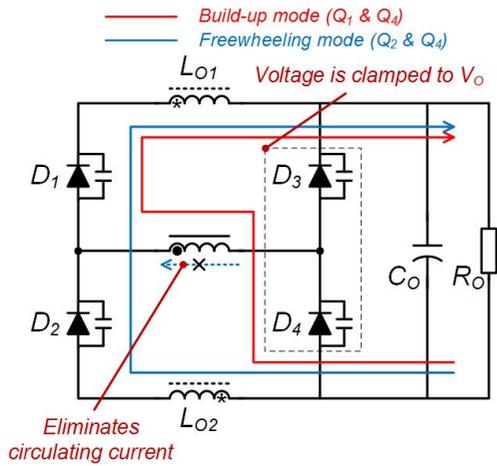
제안하는 구조의 특징을 정류기를 통해 비교해보면 그림 4와 같다. 먼저 그림 4(a)에서 볼 수 있듯이, 기존의 위상천이 폴-브릿지 컨버터는 정류기 다이오드가 출력 커패시터와 바로 연결되어 있지 않아, 기생 성분간의 공진으로 인한 전압 링잉이 발생한다. 또한, 출력 인덕터 L_o 의 환류 전류가 변압기의 2차측을 통해 흐르기 때문에, 1차측에 큰 환류 전류가 발생하여 도통 손실을 야기한다.

반면, 그림 4(b)에서 볼 수 있듯이, 제안하는 회로의 정류기는 다이오드 D_3 와 D_4 가 출력 커패시터로 바로 연결되어있기 때문에 정류기 다이오드에 전압 링잉이 발생하지 않는다. 또한, 출력 인덕터의 환류 전류가 변압기의 2차측을 통해 흐르지 않기 때문에, 1차측에 환류 전류가 야기되지 않는다.

이러한 특징들로 인해, 제안하는 회로는 정류기 다이오드 D_3 와 D_4 에 출력 인덕터가 없는 위상천이 폴-브릿지 컨버터와 같은 내압을 가지는 다이오드를 사용할 수 있다. 동시에, 출력 인덕터가 있는 구조이기 때문에 1차



(a)



(b)

Fig. 4. Comparison of the rectifiers. (a) Conventional PSFB converter and (b) proposed PSFB converter.

측과 2차측에 작은 전류 RMS를 형성하면서, 1차측에 불필요하게 생성되는 환류 전류만을 제거하여 스위치에서 발생하는 도통 손실을 저감한다.

2.2 제안하는 회로의 전압 이득

제안하는 컨버터는, 기존의 위상천이 폴-브릿지 컨버터와 마찬가지로, 빌드-업 동작시 $(V_s/n - V_o)/L_o$ 의 기울기로 출력 인덕터에 흐르는 전류를 빌드-업 한다. 하지만, 환류 구간 동안 $V_s/(L_o + L_{o2})$ 의 기울기로 출력 인덕터 전류가 감자하기 때문에, 기존의 위상천이 폴-브릿지 컨버터와 다른 전압 이득을 가지게 된다. 제안하는 컨버터의 전압 이득을 구하기 위해, 출력 인덕터에 전압-시간 균형 조건을 적용하면, 아래와 같은 식들을 얻을 수 있다.

$$D_{eff} \cdot \left(\frac{V_s}{n} - V_o \right) + (0.5 - D_{eff}) \cdot \left(-\frac{V_o}{2} \right) = 0 \quad (1)$$

$$\frac{V_o}{V_s} = \frac{2D_{eff}}{n(D_{eff} + 0.5)} \quad (2)$$

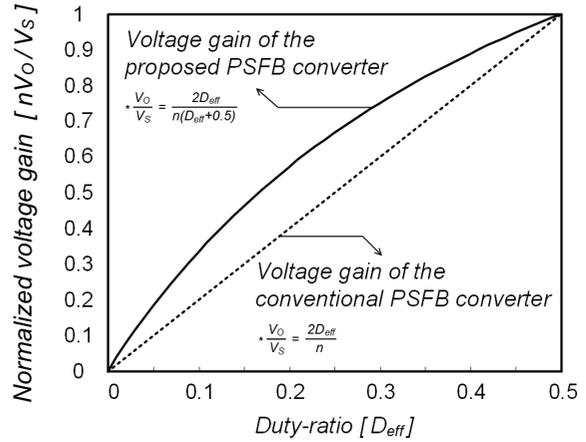


Fig. 5. Voltage gain graph of the converters.

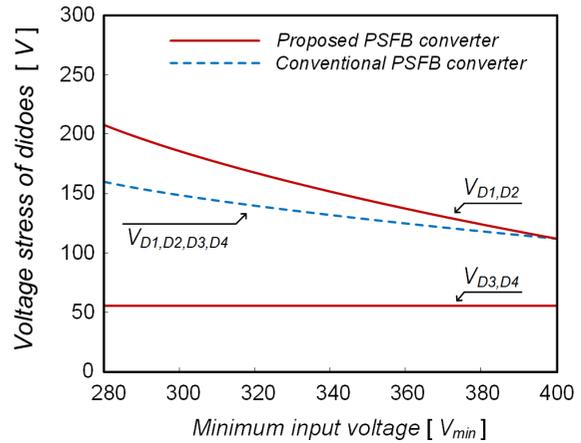


Fig. 6. Voltage stress of rectifier diodes.

D_{eff} 는 위상천이 폴브릿지 컨버터의 시비율을 의미하며, n 은 변압기의 턴 비를 의미한다. (2)에서 얻어진 전압 이득 식을 기존의 위상천이 폴-브릿지 컨버터의 전압 이득 $2D_{eff}/n$ 과 비교해 보면, $D_{eff}=0.5$ 일 때, 같은 전압이득을 가지고, $D_{eff}<0.5$ 일 때 더 큰 전압이득을 갖는다는 것을 알 수 있다. 이를 그래프로 나타내면 그림 5과 같다.

2.3 정류기 다이오드 전압 스트레스

제안하는 컨버터는 D_3 와 D_4 의 전압이 출력전압으로 제한되어 링잉이 발생하지 않고 낮은 전압스트레스를 갖는다. 반면, D_1 과 D_2 에는 기존보다 높은 전압이 인가되게 된다. 이는, 기존 회로의 경우 D_1 과 D_2 가 꺼졌을 때, V_s/n 의 전압이 인가되게 되지만, 제안하는 회로의 경우 $V_s/n + V_{L0}$ 의 전압이 인가되기 때문이다. 따라서 제안하는 회로의 D_1 - D_4 의 전압을 기존 위상천이 폴브릿지 컨버터와 비교해보면 그림 6과 같다. 그림에서 볼 수 있듯이, 제안하는 회로의 V_{D3} 과 V_{D4} 는 기존보다 작은 반면 V_{D1} 과 V_{D2} 는 기존보다 크다. 하지만, V_{D1} 과 V_{D2} 가 증가하는 것에 비해 V_{D3} 과 V_{D4} 가 크게 감소하기 때문에 전압스트레스에서 전체적으로 이점을 갖는다.

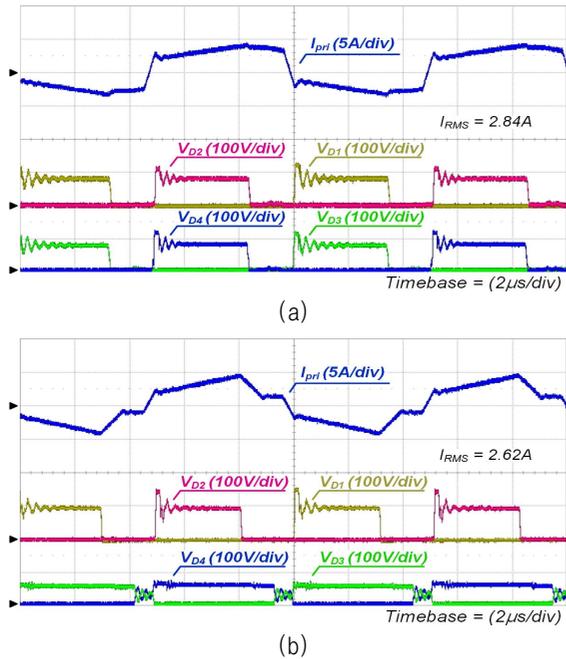


Fig. 7. Key waveforms at 100% load condition. (a) Conventional PSFB converter and (b) proposed converter.

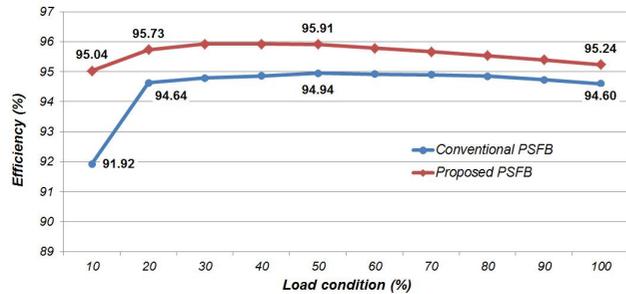


Fig. 8. Efficiency comparison.

3. 실험 결과

제안하는 위상천이 풀-브릿지 컨버터의 실현가능성과 효용성을 증명하기 위해 320-400V 입력, 56V/12.8A의 출력 조건에서 실험을 진행하였다. 기존의 위상천이 풀-브릿지 컨버터와, 제안하는 위상천이 풀-브릿지 컨버터에 대하여 실험이 진행되었다. 제안하는 위상천이 풀-브릿지 컨버터는, 1차측 스위치들의 영전압 스위칭을 위해 기존의 위상천이 풀-브릿지 컨버터에 비하여 작은 L_m 값을 갖도록 설계 되었다. 제안하는 회로의 경우 정류기 다이오드 D_3 와 D_4 가 전압 링잉을 갖지 않아, 기존의 위상천이 풀-브릿지 컨버터에 비하여 매우 작은 내압을 갖지만, D_1 과 D_2 의 경우 결합 인덕터의 전압이 더해져 약간 더 높은 전압 스트레스를 갖게 된다.

그림 7은 100%부하 조건에서, 기존의 위상천이 풀-브릿지 컨버터와 제안하는 위상천이 풀-브릿지 컨버터의 파형을 나타낸다. 그림에서 볼 수 있듯이, 제안하는 컨버터는 1차측 환류 전류를 제거하였기 때문에 기존의 회로보다 작은 RMS 전류를 가지는 것을 확인할 수 있다.

또한, V_{D3} 와 V_{D4} 에 전압 링잉이 발생하지 않기 때문에 기존 회로에 비해 작은 전압 스트레스를 가지는 것을 확인할 수 있다.

그림 8은 전 부하 영역에서 프로토타입 컨버터들의 효율을 비교 한 것이다. 제안하는 위상천이 풀-브릿지 컨버터는 1차측 RMS 전류를 감소시켜 도통손실을 감소시키고, 전압 내압이 낮은 다이오드를 사용하여 기존의 컨버터에 비해 전 부하에서 높은 효율을 달성하였다. 전 부하에서 가장 높은 효율을 나타내었다.

4. 결론

본 논문에서는 결합 인덕터를 사용한 새로운 정류기 구조를 가지는 위상천이 풀-브릿지 컨버터 회로를 제안 하였다. 제안하는 회로는 정류기의 구조를 바꿔, 정류기 다이오드의 전압 링잉을 제거하여 전압 내압이 낮은 다이오드를 사용할 수 있다. 또한, 출력 인덕터의 환류 전류가 1차측으로 흐르지 않아 1차측 도통 손실을 감소시킬 수 있어, 기존 위상천이 풀-브릿지 컨버터에 비하여 전 부하에서 높은 효율을 달성할 수 있었다. 제안하는 회로들은 높은 효율을 목표로 하는 서버용 전원장치와 같은 어플리케이션에서 유용한 선택지가 될 수 있을 것이다.

References

- [1] H. K. Yoon, S. K. Han, G. W. Moon, and M. J. Youn, "Zero-current switching two-transformer phase-shifted full-bridge converter using voltage ripple," in *2005 KPIE Power Electronics Annual Conference*, pp. 436-438, Jul. 2005.
- [2] W. J. Lee, K. B. Park, T. W. Heo, and G. W. Moon, "Output inductor less phase shift full bridge converter with current stress reduction technique for server power application," in *IEEE Power Electronics Specialists Conference*, pp. 2517-2522, Jun. 2008.
- [3] J. W. Kim, Y. H. Cho, and G. H. Choi, "An analysis of ZVS phase-shifted full-bridge converter's small signal model according to digital sampling method," in *2015 KPIE Power Electronics Annual Conference*, pp. 167-174, Jul. 2015.
- [4] Y. D. Kim, K. M. Cho, D. Y. Kim, C. E. Kim, and G. W. Moon, "A small conduction loss phase-shifted full-bridge converter for server power supply," in *2011 KPIE Power Electronics Annual Conference*, pp. 372-373, Jul. 2011.
- [5] S. Cetin and A. Astepe, "A phase shifted full-bridge converter design for electrical vehicle battery charge applications based on wide output voltage range," in *IEEE International Conference on Applied Electronics*, pp. 51-56, Sep. 2016.
- [6] B. Yang, J. L. Duarte, W. Li, K. Yin, X. He, and Y. Deng, "Phase-shifted full-bridge converter featuring ZVS over the full load range," *IEEE Industrial Electronics Society*, pp. 644-649, Nov. 2010.