

## 원전 열화 전자카드의 입력신호 선택회로 개발

# Input Signal Selection Circuits Development of Electronic Cards for Thermal Degradation in Nuclear Power Plant

김종호·최규식\*  
(주)우진엔텍 기술연구소

Jong-ho Kim · Gyu-shik Che\*  
R&D Center of Woojintec Inc., Gyeonggi-do 18481, Korea

### [요 약]

원전에서 각종 전자카드는 시간에 경과함에 따라 열화가 되므로 이에 대한 대책이 필요하다. 이 열화 카드들 중에서 노외 중성자감시시스템의 카드들은 방사선원의 레벨에서 발생하는 중성자속을 총 원자로출력의 200%까지 연속적으로 감시하게 되는데, 원자로출력이 낮을 때의 경우와 높을 때의 경우의 출력감시신호처리 방법이 달라야 한다. 원자로 출력이 낮을 때는 대수적으로 발생하는 펄스신호를 선형적으로 계수하여 신호처리를 해야 되지만, 원자로 출력이 커지게 되면 통계이론에 의한 방법으로 처리해야 정확한 값을 얻을 수 있기 때문이다. 이때 전자카드가 열화되는 것이 문제가 된다. 따라서, 본 연구에서는 저출력일 때와 고출력일 때의 신호처리 방법을 달리하여 일정한 기준에 의한 원자로의 출력레벨에서 이를 저출력에서 고출력으로 전환하기 위한 열화 입력선택회로를 개발하였다. 개발된 선택회로의 신뢰성을 확인하기 위하여 원전에서 사용되는 실제의 데이터값을 적용하여 테스트하였으며, 그 결과를 분석하여 선택회로의 정당성을 입증하였다.

### [Abstract]

Excore Nuclear Flux Monitoring System in Nuclear Power Plant monitors continuous reactor power up to maximum 200%. The monitoring method, however, has to be different depending on the reactor power level. Because the logarithmic pulse signals must be counted and processed exactly due to large uncertainty if their levels are low, on the other hand, they must be processed through statistical methodologies if theirs are high to get exact monitoring values, in point of thermal degradation view. Therefore, we developed thermal degradation input signal selection circuit to transfer low level reactor power monitoring circuit to high level reactor power circuit at rated value in this paper. We proved their validities through testing them using real data used in nuclear power plant and analyzed their results. And, These methods will be used to measure the neutron level of excore nuclear flux monitoring system in nuclear power plant.

**Key word** : Changing circuit, Excore nuclear flux monitoring system, Inverting circuit, Selection circuit, Thermal degradation.

<https://doi.org/10.12673/jant.2019.23.6.554>



This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Received 20 November 2019; Revised 30 November 2019  
Accepted (Publication) 21 December 2019 (30 December 2019)

\*Corresponding Author, Gyu-Shik Che

Tel: +82-31-379-3629

E-mail: che@konyang.ac.kr

## I. 서론

원자력발전소에서 노의중성자감시시스템은 노심주변의 원자로 출력밀도 (power density)에 비례하여 누출되는 중성자를 감시하여 원자로의 원자로출력 레벨을 측정하기 위한 것이다. 노의중성자감시시스템은 방사선원의 레벨에서 발생하는 중성자속을 총 원자로출력의 200%까지 연속적으로 감시하게 되는데 원자로출력이 낮을 때의 경우와 높을 때의 경우의 출력감시 신호처리 방법이 달라야 한다. 원자로 출력이 낮을 때의 신호의 불확실성이 크므로 대수적으로 발생하는 신호를 선형적으로 정확하게 변환하여 신호처리를 해야 되지만, 원자로 출력이 커지게 되면 통계이론에 의한 방법으로 처리해야 정확한 값을 얻을 수 있기 때문이다.

따라서 입력조건에 따라 저레벨 출력신호와 고레벨 출력신호를 분리하여 처리함으로써 원자로 출력레벨을 정확하게 측정하기 위해 이를 결합하여 처리하기 위한 결합회로가 필요하다. 다시 말해서 입력신호의 크기에 따라서 신호처리 방법을 달리 해야 한다는 것이다. 이러한 조건에 맞는 신호처리방법을 개발하는 것이 필요하다.

그런데 각종 학술지나 기술보고서 어디에도 입력신호를 구분하여 신호처리하기 위한 이러한 교차 회로에 대한 문헌을 찾아볼 수 없다.

본 논문에서는 곱셈기를 이용하여 최초입력신호의 크기에 따라서 곱셈기의 입력신호를 구분한 후, 10을 곱하여 그 결과를 10으로 나누어서 두 신호를 더하는 방식을 취하였다. 여기에 맞는 기능블럭도를 작성하고 회로를 구성하여 이의 정당성을 검증하기 위하여 이에 적합한 부품의 값을 부여한 후, 최초입력을 단순증가하는 단조증가파형으로 가정한 후, 시뮬레이션을 수행하기로 하였다. 이 시뮬레이션을 통하여 각 단계별 출력파형이 검토한 결과와 일치하는지, 또한, 최종출력값은 최초입력신호값과 동일하게 나오는지를 확인한다. 주의하여 관찰할 부분은 두 신호의 천이(transition)가 일어나는 기간인데, 이 기간의 출력이 최초 입력신호와 무리 없이 원활하게 연속적으로 진행되어야 한다.

제2장에서는 전체적인 기능을 설명하는 기능블럭도를 제시하고, 제3장에서는 기능블럭도의 각각에 대한 역할을 설명하였다. 제4장에서는 개발된 실제 회로를 구성하여 발전소에서 적용하고 있는 값을 대입하여 개발된 내용의 정당성을 입증하였다. 제5장에서는 결론으로서 이상의 내용을 정리하고 앞으로의 과제에 대하여 언급하였다.

## II. 기능 블럭도

입력조건에 따라 저레벨 출력신호와 고레벨 출력신호를 분리하여 처리함으로써 원자로의 출력레벨을 정확하게 측정하기 위해 이를 결합하여 처리하기 위한 결합회로의 기능블럭도는

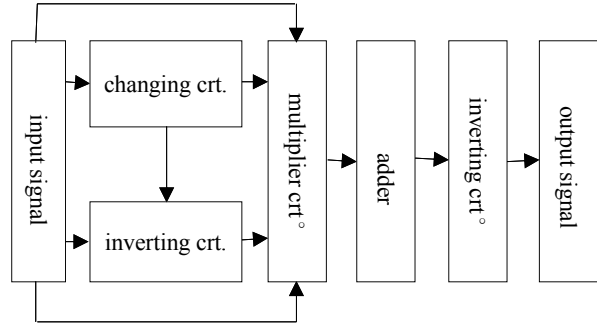


그림 1. 전체 기능블럭도  
Fig. 1. Overall functional block diagram.

그림 1과 같다. 입력신호의 크기에 따라서 신호처리 방법을 달리하여 측정하기 위한 기능을 해야 한다는 것이다. 이 회로는 원자로 출력신호의 크기에 따라서 조건에 적합한 신호를 선택하여 신호처리하기 위한 것이므로 전체적인 이득은 1이다. 주어진 전력레벨에서 교차점의 천이상태를 제외하고는 저레벨 출력신호와 고레벨 출력신호 중 하나의 상태만 존재하도록 하였다.

### 2-1 전압천이회로

전압천이회로와 전압반전회로는 최초입력신호를 받아서 이 회로에서 생성된 신호와 곱하여 출력을 내기 위해 조건에 따라 그 값을 달리하는 신호를 만들기 위한 회로이다. 이 중 첫번째 곱셈회로로 들어가는 신호를 출력하는 전압천이회로는 입력신호가 규정된 기준 전압 이하인 경우에 10 V를 유지하다가 규정된 기준전압에 이르게 되면 짧은 시간동안 천이(transient)를 거쳐서 0V로 선형적으로 하강하도록 되어 있다.

### 2-2 전압반전회로

두번째 곱셈회로에 들어가는 출력신호를 만들어 최초의 입력신호와 곱셈을 하기 위해 필요한 회로로서 전압천이회로의 기능을 반대로 수행하는 회로이다. 즉, 입력신호가 어느 기준 전압 이하일 경우에는 0 V를 유지하다가 입력신호가 기준전압 VR1에 이르게 되면 짧은 시간동안 천이를 시작하여 10 V까지 선형적으로 상승하게 된다. 결국 전압천이회로의 출력전압과 전압반전회로의 출력전압의 전압의 합은 항상 10 V이다.

### 2-3 곱셈회로

곱셈기는 두 개가 있는데 그 두 개가 반대의 기능을 수행한다. 즉, 최초 입력신호에 전압천이회로나 전압반전회로의 출력신호(천이기간을 제외하고 10 V)를 곱하여 그 값을 10으로 나누어서 출력이 입력과 동일한 값이 되도록 하는 회로이다. 이때 곱셈회로가 받는 신호값은 두 변환회로 중 하나의 값만을 받게 된다. 단, 천이기간 동안은 두 변환회로의 상승분과 하강

분의 값을 비례하여 받게 되어 결국 이 기간동안에도 10만큼 곱한 후 그 결과를 10으로 나눈 것과 같다.

**2-4 가산기**

최초의 입력신호와 전압천이회로의 출력값 또는 전압반전 회로의 출력값을 곱하여 10으로 나눈 결과값을 합하는 회로이다. 기준전압 이하의 신호에 대해서는 곱셈기 1을 통한 값을, 기준전압 이상의 신호에 대해서는 곱셈기 2를 통한 값을 출력하게 되며, 천이기간에 속한 입력값은 두 천이값의 비례 배분에 의한 값을 합하여 가산하게 되어 출력하게 된다. 어떠한 경우에도 그 출력값은 입력값과 동일하게 된다. 그런데 가산기를 사용하기 때문에 출력값은 음(-)의 값이 된다.

**2-5 반전회로**

가산기의 출력값은 음(-)의 값이므로 이를 반전시켜서 양(+)의 값으로 변환하기 위한 회로이다. 이 값은 최초의 입력값과 동일하게 된다. 천이기간 동안에 들어오는 입력에 대해서도 동일하게 연속성이 유지되어야 한다. 천이기간 동안 곱셈기 1에서 곱셈기 2로 또는 그 반대로 천이되는 기간에도 최초의 입력 신호가 연속적으로 원활하게 출력되어야 한다.

**III. 기능별 회로 해석**

그림 1의 기능을 수행하기 위해 구성한 전체적인 회로는 그림 2와 같다. 이들 각각의 회로를 검토해보면 아래와 같다.

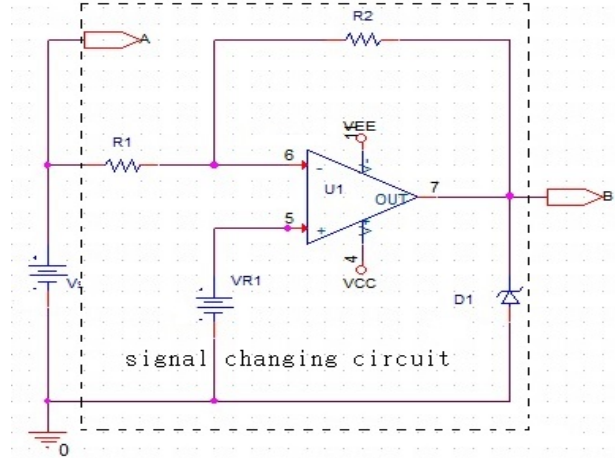
**3-1 전압천이회로**

이의 회로는 그림 3과 같다. 연산증폭기 U1, 저항 R1, R2, 기준전압 VR1, 제너다이오드 D1으로 구성된 회로이다. 여기서 연산증폭기 U1은 반전증폭기의 역할을 한다. 입력신호 Vs가 들어오면 이 신호의 전압이 기준전압 VR1과 비교된다. 이 때 출력전압 V1은

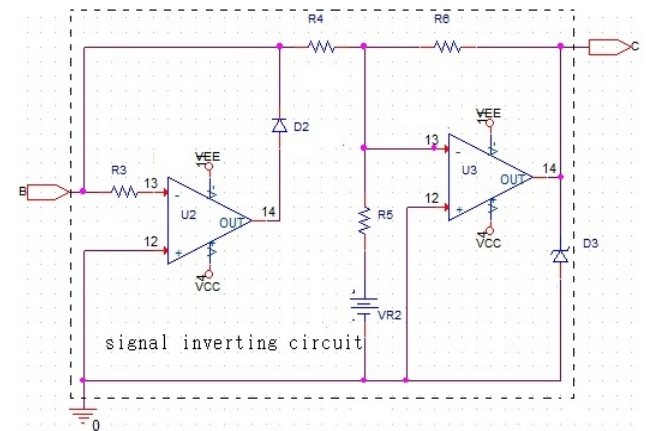
$$V_1 = -\frac{R_2}{R_1} V_s + (1 + \frac{R_2}{R_1}) V_{R1}, \quad V_s < V_{R1} \quad (1)$$

에 의하여 결정된다. 그런데 조정전압이 10V인 제너다이오드 D1이 출력측의 회로에 병렬로 연결되어 있으므로 입력전압이 기준전압 VR1의 값 이하일 때 이의 최대치는 항상 10V이다.

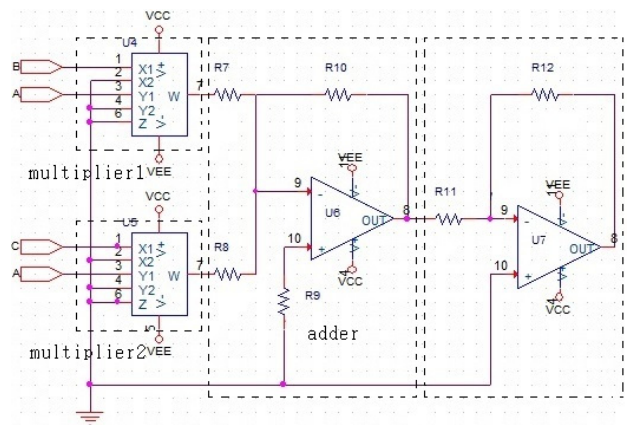
입력전압이 기준전압 VR1에 이르게 되면 10V를 유지하던 출력전압이 천이를 시작하여 입력전압이 증가함에 따라 짧은 시간 동안에 0 V로 선형적으로 하강하게 된다. 이 기간을 천이기간 (transient period)이라 한다. 천이기간을 제외한 기간 동안 이 회로의 출력값은 0 V이거나 10 V인 두 가지 상태를 유지하게 된다.



(a) 전압천이회로  
(a) Voltage Changing Circuit



(b) 전압반전회로  
(b) Voltage Inverting Circuit



(c) 곱셈회로, 가산기, 전압반전회로  
(c) Multiplier Circuit, Adder and Inverting Circuit

그림 2. 제안된 전체 회로도  
Fig. 2. Overall proposed circuit.

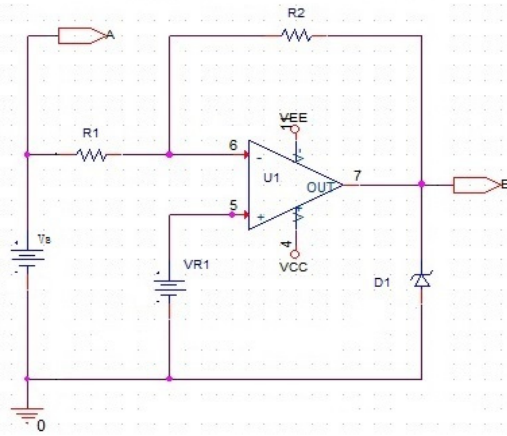


그림 3. 전압천이회로  
Fig. 3. Voltage changing circuit.

### 3-2 전압반전회로

그림 4에서 보는 바와같이 연산증폭기, U2, U3, 정류다이오드 D2, 제너다이오드 D3, 기준전압 VR2, 저항 R3, R4, R5, R6 로 이루어진 회로이다. 제너다이오드 D3의 조정전압은 D1과 마찬가지로 10V이다. 연산증폭기 U2는 반전증폭기로서 전압 천이회로의 하한전압이 0V 이하가 되는 것을 방지하여 그 값을 0V로 한정되도록 하기 위한 회로이다. 연산증폭기 U3는 반전증폭기로서 가산기의 역할을 한다. 이 때 U2를 통해서 U3의 반전입력측에 들어오는 신호는 V1과 같으므로 가산기 U3의 출력전압 V2는

$$V_2 = -\left(\frac{R_6}{R_4} V_1 + \frac{R_6}{R_5} V_{R2}\right), \quad V_s > V_{R1} \quad (2a)$$

이며 통상적으로  $R_4=R_5=R_6$ 이므로 위의 식은

$$V_2 = -(V_1 + V_{R2}), \quad V_s > V_{R1} \quad (2b)$$

로 표현된다. 이 값이 조건에 따라 0V 또는 10V 둘 중 한 값을 유지하기 위해서  $VR_2 = -10V$ 이어야 한다. 그리고 상한전압을 10V로 하기 위해 제너다이오드 D3를 사용한다.

### 3-3 곱셈회로

곱셈회로는 그림 5와 같으며, 최초의 입력신호를 전압천이 회로나 전압반전회로의 출력전압과 곱한 후, 그 값을 10으로 나누어서 최종신호를 얻기 위한 곱셈회로이다. 이 회로는 두 개가 있으며, 동일한 기능을 수행하는 곱셈기 U4, U5로 이루어진 회로이다. 첫번째 곱셈기는 최초의 입력신호와 전압천이회로의 출력값을 곱하여 10으로 나누어주는 역할을 하며, 두번째 곱셈기도 마찬가지로 최초의 입력신호와 전압반전회로의 출력

값을 곱하여 10으로 나누어주는 역할을 한다.

이 곱셈회로의 출력을 각각  $V_{m1}, V_{m2}$ 라 하면 그 값은

$$V_{m1} = \frac{V_s V_1}{10}, \quad V_{m2} = \frac{V_s V_2}{10} \quad (3)$$

으로 표현된다. 여기서  $V_s$ 는 최초의 입력신호,  $V_1, V_2$ 는 각각 전압천이회로의 출력전압, 전압반전회로의 출력전압이다. 그 동안 반도체를 이용한 곱셈기에 대해 여러 연구들 [1]-[4]이 수행되었으며, 특히 CMOS를 이용한 연구들[5]-[9]도 많다. 칩 형태로서는 Texas Instrument사의 MPY534를 비롯한 우수한 곱셈기들이 상용화되어 널리 사용되고 있어서 이들 중 하나를 사용하면 문제가 없다.

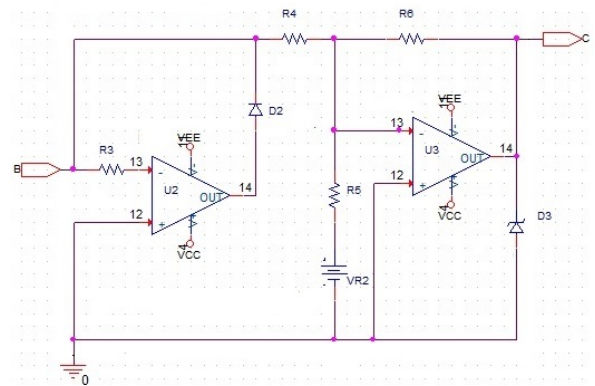


그림 4. 전압반전회로  
Fig. 4. Voltage inverting circuit.

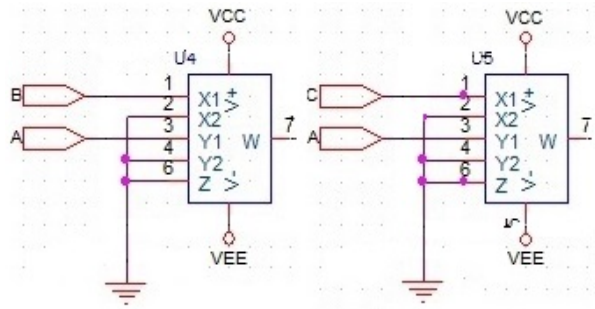


그림 5. 곱셈회로  
Fig. 5. Multiplier circuit.

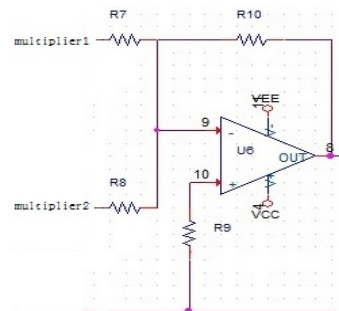


그림 6. 가산기  
Fig. 6. Adder.



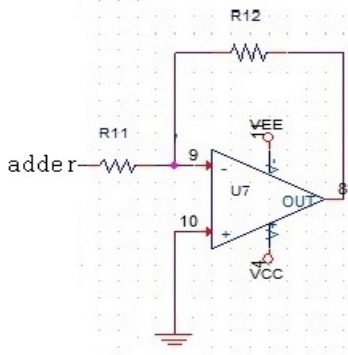


그림 7. 전압반전회로  
Fig. 7. Voltage inverting circuit.

3-4 가산기

이 가산기는 그림 6과 같이 구성된다. 연산증폭기 U6, 저항 R7, R8, R9, R10으로 이루어진 가산기 회로이다. 앞에서 언급한 바와같이 각 곱셈기의 출력전압을  $V_{m1}$ ,  $V_{m2}$ 라 하면 이 가산기의 출력전압  $V_a$ 는

$$V_a = -\left(\frac{R_{10}}{R_7} V_{m1} + \frac{R_{10}}{R_8} V_{m2}\right) \tag{4a}$$

이다. 그런데 통상  $R_7=R_8=R_{10}$ 이므로 상기 식은

$$V_a = -(V_{m1} + V_{m2}) \tag{4b}$$

로서 그 출력전압은 입력전압과 동일하되 값이 음(-)의 값으로 반전된다. 즉, 최초의 입력값이 반전되어 이 회로에서 출력되는 것이다.

3-5 전압반전회로

이 회로는 그림 7과 같이 구성되며, 가산기의 출력값이 음(-)의 값이므로 이를 반전시켜서 원하는 출력을 얻기 위한 회로이다.

이는 연산증폭기 U7, 저항 R11, R12로 이루어진 단순한 반전증폭기이다. 이 반전기를 통과한 신호는 입력신호와 동일한 신호가 된다. 즉,

$$V_{inv} = -V_a = V_s \tag{5}$$

이다.

IV. 시뮬레이션

본 연구에서 개발한 그림 2와 같은 회로의 성능을 입증하기

위해 회로의 각 소자에 다음 표 1의 값들을 적용하여 시뮬레이션하였다. 최초 입력신호의 값은 0V에서 10V까지 연속적으로 단조증가하는 것으로 가정하였다. 물론 무작위로 가변해도 동일한 결과를 얻을 수 있다. 그리고 기준전압은  $VR_2 = 10V$ 로 가정하였다. 이 값들을 적용하면 상기 방정식(1), (2)는 각각 아래와 같이 표현된다.

$$V_1 = -47V_s + 240, \quad V_s < V_{R1} \tag{6}$$

$$V_2 = -V_1 + 10, \quad V_s > V_{R1} \tag{7}$$

단, 방정식(6)의 상한치는 10V이다. 그리고 방정식(7)의 하한치는 0V이다. 이 회로를 시뮬레이션한 결과,  $V_1$ 과  $V_2$ 의 곡선은 그림 8과 같다.  $V_1$ 인 경우, 입력값이 작을 때는 10V를 계속 유지하다가 방정식(6)에서  $V_1$ 의 값이 음(-)의 값으로 되기 직전에 하강하기 시작하여 음의 값으로 되는 순간 즉,  $V_s = 5.106V$ 에서 0V로 된다. 입력전압이  $VR_1$ 의 전압과 같아지는 순간 즉,  $V_s = VR_1 = 5V$ 일 때 천이전압은 물론 5V이다.

표 1. 회로의 부품 적용 값  
Table 1. Part values of circuits.

components	values	components	values
VCC	+15V	D3	1N4740
VEE	-15V	R1	10k
VR1	5V	R2	470k
VR2	10V	R3	1k
U1	LM224	R4	100k
U2	LM224	R5	100k
U3	LM224	R6	100k
U4	AD633/AD	R7	10k
U5	AD633/AD	R8	10k
U6	LM224	R9	10k
U7	LM224	R10	10k
D1	1N4740	R11	10k
D2	1N4001	R12	10k

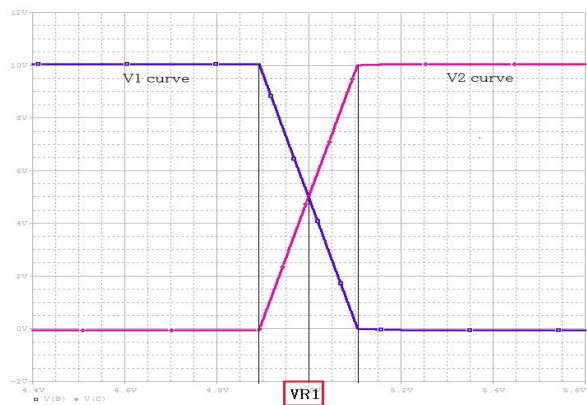


그림 8. 기준전압 부위의 제어 천이곡선  
Fig. 8. Control changing circuit around reference voltage.

이 전압천이회로의 출력전압이 전압반전회로를 거치면 그림 8의 V2와 같은 반전파형을 얻게 된다. 이 그림에서 전압천이회로의 파형이 천이부분을 제외한 범위에서 10 V는 0 V로, 0V는 10V로 반전된 것을 확인할 수 있다. 이 두 파형은 기준전압 VR1을 중심으로 하여 상호간에 천이되는 것을 알 있다. 이 구간에서는 V1과 반대로 V1이 하강을 시작하는 시점에서 상승을 시작하여 양의 값이 되는 순간 즉,  $V_s = 5.106 \text{ V}$ 에서 10 V로 된다. 기준전압 VR2와 조정전압이 10V인 제너다이오드를 이용하였으므로 그림 8에서 보듯 양(+)의 값이 음(-)의 값으로 반전되는 것이 아니라 10V는 0V로, 0V는 10V로 반전되었다.

두 곱셈기의 출력파형은 그림 9와 같다. 입력신호의 크기가 작을 때는 첫번째 곱셈기만이 동작하여 출력을 내며, 기준전압 VR1 = 5 V 부근에서 급격하게 하강하는 것을 볼 수 있다. VR1 부근에서 전압의 천이현상이 발생되어 곱셈기 1의 출력전압은 급격히 하강하는 반면 지금까지 출력전압이 0 V로서 작용을 하지 않던 곱셈기 2의 출력이 급격히 증가하면서 역할을 하게 된다. 이 파형들 또한 기준전압 VR1에서 상호교차하는 것을 확인할 수 있다.

그림 10의 파형은 반전회로를 거친 최종출력신호이다. 이

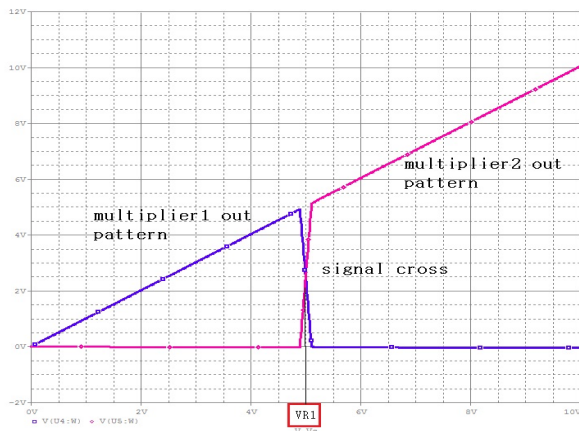


그림 9. 곱셈기의 출력파형  
Fig. 9. Output pattern.

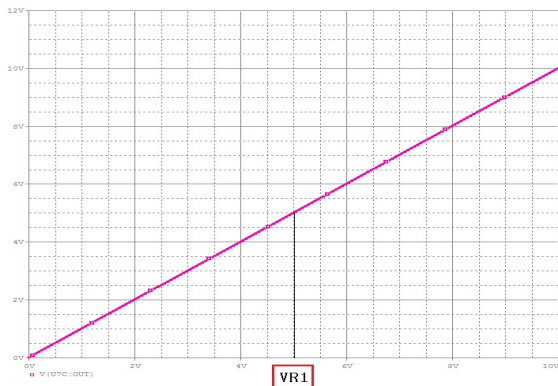


그림 10. 최종출력신호  
Fig. 10. Resultant output signal.

파형을 자세히 관찰해보면 최초의 입력파형과 완전히 일치하는 것을 확인할 수 있다. 주의하여 관찰할 부분은 두 신호의 천이가 일어나는 시간인데, 이 시간에도 출력이 원활하게 연속적으로 진행되는 것을 알 수 있다.

### V. 결론 및 추후 과제

원전에서 각종 전자카드는 시간에 경과함에 따라 열화가 되므로 이에 대한 대책이 필요하다. 이 열화 카드들 중에서도 외중성자감시시스템의 카드들은 방사선원의 레벨에서 발생되는 중성자속을 총 원자로출력의 200%까지 연속적으로 감시하게 되는데, 원자로출력이 낮을 때의 경우와 높을 때의 경우의 출력감시신호처리 방법이 달라야 한다. 원자로 출력이 낮을 때는 대수적으로 발생하는 펄스신호를 선형적으로 계수하여 신호처리를 해야 되지만, 출력이 커지게 되면 통계이론에 의한 방법으로 처리해야 정확한 값을 얻을 수 있기 때문이다. 이때 전자카드가 열화되는 것이 문제가 된다.

따라서, 전자카드의 시간경과에 따른 열화의 입장에서 입력 조건에 따라 저레벨 출력신호와 고레벨 출력신호를 분리하여 처리함으로써 출력레벨을 정확하게 측정하기 위해 이를 결합하여 처리하기 위한 결합회로가 필요하다.

본 논문에서는 곱셈기를 이용하여 최초입력신호의 크기에 따라서 곱셈기의 입력신호를 구분한 후, 10을 곱하여 그 결과를 10으로 나누어서 두 신호를 더하는 방식을 취하였다. 여기에 맞는 기능블럭도를 작성하고 회로를 구성하여 이의 정당성을 검증하기 위하여 이에 적합한 부품의 값을 부여한 후, 최초 입력을 단순증가하는 단조증가파형으로 가정한 후, 시뮬레이션을 수행하였다. 이 시뮬레이션을 통하여 각 단계별 출력파형이 검토한 결과와 일치한다는 것을 관찰하였다. 또한, 최종출력값은 최초입력신호값과 동일하게 나온다는 것도 확인하였다. 주의하여 관찰할 부분은 두 신호의 천이가 일어나는 시간인데, 이 시간에도 출력이 무리 없이 원활하게 연속적으로 진행되는 것을 확인하였다.

본 논문에서는 이론에 맞는 회로를 구성하여 실험을 통하여 이의 정당성을 입증하였다. 추후 이러한 회로를 발전소 현장에 적용하여 실증경험을 쌓은 후 좀더 나은 방향으로의 연구가 진행되기를 바란다.

### Acknowledgments

본 연구는 산업통상자원부 한국에너지기술평가원의 산업기술혁신/에너지기술개발/원자력핵심기술개발사업/원전 안전성 향상을 위한 제어계측카드진단시스템 개발 과제 (20181520102740)의 지원으로 수행되었습니다.

## References

- [1] B. Gilbert, "A precise four-quadrant multiplier with subnanosecond response," *IEEE Journal of Solid-State Circuits*, Vol. SC-3, No. 4, pp. 365-373, Dec. 1968.
- [2] All Syllabus, Analog Multipliers, [Internet]. Available: <http://allsyllabus.com>.
- [3] A. N. Saatlo, and I. S. Ozoguz, "Design of a high-linear, high-precision analog multiplier, free from body effect," *Turkish Journal of Electrical Engineering & Computer Sciences*, Vol. 32, No.2, pp. 820-832, March, 2016.
- [4] A. K. M. Obais and R. S. Khadair, "Design of a high linearity four-quadrant analog multiplier in wideband frequency range," *Journal of Babylon University*, Vol. 25, No. 2, pp. 568-578, 2017.
- [5] C. Sakul, "A new CMOS squaring circuit using voltage/current input," in *The 23rd International Technical Conference on Circuit/Systems, Computers and Communications*, Trang: Thiland, pp. 525-528, 2008.
- [6] C. T. Remund, Design of CMOS four-quadrant Gilbert Cell multiplier circuits in weak and moderate inversion, Brigham Young University, Utah, USA, November, 2004.
- [7] B. Boonchu and W. Surakampontorn, "Voltage-mode CMOS squarer/multiplier circuit," in *International Technical Conference on Circuits Systems, Computers and Communications*, Seoul: Korea, pp. 646-649, 2015.
- [8] B. Boonchu and W. Surakampontorn, Voltage-Mode CMOS Squarer/Multiplier Circuit, Manhanakorn University of Technology, Bangkok, Thailand, July, 2002.
- [9] C.-I. H. Chen, 1-GHz CMOS analog signal squaring circuit, Wright State University, Dayton, Ohio, USA, Aug 4, 2016.



### 김종호 (Jong-ho Kim)

1990년 : 명지대학교 자연과학대학 물리학과 (이학사)  
 1999년 : 명지대학교 자연과학대학 대학원 물리학과 (이학박사)  
 2000년 ~ 2005년 : (주)세영앤디씨 부설연구소 연구소장  
 2009년 ~ 현재 : (주)우진엔텍 부설연구소 연구소장  
 ※ 관심분야 : 제어계측, 원자력

1992년 : 명지대학교 자연과학대학 대학원 물리학과 (이학석사)  
 1997년 ~ 2000년 : 삼성전자 삼성생명과학연구소 연구원  
 2005년 ~ 2009년 : 한국방사선기술(주) 부설연구소 연구소장



### 최규식 (Gyu-shik Che)

1973년 : 서울대학교 공과대학 전기공학과 (공학사)  
 1993년 : 명지대학교 전기공학과 (공학박사)  
 1993년 ~ 2014년 : 건양대학교 의공학과 교수  
 2015년 ~ 현재 : (주)우진엔텍 고문  
 ※ 관심분야 : 전자회로, 원자력

1983년 : 뉴욕공과대학 전기공학과 (공학석사)  
 1978년 ~ 1993년 : 한국전력기술 중앙연구소 책임연구원  
 2014년 ~ 2015년 : (주)맥스파워 연구소장