

전면 전극 형성 시 표면 형상이 미치는 영향 분석

한혜빈¹⁾ · 최동진¹⁾ · 강동균¹⁾ · 박현정¹⁾ · 배수현¹⁾ · 강윤목^{2)*} · 이해석^{2)*}

¹⁾신소재공학과, 고려대학교, 서울특별시, 02841

²⁾그린스쿨대학원, 고려대학교, 서울특별시, 02841

Analyzing the Effect of Si Surface Morphology on Front Electrode Formation

Hyebin Han¹⁾ · Dongjin Choi¹⁾ · Dongkyun Kang¹⁾ · HyunJung Park¹⁾ · Suhyun Bae¹⁾ · Yoonmook Kang^{2)*} · Hae-Seok Lee^{2)*}

¹⁾Department of Materials Science and Engineering, Korea University, Seoul 02841, Korea,

²⁾KU-KIST Green School Graduate School of Energy and Environment, Korea University, Seoul 02841, Korea

Received September 21, 2019; Revised December 6, 2019; Accepted December 12, 2019

ABSTRACT: The Ag crystallite formed during the formation of the front electrode forms a contact between the metal of the electrode and the emitter of the cell. Contact between the electrode and emitter plays an important role in collecting electrons generated by the solar cell. Therefore, Ag crystallite formation is an important factor. In order for solar cells to have good characteristics, it is important to understand the factors influencing the Ag crystallite formation. Factors affecting the formation of Ag crystallites include Si emitter, morphology, Si defect and firing temperature. The influence of surface morphology on Ag crystallite formation was confirmed throughout this study. In the case of fine texturing, the Ag crystallites were formed at the pointed parts. The finer the texturing, the sharper areas and more Ag crystallites were formed. This was confirmed by SEM image and FF calculation.

Key words: mc-Si Solar cell, Ag crystallites, Surface morphology

Nomenclature

FF : Fill Factor

pFF : pseudo Fill Factor

FFs : Fill Factor in the presence of series resistance

Subscript

MCCE : metal catalyzed chemical etching

RIE : reactive ion etching

SEM : scanning electron microscope

PECVD : plasma enhanced chemical vapor deposition

DRE : damage removal etching

PSG : phosphorus silicate glass

1. 서론

태양전지의 시장 경쟁력 향상으로 인해 태양광의 수요는 증가하고 있고 현 추이가 계속된다면 올해 130GW 규모를 넘어설 것으로 예측되고 있다.¹⁾ 결정질 실리콘 태양전지의 경우 광변환 효율이 26.7%까지 발표되어 효율 상승 및 생산라인의 최적화를 위한 연구 및 개발이 활발히 진행되고 있다.²⁾ 태양전지의 효율에 영향을 미치는 요인으로는 웨이퍼의 표면 형상, 도핑 농도, 면저항, 페시베이션, 전극 등이 있다. 위와 같은 여러 요인 중에서 전극 형성의 대표적인 방법으로 Ag 페이스트를 이용하여 스크린프린팅 공정 후 고온 열처리(800°C)를 진행하게 된다. 이 때 실리콘 표면에서 Si-Ag 상호 간의 메커니즘에 의해 Ag crystallite가 생성된다. 이 Ag crystallite는 실리콘 계면에 위치하여 크게 세 가지 역할을 하는 것으로 선행연구를 통해 보고되었다. 첫 번째는 태양전지와 전극의 접촉을 형성하며,³⁾ 두 번째는 태양전지에서 생성된 전류를 수집하며, 세 번째는 캐리어의 재결합에 영향을 미친다. 전극 역할 및 전류 수집에 있어서 중요한 Ag crystallite의 형성에 영향을 미치는 요인은 다양하다. 웨이퍼의

*Corresponding author: lhseok@korea.ac.kr, ddang@korea.ac.kr

타입, 표면 도핑농도^{4,7)}, 웨이퍼의 표면 형상⁸⁾, 표면의 결합⁴⁾, 소성 온도^{5,6,9-11)}, 페이스트의 종류^{7,9,10)} 등이 있다. 본 연구에서는 표면 형상에 따른 Ag crystallite 분포도의 차이에 대하여 연구하였다.

2. 실험

본 연구에서 6 inch 다결정 실리콘 웨이퍼와 다결정 웨이퍼 전용 Pb-free 페이스트를 사용하였다. 실리콘 웨이퍼의 표면 형상이 Ag crystallite 형성에 미치는 영향을 확인하기 위하여 표면 형상이 다른 두 가지의 웨이퍼를 실험에 사용하였다. 첫 번째 다결정 실리콘 웨이퍼에 metal catalyzed chemical etching (MCCE) 공정을 통해 텍스처링을 진행하였다. MCCE 공정은 웨이퍼에 메탈 파티클을 도포한 후 에칭 솔루션에 담겨 웨이퍼에 메탈이 닿은 부분을 에칭하여 텍스처링을 하는 방법이다. 두 번째 다결정 실리콘 웨이퍼는 MCCE공정이 진행된 웨이퍼에 RIE로 한번 더 텍스처링을 하였다. 각각 다른 텍스처링이된 두 종류 웨이퍼는 모두 수백나노 크기의 텍스처가 형성되었다. 텍스처링 공정 후에는 MCCE 및 RIE 공정에서 발생한 불순물을 제거하기 위하여 DI:HF:HNO₃ = 30:1:30의 비율로 제조한 상온 용액에서 20초간 DRE 공정을 진행하였다. 퍼니스에서 POCl₃ 확산법을 이용하여 도핑을 진행하였으며 두 웨이퍼의 면저항은 80~85Ω/sq로 맞추었다. 후면 에칭을 통한 전·후면 아이솔레이션을 진행하였다. 그 후 전면의 PSG를 제거 및 PECVD를 통해 SiNx를 증착하였다. 웨이퍼의 후면에는 Al 페이스트, 전면에는 Ag 페이스트를 스크린 프린팅을 이용하여 4 busbar 전극 패턴을 형성하였고, 고온 열처리의 경우 810℃, 860℃, 910℃의 피크 온도를 가지 3가지 소성 공정을 하여 전극을 형성하였다.

제작한 태양전지는 light I-V를 이용하여 fill factor를 분석하였다. 웨이퍼에 형성된 Ag crystallite의 분포도는 85℃의 HNO₃ 용액에서 5분 동안 Ag bulk를 제거한 후 상온의 BOE에서 1분 동안 glass layer를 제거하여 SEM으로 관찰하였다.

3. 분석 및 결과

3.1 Ag crystallite 분포 관찰

두 가지 서로 다른 표면 형상(MCCE만 진행한 표면, MCCE에 RIE를 추가로 진행한 표면)에 대하여 SEM 분석을 하였으며, 그 결과는 Fig. 1 과 같다. MCCE 텍스처링 웨이퍼의 표면 (Fig.1(a))과 MCCE와 RIE를 하여 텍스처링 한 웨이퍼의 표면 (Fig.1(b))을 비교해보면 MCCE 웨이퍼보다 MCCE+RIE 웨이퍼의 굴곡이 심하다. MCCE 공정에 RIE 공정을 추가로 진행한 결과, MCCE 공정만 진행한 웨이퍼에 비해 조밀하고 많은 수의 Etch pit을 가진다.

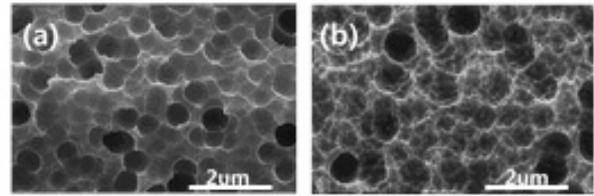


Fig. 1. Top view SEM images of (a) wafer surface after MCCE, (b) wafer surface after MCCE+RIE

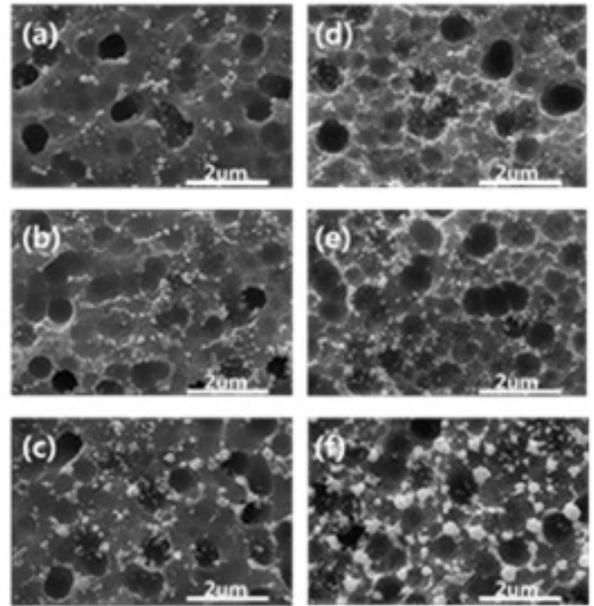


Fig. 2. Distribution of Ag crystallite on Si wafer surface : Firing of MCCE wafer at (a) 810℃, (b) 860℃, (c) 910℃, Firing of MCCE+RIE wafer at (d) 810℃, (e), 860℃, (f) 910℃

서로 다른 형상을 가지는 웨이퍼에 스크린 프린팅 및 고온 열처리를 통해 형성된 Ag crystallite의 분포도를 Fig. 2의 SEM 이미지를 통해 관찰하였다. Fig.2 (a),(b),(c)는 MCCE 웨이퍼에 Fig.2 (a) 810℃, (b) 860℃, (c) 910

℃의 피크 온도를 가지는 열처리를 진행한 결과이며, Fig.2 (d), (e), (f)는 MCCE+RIE 웨이퍼에 Fig.2 (d) 810℃, (e) 860℃, (f) 910℃의 피크 온도에 열처리를 진행한 결과이다. 결과적으로 소성 온도가 높을수록 Ag crystallite가 많이 형성되는 것을 확인하였다. 각각의 다른 표면 형상을 가지는 웨이퍼를 각 온도에서 비교를 해보았을 때, 810℃에서 소성 공정을 진행한 Fig.2 (a)와 (d), 860℃에서 소성 공정을 진행한 Fig.2 (b)와 (e), 910℃에서 소성 공정을 진행한 Fig.2 (c)와 (f)는 모든 온도에서 MCCE 공정만 진행된 웨이퍼(Fig.2 (a), (b), (c))보다 MCCE+RIE 공정이 진행된 웨이퍼(Fig.2 (d), (e), (f))에서 더 많은 양의 Ag crystallite가 형성되고 두 형상에 따른 분포도 차이가 나는 것을 확인할 수 있다. 또한 810℃의 낮은 온도에서 소성된 MCCE 웨이퍼(Fig.2 (a))의 경우 매우 적은 양의 Ag crystallite가 형성되

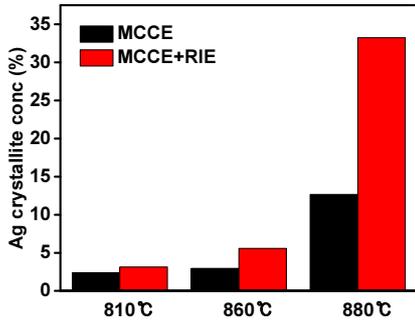


Fig. 3. Ag crystallite concentration of MCCE and MCCE+RIE by temperature

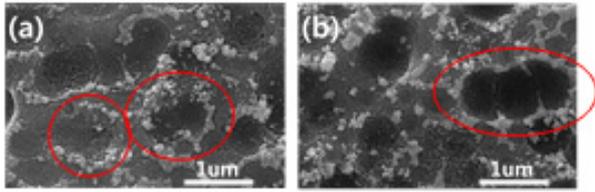


Fig. 4. Ag crystallite mostly formed at Etch pit (a) Firing of MCCE wafer at 860 °C (b) Firing of MCCE+RIE wafer at 860 °C

는 것에 비해 MCCE+RIE 웨이퍼(Fig.2(d))의 경우에는 860 °C와 비슷한 양의 Ag crystallite가 생성되었다. ICP-AES를 통해 웨이퍼 표면에 생성된 Ag crystallite 농도를 비교하였다. Fig. 3에서 확인 할 수 있듯이 모든 온도조건에서 MCCE+RIE 웨이퍼에서 Ag crystallite 농도 높다.

이 때, Ag crystallite는 표면에서의 평평한 부분에 비해 Etch pit 또는 모서리 부분에 더 많이 분포한 것을 확인하였다(Fig.4). 그 원인으로 Ag crystallite를 형성하기 위한 Silicon 과 Ag 사이의 반응이 모서리에서 더 활발히 발생했기 때문인 것으로 해석된다. 모서리에서의 Si-Ag 반응이 활발한 것으로 미루어 볼 때, MCCE 웨이퍼 (Fig.4(a))에 비해 MCCE+RIE 웨이퍼 (Fig.4(b))가 더 미세한 표면 형상을 가지면서 Ag crystallite가 더 쉽게 형성되어 높은 Ag crystallite 분포도를 보인 것으로 해석할 수 있다.

3.2 Fill Factor 분석

Fill Factor(FF)를 아래의 식¹²⁾을 통해 계산하였다. Ag crystallite의 분포도에 따른 Fill Factor 변화에 대해 분석을 진행하였다. 식 (1)에서의 pFF는 직렬 저항과 병렬 저항을 고려하지 않은 이론적인 FF 값이며 식 (2)에서의 FFs는 직렬 저항의 영향만을 고려했을 때의 FF 값이다. pFF-FFs 값은 직렬 저항이 태양 전지에 영향을 미치는 정도를 나타내며, 값이 클수록 직렬 저항이 커서 실제 FF가 낮아진 것을 의미한다. 이러한 직렬 저항에 영향을 미치는 요인은 크게 3가지가 있다. 첫 번째 요인은 태양 전지의 에미터에서 베이스로의 전류의 흐름에 대한 저항이고, 두 번째는 전극과 실리콘 사이의 접촉 저항, 세 번째 전면 전극과 후

Table 1. Fill Factor of MCCE wafer and MCCE+RIE wafer

Peak temp. (°C)	pFF(%)		FFs(%)		pFF-FFs(%)	
	MCCE	MCCE+RIE	MCCE	MCCE+RIE	MCCE	MCCE+RIE
810	79.3	82.9	22.1	38.0	57.1	44.9
860	81.6	82.3	78.8	80.9	2.8	1.4
910	81.7	82.1	80.0	80.6	1.7	1.5

면 전극의 저항이다. 본 연구에서는 전면 전극 형성의 열처리 피크 온도 이외에는 동일한 조건으로 실험을 진행했기 때문에 두 웨이퍼의 직렬 저항 차이에 영향을 미치는 요인은 두 번째 요인인 전극과 실리콘 사이의 접촉 저항 때문이라고 할 수 있다. 접촉 저항은 실리콘에 Ag crystallite가 많이 형성될수록 낮은 값을 가지게 된다.

계산을 통해 MCCE 공정만 진행된 웨이퍼와 MCCE+RIE 공정이 진행된 웨이퍼의 pFF, FFs 를 Table 1에서 확인 할 수 있다. 두 웨이퍼의 pFF-FFs 값을 비교하였을 때, 3개의 온도 모두에서 MCCE+RIE 웨이퍼가 더 작은 값을 갖는 것을 확인하였다. 이는 MCCE+RIE 웨이퍼의 접촉 저항이 MEEC 웨이퍼에 비해 더 좋은 것으로 볼 수 있으며, 또한 Fig.2에서도 알 수 있듯이 MCCE+RIE 웨이퍼는 MCCE 웨이퍼에 비해 더 많은 Ag crystallite가 형성되어 접촉 저항 측면에서 더 유리하다고 할 수 있다. FFs 값은 860 °C, 910 °C에서는 두 웨이퍼에서 높은 값을 가지고 810 °C에서는 모두 낮은 값을 가진다. 또한 온도 별 pFF-FFs 값 비교 시, 온도가 낮을수록 그 차이가 더 적게 발생하였다. 이는 높은 온도에서 소성 시 Ag crystallite가 두 표면 형상을 갖는 웨이퍼 모두에서 형성이 많이 되지만, 소성 온도가 낮은 경우 Ag crystallite가 표면 형상에 의해 더 영향을 크게 받으면서, MCCE 웨이퍼에서는 아주 적은 양의 Ag crystallite가 형성되면서 접촉 저항이 낮고 이에 따라 낮은 FFs 값을 나타낸 것으로 해석된다.

$$pFF = FF_0 = \frac{v_{oc} - \ln(v_{oc} + 5)}{v_{oc} + 1} \tag{1}$$

$$FF_{ideal} = FF_0 (n = 1)$$

$$FF_{ideal} = FF_0 (1 - r_s) \tag{2}$$

4. 결론

본 연구는 웨이퍼의 표면 형상이 Ag crystallite 형성에 미치는 영향에 대해서 분석하였다. 서로 다른 표면 형상을 가지는 두 가지 웨이퍼에 대하여 텍스처링 공정을 제외한 모든 공정을 동일하게 진행 하였다. SEM 이미지 결과, 모서리 부분에서 Ag

crystallite 형성이 더 활발하게 발생하여 더 미세한 표면 형상을 가지게 될 경우 Ag crystallite의 분포도가 증가한 것을 확인하였다. 또한 웨이퍼 표면의 평평한 부분보다 Etch pit 부분에 Ag crystallite가 주로 생성되는 것을 알 수 있었다. FF의 값을 계산하여 두 웨이퍼의 직렬 저항 분석 결과, MCCE+RIE 웨이퍼의 경우, MCCE 웨이퍼보다 낮은 직렬 저항을 가지는 것을 확인 할 수 있었다. MCCE 웨이퍼에 비해 높은 Ag crystallite 분포도를 가져 실리콘과 전극 사이의 접촉 저항이 낮기 때문에 낮은 직렬 저항을 가지는 것으로 보인다.

Acknowledgments

This work was supported by the New & Renewable Energy Core Technology Program of the Korea Institute of Energy Technology Evaluation and Planning (KETEP), which was granted financial resources from the Ministry of Trade, Industry, and Energy, Republic of Korea (Nos. 20163010012430 and 20173010012970). This work was supported by the "Human Resources Program in Energy Technology" of the Korea Institute of Energy Technology Evaluation and Planning (KETEP), with financial support from the Ministry of Trade, Industry and Energy, Republic of Korea (No. 20154030200760).

References

1. International Technology Roadmap for Photovoltaic, 10th edition: pp.1-80. 2019.
2. Yoshikawa, K., *et al.*, "Silicon heterojunction solar cell with interdigitated back contacts for a photoconversion efficiency over 26%", Vol. 2, No. 5, p. 17032. 2017.
3. Kontermann, S., *et al.*, "Physical understanding of the behavior of silver thick-film contacts on n-type silicon under annealing conditions", Vol. 93, No. 9, pp. 1630-1635, 2009.
4. Cabrera, E., *et al.*, "Impact of excess phosphorus doping and Si crystalline defects on Ag crystallite nucleation and growth in silver screen-printed Si solar cells", Progress in Photovoltaics: Research and Applications, Vol. 23, No. 3, pp. 367-375, 2015.
5. Schubert, G., "Thick film metallisation of crystalline silicon solar cells: Mechanisms", models and applications. 2006.
6. Kontermann, S., *et al.*, "Characterization and modeling of contacting crystalline silicon solar cells". 2009.
7. Hörteis, M., "Fine-line printed contacts on crystalline silicon solar cells", München (Dr. Hut.), 2009.
8. Cabrera, E., *et al.*, "Influence of Surface Topography on the Glass Coverage in the Contact Formation of Silver Screen-Printed Si Solar Cells". IEEE Journal of Photovoltaics, Vol. 3, No. 1, pp. 102-107, 2013.
9. Hilali, M.M., *et al.*, "Effect of Ag particle size in thick-film Ag paste on the electrical and physical properties of screen printed contacts and silicon solar cells". J. Electrochem. Soc., Vol. 153, No. 1, pp. A5-A11. 2006.
10. Hörteis, M., *et al.*, "High-temperature contact formation on n-type silicon: basic reactions and contact model for seed-layer contacts", Adv. Funct. Mater., Vol. 20, No. 3, pp. 476-484. 2010.
11. Cooper, I.B., *et al.*, "Understanding and use of IR belt furnace for rapid thermal firing of screen-printed contacts to Si solar cells. IEEE Electron Device Letters", Vol. 31, No. 5, pp. 461-463. 2010.
12. Green, M.A.J.E.C., NJ, Prentice-Hall, Inc., Solar cells: operating principles, technology, and system applications, p. 288, 1982.