

터널 산화막 전하선택형 태양전지를 위한 인 도핑된 비정질 실리콘 박막의 패시베이션 특성 연구

이창현¹⁾ · 박현정¹⁾ · 송호영¹⁾ · 이현주³⁾ · Yoshio Ohshita³⁾ · 강윤묵²⁾ · 이해석²⁾ · 김동환^{1,2)*}

¹⁾신소재공학과, 고려대학교, 서울특별시, 02841
²⁾KU-KIST 그린 스쿨 대학원, 고려대학교, 서울특별시, 02841
³⁾반도체 연구소, 도요타 기술 연구소, 나고야, 468-8611, 일본

Passivation Properties of Phosphorus doped Amorphous Silicon Layers for Tunnel Oxide Carrier Selective Contact Solar Cell

Changhyun Lee¹⁾ · Hyunjung Park¹⁾ · Hoyoung Song¹⁾ · Hyunju Lee³⁾ · Yoshio Ohshita³⁾ · Yoonmook Kang²⁾ · Hae-Seok Lee²⁾ · Donghwan Kim^{1,2)*}

¹⁾Department of Materials Science and Engineering, SERC, Korea University, Seoul 02841, Korea
²⁾KU-KIST Green School Graduated School of Energy and Environment, Korea University, Seoul 02841, Korea
³⁾Semiconductor laboratory, Toyota Technological Institute, Nagoya 468-8611, Japan

Received November 11, 2019; Revised December 11, 2019; Accepted December 13, 2019

ABSTRACT: Recently, carrier-selective contact solar cells have attracted much interests because of its high efficiency with low recombination current density. In this study, we investigated the effect of phosphorus doped amorphous silicon layer's characteristics on the passivation properties of tunnel oxide passivated carrier-selective contact solar cells. We fabricated symmetric structure sample with poly-Si/SiO_x/c-Si by deposition of phosphorus doped amorphous silicon layer on the silicon oxide with subsequent annealing and hydrogenation process. We varied deposition temperature, deposition thickness, and annealing conditions, and blistering, lifetime and passivation quality was evaluated. The result showed that blistering can be controlled by deposition temperature, and passivation quality can be improved by controlling annealing conditions. Finally, we achieved blistering-free electron carrier-selective contact with 730mV of i-Voc, and cell-like structure consisted of front boron emitter and rear passivated contact showed 682mV i-Voc.

Key words: Carrier selective contact, Amorphous silicon layer, Tunnel oxide passivated contact

Nomenclature

TOPCon : Tunnel oxide passivated contact

i Voc : Implied open-circuit voltage

MCD : Minority carrier density

Subscript

QSSPC : quasi-steady-state photoconductance

PECVD : plasma enhanced chemical vapor deposition

1. 서론

고효율 태양전지 제작에 있어 n형 실리콘 웨이퍼는 p형 웨이퍼에 비해 캐리어의 수명이 길고 금속 불순물에 덜 민감하며 붕소 원소를 함유하지 않아 광유도 열화 현상이 없다는 등의 다양한 장점이 있다. 현재 NREL이 보고한 최고 실리콘 태양 전지 효율은 일본의 Kaneka의 26.7%이며, 이는 n형 실리콘 웨이퍼를 기반으로 제작되었다¹⁾. n형 웨이퍼는 고효율 태양전지 제작에 장점이 있지만 가격 경쟁력 측면에서 단점이 있다. 그러나 n형 웨이퍼 기반 고효율 태양전지의 가격 경쟁력을 확보를 위한 기술들이 연구되어 오고 있으며 최근에는 기존 p형 웨이퍼 기반 태양 전지 및 모듈 생산 라인을 n형 웨이퍼로 대체하기 위한 공정 프로세스 개발이 꾸준히 진행되고 있다²⁾. 그 중에서도 가장 주목을 받는 기술은 터널링이 가능한 얇은 산화막과 poly-Si를 이

*Corresponding author: solar@korea.ac.kr

용한 SiO₂/poly-Si 구조를 통한 전자 선택 접합구조이다. 이 구조는 Fraunhofer ISE에서 TOPCon (Tunnel oxide passivated contact) 구조라 발표 하였으며 얇은 산화막을 통한 실리콘 계면의 패시베이션 및 전자 터널링 효과와 인 도핑된 poly-Si (Phosphorus doped polysilicon) 층으로 전자만 선택적으로 전달시킴으로서 2x2 cm²의 면적에서 25.7%의 효율을 달성하였다³⁾. 우수한 특성을 보이는 전하 선택형 구조인 TOPCon 구조는 n형 실리콘에 붕소 도핑으로 전면 p-n접합을 형성하고 후면에 터널 산화막 형성 후 PECVD 또는 LPCVD를 통해 poly-Si을 증착하여 열처리를 통해 제작된다.

본 연구에서는 n형 실리콘 기판에 화학적 산화막을 형성 후 PECVD를 통해 비정질 실리콘을 증착하였다. 이후 추가적인 고온 열처리를 통해 비정질 막을 poly-Si으로 결정화시키는 방법으로 TOPCon 구조를 형성하였다. 이때 형성 되는 poly-Si 막의 패시베이션 특성을 향상 시킬수록 포화 전류(saturation current) 값이 낮아지게 되어 최종적으로 고효율의 태양전지를 제작할 수 있다. 그러나 막의 패시베이션 특성을 저하시키는 수소 블리스터링(Blistering) 문제에 대하여 많은 보고가 있었으며^{4,5)}, 따라서 본 연구에서는 블리스터링 문제를 해결하기 위해 고온 열처리 공정을 최적화 하였고 또한 초기 증착단계에서 발생할 수 있는 블리스터링 문제를 해결하기 위해 막의 증착 온도, 두께를 조절하여 그에 따른 패시베이션 특성을 QSSPC 측정을 통해 비교 후 최종적으로 셀형 구조에 적용해 보았다.

2. 실험 방법

2.1 패시베이션 특성 분석용 샘플 제작 공정

터널 산화막 전하선택형 구조의 패시베이션 특성을 확인하

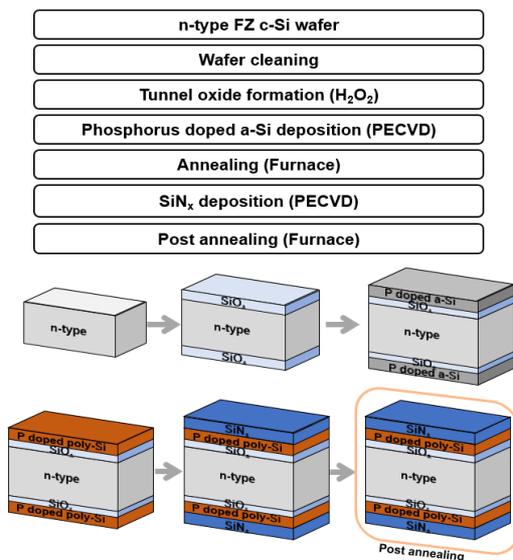


Fig. 1. SiO₂/poly-Si/SiNx stack structure fabrication diagram for passivation test

기 위해 본 연구에서는 FZ (Float Zone) 법을 통해 성장된 크기 3 inch, 두께 ~300 μm, 비저항 4.9 Ω cm의 n형 (100) 실리콘 웨이퍼를 사용하였다. NH₄OH 와 H₂O₂를 이용하여 RCA (Radio Corporation of America) 클리닝을 통해 웨이퍼를 세정하였으며 H₂O₂ 용액을 이용하여 실리콘 표면에 터널링이 가능한 ~1.2 nm의 얇은 실리콘 산화막을 형성하였다. 이후 PECVD를 이용하여 인 도핑된 비정질 실리콘 막을 증착하였으며 열처리 로를 통한 고온 공정을 통해 비정질 실리콘 막의 결정화를 진행하였다. 전하 선택형 접합 구조로서의 특성을 향상시키기 위하여 PECVD를 통해 수소를 함유하고 있는 SiNx 막을 증착하고 열처리를 통해 수소화(Hydrogenation) 공정을 진행하였다. 해당 공정 순서 및 샘플 구조에 대한 그림을 Fig. 1.에 통해 나타내었다.

2.2 태양전지 셀형(Cell-like) 구조

비정질 실리콘 막의 최적화 과정을 통해 얻은 우수한 품질의 전하 선택형 구조를 이용하여 Fig. 2.의 과정을 통해 셀구조에 적용시켜 보았다. 앞선 실험과 동일한 n형 FZ 실리콘 웨이퍼 한쪽 면에 SiO_x 배리어를 증착한 후 용액을 통한 texturing 공정을 진행하여 피라미드 형성하여 광 반사를 줄일 수 있는 구조를 다른 한쪽 면에 형성하였다. Texturing이 되어 있는 면에 BBr₃를 이용하여 붕소를 확산시킴으로 p-n접합을 형성하였고 샘플 후면에 전하 선택형 접합 구조를 만들어 주기 위해 터널 산화막 및 인 도핑된 비정질 실리콘 막을 증착했다. 비정질 실리콘 막을 다결정 실리콘 막으로 바꾸기 위하여 고온 열처리를 진행하였다. 셀 구조의 계면 패시베이션 특성을 향상시키기 위해 ALD (Atomic layer deposition)를 이용하여 Al₂O₃ 증착하였으며 전면에서 광 흡수를 더욱 용이하게 하기 위해 ARC (Anti-reflectance coating) 역할을 하는 SiNx를 증착하였다.

샘플들의 패시베이션 특성을 알아보기 위하여 QSSPC 측정을 통해 캐리어수명(Carrier lifetime), 재결합전류밀도(Recom-

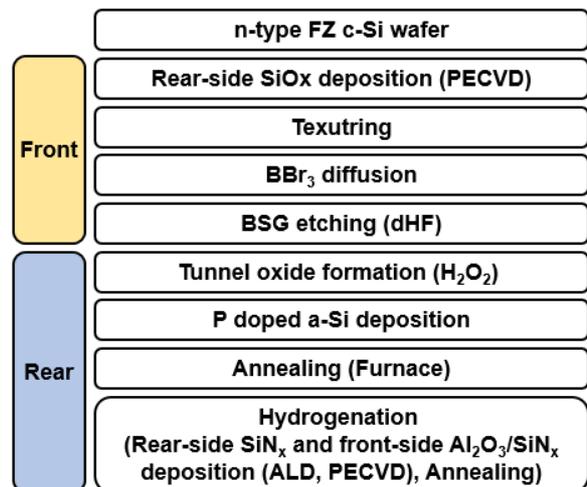


Fig. 2. Cell-like sample process with optimized TOPCon structure

bination current), *i*-Voc (Implied Voc) 값을 확인하였다. 본 연구에서는 WCT-120 Sinton Instruments 틀을 사용하여 아래 식 (1)에 따라 결정되는 *i*-Voc 값을 이용했다.

$$\text{Implied } V_{oc} = \frac{kT}{q} \ln \left(\frac{(N_D + \Delta n) \Delta n}{n_i^2} \right) \quad (1)$$

위 식에서 kT/q 는 열 전압, N_D 는 도핑 농도, Δn 은 과잉 캐리어 농도 n_i 는 고유 캐리어 농도를 나타낸다.

3. 결과 및 고찰

3.1 인 도핑 된 비정질 실리콘 박막 특성분석

3.1.1 단계별 열처리 과정

전하 선택형 접합 구조에서 캐리어의 전도성을 높여주기 위해 인 도핑된 비정질 실리콘 층을 약 800~900°C 고온 열처리를 통해 다결정 실리콘으로 변환시켜주는 과정이 필요하다. 이 과정에서 열처리 프로파일에 따라 비정질 실리콘막에 함유되어 있는 수소의 블리스터링(Blistering)으로 인해 패시베이션 특성이 저하되는 것을 확인하였다. 막의 열처리가 진행되며 탈수소화(Dehydrogenation) 과정이 빠르게 일어나며 블리스터링이 일어나게 된다. 실리콘과 수소의 결합은 약 300°C 부터 끊어지기 시작하며 550°C 이상에서는 거의 모든 수소가 빠져나가는 것을 문헌을 통해 확인하였다^{6,7)}. 탈수소화가 진행되는 과정에서 열처리 시간을 늘려 나감에 따라 고온 열처리로 인한 블리스터링

문제를 해결 할 수 있었고 이는 Fig. 3.을 통해 나타내었다. Fig. 3. (a)에서는 350°C 까지 5분 승온 및 10분 유지, 400°C 까지 5분 승온 및 10분 유지, 500°C 까지 5분 승온 및 10분 유지를 통해 탈수소화가 일어나는 구간에서 단계별 열처리 과정을 적용하였다. 웨이퍼 내부의 블리스터링이 줄긴 했지만 여전히 블리스터링 자국이 많은 것을 확인할 수 있었다. (b)에서는 350°C 까지 승온 시간을 30분으로 늘리고 400°C 까지 승온 시간 10분 및 유지 시간을 30분까지 증가시켜 블리스터링을 상당히 줄일 수 있었다. 마지막으로 (c)에서는 350°C 까지 30분 승온 및 30분 유지, 500°C 까지 30분 승온 및 30분 유지시킨 후 고온 열처리를 진행하는 단계별 열처리를 통해 육안상 샘플에 블리스터링을 없는 열처리 공정 조건을 확보하였다.

3.1.2 증착 온도 및 두께 변경

비정질 실리콘의 블리스터링은 초기 박막 증착 단계에서 막의 수소함량에도 영향을 받기 때문에 초기 비정질 실리콘 박막의 증착 온도 및 두께를 변경하여 QSSPC 측정을 통해 박막의 패시베이션 특성을 확인하였다.

Table 1.을 통해 증착온도를 200°C 에서 250°C 로 증가시켜주는 것만으로도 초기 증착 단계에서 박막의 블리스터링이 줄어들어 캐리어 수명, 재결합전류 밀도가 개선되고 implied Voc 값이 8 mV 정도 증가하는 것을 확인하였다. 또한 Table 2.를 통해 막의 두께를 줄임으로 블리스터링이 개선되어 박막의 패시베이션 특성이 향상되는 것을 확인하였다. 250°C 에서 인 도핑된 비정질 실리콘 20 nm 증착했을 때 as-deposition 상태에서 재결합전류 밀도가 50 fA/cm²까지 낮아지고 *i*-Voc 673 mV까지

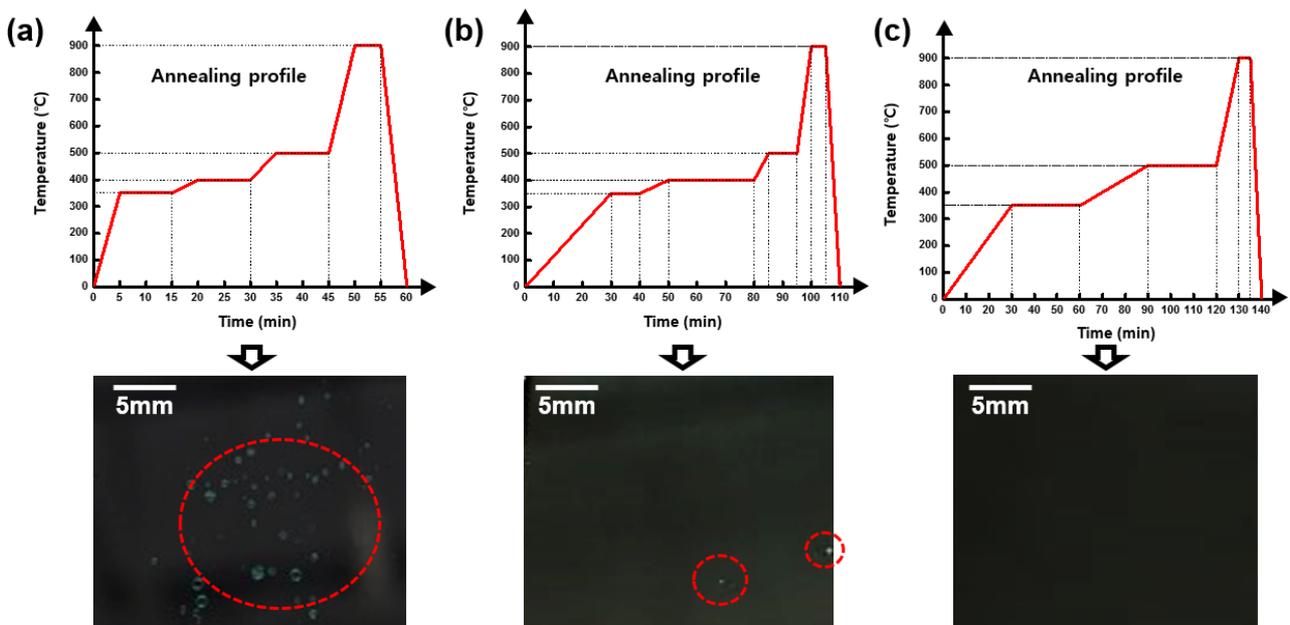


Fig. 3. Step annealing profiles and hydrogen blistering images(photograph) of phosphorus doped silicon layer after high temperature annealing processes

Table 1. QSSPC data according to a-Si dep. temperature

a-Si dep. temperature	Lifetime (μ s)	J_0 (fA/cm^2)	i-Voc (mV)
200°C	178.83	100	658
250°C	228.70	71	666

Table 2. QSSPC data according to a-Si thickness

a-Si dep. temperature	Lifetime (μ s)	J_0 (fA/cm^2)	i-Voc (mV)
30 nm	228.70	71	666
20 nm	304.03	50	673

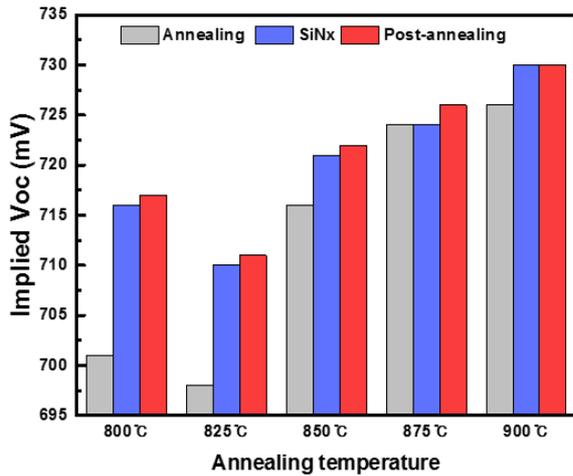


Fig. 4. Optimized P doped polysilicon layer according to peak temperature difference

개선되는 것을 확인하였다.

Fig. 4.에 비정질 실리콘 결정화를 위해 고온 열처리 과정에서 peak 온도를 변화시키며 얻은 다결정 실리콘 박막의 i-Voc 값을 나타내었다. 해당 샘플들은 수소 블리스터링 문제를 최적화 시킨 Fig. 3. (c)의 단계별 열처리 과정을 적용하였으며 peak 온도를 900°C 도로 결정화 시킨 박막은 $1E16$ 의 소수 캐리어 농도에서 2691.53μ s의 캐리어 수명을 보였으며 $3.8fA/cm^2$ 의 재결합 전류 밀도 값을 나타내고 i-Voc 값으로는 730mV를 나타내었다.

3.2 전하 선택형 접합 태양전지 셀형 구조

앞서 최적화 시킨 인 도핑된 비정질 실리콘 박막을 이용하여 터널 산화막 전하선택형 태양전지를 제작하여 패시베이션까지 마친 상태로 QSSPC 측정을 진행하였다. 셀 구조 제작을 위해 전면 texturing을 진행하였고 이를 통해 400 nm ~ 1100 nm 파장에서 가중 평균 반사도를 10.7%까지 낮추었다. 이후 BBr_3 를 이용하여 웨이퍼 내부로 붕소를 도핑 시켰으며 Fig. 5.을 통해 보론 에미터의 SIMS 프로파일과 패시베이션 특성을 확인 할 수 있다. ~100 Ω/sq 의 면저항을 가지는 에미터에 $Al_2O_3/SiNx$ 막을 증착하여 $25 fA/cm^2$ 의 재결합전류 밀도, 672 mV의 i-Voc 값을 확인

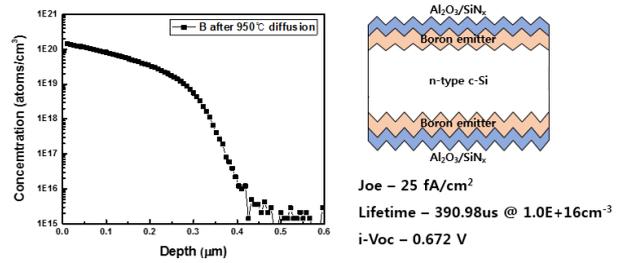


Fig. 5. Boron SIMS profile and passivation quality of boron emitter

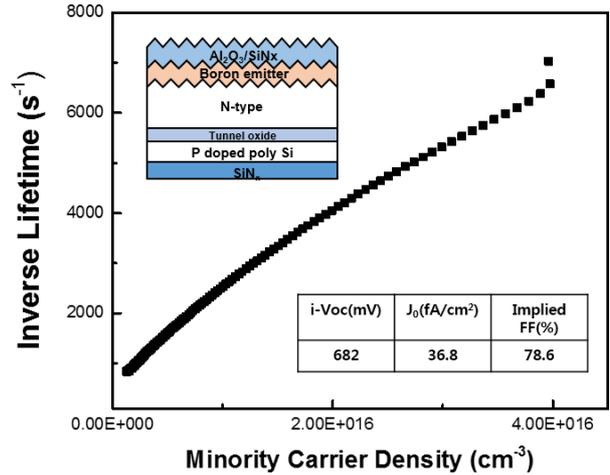


Fig. 6. QSSPC lifetime data of TOPCon Cell like sample

하였다.

해당 에미터를 사용하여 앞서 최적화 시킨 터널 산화막과 인 인 도핑된 비정질 실리콘 막을 적용하여 Fig. 6.과 같은 셀형 구조를 제작 후 QSSPC를 통해 패시베이션 특성을 확인하였다. 해당 구조를 통해 682 mV의 implied Voc, $36.8 fA/cm^2$ 의 재결합 전류 밀도, 78.6%의 implied fill factor 값을 확보 할 수 있었다.

4. 결론

본 연구에서는 고효율의 터널 산화막 전하선택형 태양전지 제작을 위해 인 도핑된 비정질 실리콘 박막을 PECVD를 통하여 증착한 후 QSSPC를 측정을 통해 박막의 패시베이션 특성을 분석하였다. 비정질 실리콘 박막을 고온 열처리하는 과정에서 생기는 수소 블리스터링을 제거하기 위해 단계별 열처리 과정을 적용하여 고온 열처리시 수소 블리스터링으로 인한 박막의 패시베이션 특성 저하를 완화하였으며 또한 비정질 실리콘 막의 증착 단계에서 발생하는 수소 블리스터링을 증착 온도 및 박막의 두께 조절을 통하여 완화하였다. 비정질 실리콘의 결정화를 위한 고온 열처리를 800°C 에서 900°C 범위에서 진행한 후 SiNx 증착 및 추가 열처리 과정을 통해 패시베이션 특성을 향상시켜 730mV의 implied Voc 값을 확인하였다. 해당 박막을 셀형구조에서 682mV의 implied Voc 값을 확인 통해 고효율의 태양전지 제작을 기대 할 수 있었다.

후 기

본 연구는 2019년도 산업통상자원부의 재원으로 한국에너지기술평가원의 지원을 받아 수행한 연구입니다 (No.20188550000450).

본 연구는 2019년도 산업통상자원부의 재원으로 한국에너지기술평가원의 지원을 받아 수행한 연구입니다 (No.20193010014530).

References

- Green, M. A., Hishikawa, Y., Dunlop, E. D., Levi, D. H., Hohl-Ebinger, J., Yoshita, M., Ho-Baillie, A. W. Y., "Solar cell efficiency tables (Version 53)", *Prog. Photovolt.*, Vol. 27, No. 1, pp. 3-12, 2019.
- Chen, Y., Chen, D., Liu, C., Wang, Z., Zou, Y., He, Y., Wang, Y., Yuan, L., Gong, J., Lin, W., Zhang, X., Yang, Y., Shen, H., Feng, Z., Altermatt, P. P., Verlinden, P. J., "Mass production of industrial tunnel oxide passivated contacts (i-TOPCon) silicon solar cells with average efficiency over 23% and modules over 345W", *Prog. Photovolt.*, Vol. 27, No. 10, pp. 827-834, 2019.
- Richter, A., Benick, J., Feldmann, F., Fell, A., Hermle, M., Glunz, S. W., "n-Type Si solar cells with passivating electron contact: Identifying sources for efficiency limitations by wafer thickness and resistivity variation", *Sol. Energy Mater. Sol. Cells*, Vol. 173, pp. 96-105, 2017.
- Morisset, A., Cabal, R., Grange, B., Marchat, C., Alvarez, J., Gueunier-Farret, M., Dubois, S., Kleider, J., "Improvement of the Conductivity and Surface Passivation Properties of Boron-doped Poly-silicon on Oxide", *AIP Conference Proceedings*, 1999, 040017, 2018.
- Li, Q., Tao, K., Sun, Y., Jia, R., Wang, S.-M., Jin, Z., Liu, X.-Y., "Replacing the amorphous silicon thin layer with micro-crystalline silicon thin layer in TOPCon solar cells", *Solar Energy*, Vol. 135, pp. 487-492, 2016.
- Kim, H., Bae, S., Ji, K.-S., Kim, S. M., Yang, J. W., Lee, C. H., Lee, K. D., Kim, S., Kang, Y., Lee, H.-S., Kim, D., "Passivation properties of tunnel oxide layer in passivated contact silicon solar cells", *Appl. Surf. Sci.*, Vol. 409, No. 1, pp. 140-148, 2017.
- de Calheiros Velozo, A., Lavareda, G., Nunes de Carvalho, C., Amaral, A., "Thermal dehydrogenation of amorphous silicon deposited on c-Si: Effect of the substrate temperature during deposition", *Physica. Status. Solidi. C* 9, No. 10-11, pp. 2198-2202, 2012.