

DRAM 집적공정 응용을 위한 전기도금법 증착 구리 박막의 자기 열처리 특성 연구

최득성[†] · 정승현
영남이공대학교

A Study on the Self-annealing Characteristics of Electroplated Copper Thin Film for DRAM Integrated Process

Deuk-Sung Choi[†] and Seung-Hyun Jeong

Division. of Electronics & Information Engineering, Yeungnam University College, Hyeonchung-ro 170, Nam-gu, Daegu 42415, Korea

(Received August 22, 2018; Corrected September 18, 2018; Accepted September 27, 2018)

초 록: 본 연구에서는 DRAM 제조 집적공정의 금속배선으로 사용하는 구리의 자기 열처리(self-annealing) 후 박막 특성 변화에 대한 연구를 진행하였다. 구리를 증착하고 상온에서 시간이 경과하면 구리가 성장하여 결정체 크기 변화가 생기는데 이를 자기 열처리라고 부른다. 구리 금속의 증착은 전기 도금법(electroplating)을 사용하였다. 구리 도금액으로 유기 첨가물이 다른 두 가지 시료인 기준 도금액과 평가 도금액 두 용액에 대해 평가 하였다. 자기 열처리 시간이 경과함에 따라 시간에 대해 면 저항 값의 변화가 없는 영역과 이후 급격하게 떨어지는 구간으로 나누어지고 최종적으로 포화면 저항 값을 보인다. 최종적인 면 저항 값은 초기 값 대비 20% 개선 효과를 보인다. 평가 전해액의 자기 열처리 효과가 기준 용액 대비 더 빠른 시간 안에 이루어졌는데 이는 유기 첨가물의 차이 때문이다. 개선의 효과 분석으로 TEM 장비를 이용하여 결정체 변화를 관찰하였고 자기 열처리 공정에 의해 효과적인 결정체 성장이 이루어졌음을 발견했다. 또한 단면 TEM 측정 결과 자기 열처리 된 시료는 전류 방향으로의 결정체 경계면 숫자가 줄어드는 bamboo 구조를 보인다. 열적 열하 특성(thermal excursion characteristics) 측정 결과 고온 열처리 대비 자기 열처리 시료가 hillock 특성이 보이지 않고 이는 박막의 신뢰성 특성을 향상 시킨다. Electron backscattered diffraction (EBSD) 측정 결과 결정체가 2 μm까지 성장한 결정체를 관찰하였고 스트레스에 의한 void를 억제하는데 유리한 (100) 면 비중이 증가하는 방향으로 결정체 성장이 이루어짐을 알 수 있다.

Abstract: This research scrutinizes the self-annealing characteristics of copper used to metal interconnection for application of DRAM fabrication process. As the time goes after the copper deposited, the grain of copper is growing. It is called self-annealing. We use the electroplating method for copper deposition and estimate two kinds of electroplating chemicals having different organic additives. As the time of self-annealing is elapsed, sheet resistance decreases with logarithmic dependence of time and is finally saturated. The improvement of sheet resistance is approximately 20%. The saturation time of experimental sample is shorter than that of reference sample. We can find that self-annealing is highly efficient in grain growth of copper through the measurement of TEM analysis. The structure of copper grain is similar to the bamboo type useful for current flow. The results of thermal excursion characteristics show that the reliability of self-annealed sample is better than that of sample annealed at higher temperature. The self-annealed sample is not contained in hillock. The self-annealed samples grow until 2 μm and develop in [100] direction more favorable for reliability.

Keywords: self-annealing, electroplated copper, DRAM process integration, sheet resistance, reliability, thermal excursion characteristics

1. 서 론

고 집적 회로, 예를 들면 휘발성 메모리(DRAM)와 중앙처리장치(CPU, AP)의 논리 회로(logic device)등의 고

사양 회로설계를 위해서는 높은 동작속도가 요구되고 높은 전류가 수반된다. 집적도가 높아짐에 따라 디자인 룰(design rule)을 작게 해야 하고 소자들의 연결을 위한 금속배선 너비도 제한되므로 주의 깊은 배선물질의 선택이

[†]Corresponding author
E-mail: jippsy@ync.ac.kr

© 2018, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

필수적이다. 배선의 물리적 크기가 작아지고 동작주파수가 높아지면 전류의 흐름 방향의 단면적이 줄어들어 저항은 커지고, 선 폭의 간격이 줄어들어 배선간의 정전용량이 증가하여 RC (Resistance Capacitance) 지연현상이 커지고 회로 동작속도가 떨어진다. 또 다른 문제로 배선너비가 줄어들면 연결저항과 전류밀도가 증가하게 되고 electromigration 현상과 같은 신뢰성 특성이 저하된다. 이를 해결하기 위해 더 많은 금속배선을 사용하는 것도 하나의 방법이지만 이는 평탄화, 패턴 형성, 수율 등의 공정 난이도를 증가시켜 제조비용 상승으로 이어지는 부작용이 있다. 또 다른 방법으로는 선간 신호지연 현상을 경감하기 위해 회로적으로 규칙적인 리피터(repeater)를 삽입하는 것인데¹⁾ 이 또한 소자의 면적증대와 전력 소비증가가 우려된다. 가장 적절한 방법으로 기존 사용 금속 재료인 알루미늄(Al) 대신 비저항 값이 작은 물질인 은(Ag), 구리(Cu), 금(Au)등을 대안으로 생각할 수 있는데, 공정 적합성, 즉 낮은 공정비용, 높은 증착비율, 낮은 공정 진행 온도, 매우 좋은 electromigration 특성, 높은 틱새 매움 능력 등을 고려해 볼 때 구리가 가장 적합한 것으로 연구되었다.²⁾

구리재료를 배선공정에 적용하는 데는 기술적 난제가 있는데 구리는 식각하기 어려워 패턴형성을 하는데 애로점이 많다. 이를 해결하기 위해 다마스(Damascene) 공정을 사용하는데 이는 배선 모양을 산화막을 이용해서 참조 모양으로 미리 만들고 구리를 전기 도금 증착법을 이용하여 채우고 CMP 장비를 이용하여 평탄화하여 배선 형태를 완성하는 공정이다.³⁻⁴⁾ 다마스 공정은 낮은 비용과 높은 채움 특성 그리고 좋은 전기적 특성을 갖는 매우 유용한 방법이다. 배선 재료로 구리를 사용할 시 구리의 전기적 특성은 매우 중요한데 구리의 성장 형태와 결정체(grain) 크기가 전기적 특성에 매우 큰 영향을 미친다.

구리를 증착하고 상온에서 시간이 경과하면 구리가 성장하여 결정체 크기 변화가 생기는데 이를 자기 열처리(self-annealing)이라고 부른다.⁵⁾ 자기 열처리 결과로 구리의 구조적 변화 및 전기적 성질이 바뀌게 되고 신뢰성 특성에도 영향을 미친다. 자기 열처리 후 통상적으로 결정체 크기는 10배까지 커지고 이에 따라 면저항 값은 20%까지 감소한다.⁶⁻⁷⁾ 구리 성장에 미치는 영향은 매우 많은데 전기 도금 시 사용되는 시드(seed) 층의 구조, 구리 박막 두께, 전기 도금액에 첨가하는 물질의 종류, 자기 열처리 시간 등의 변수들이 있다.⁸⁻¹⁰⁾

본 연구는 휘발성 메모리인 DRAM 소자의 동작 속도 개선을 위해 구리를 배선 금속으로 사용하여 공정을 집적(process integration)하고 평가 하였다. DRAM 소자의 공정 집적은 집적도가 높은 메모리 셀 트랜지스터와 커패시터에 맞추어 소자의 수율 상승 및 저비용 공정 단계 등을 고려하여 최적화 되어 있다. 주어진 전체 공정 집적 순서 및 공정 구조를 감안하여 구리 공정을 설계하고 구리의 자기 열처리 단위 공정을 평가 하였다. 본 연구에서

는 설계된 구리 집적 공정 변수에 대해 열처리 시간 변수에 따른 구리 박막의 전기적 특성, 결정체(grain) 크기의 변화, 표면의 거칠기 등의 배향 특성과 두 가지 종류의 전기 도금액에 대해 평가하여 DRAM 제조 공정에서 사용할 수 있는 baseline 공정 조건을 찾는 연구를 진행 하였다.

2. 실험

구리 전기도금 실험의 전체적인 공정 평가실험은 DRAM 소자 공정집적에 응용을 염두에 두고 설계 하였다. 기존 설정된 DRAM 공정집적을 기준으로 적용 가능한 공정, 그리고 평가의 용이성을 고려하여 설계하였다. 전체 공정은 다음과 같다. 먼저 12 inch 실리콘 (100) 웨이퍼 위에 Plasma Enhanced Chemical Vapor Deposition (PECVD)로 산화막을 형성하였다. 구리의 고확산성을 막기 위한 barrier 물질로 Ta를 290 Å를 Physical Vapor Deposition (PVD) 장비를 이용하여 증착하고 이어서 구리 증착을 위한 종자(seed) 구리를 550 Å를 증착하였다. 전기 구리도금 장비는 AMAT사의 Raider 모델을 사용하였고, 전류 밀도는 5 mA/cm², 전해액으로는 기존 사용하는 용액(Chemical B)을 reference로 하고 다른 평가용액(Chemical A)을 평가용으로 추가 실험하였다. 구리 도금 공정 후 용액 별 시료에 대해 시간 지연 없이 후속 공정을 진행한 시료와 자기 열처리(self-annealing) 시간에 변화를 주며 전기적 특성을 측정하였다. 또한 이후 공정으로 100°C 30분 후속 열처리(post annealing) 공정을 진행하여 구리 박막 안정화 공정을 진행하였다. DRAM 공정에서 구리 배선 후 다층 배선을 위한 후속 공정 (구리 열처리공정, 금속간 절연막인 TEOS 증착, 보호막 역할을 하는 산화/질화막 증착, Al 공정)들을 진행하기 위해 열처리 공정이 필요한데 이를 감안한 박막 열화 특성을 400°C 30분 H₂/N₂ 분위기에서 3번 진행하여 대체 평가 하였다. 전기적 평가를 위해 면저항 값은 four-point probe 장비를 이용하여 측정하였고, Transmission Electron Microscope (TEM) 장비를 이용하여 결정체(grain) 경계면 측정 및 표면 형태 측정을 실시하였다. 또한 패턴이 있는 웨이퍼에서 결정체 크기 분포측정을 위해 Electron Back Scattering Diffraction (EBSD) 장치를 이용하여 결정체 크기와 분포 특성을 분석하였다.

3. 결과 및 토의

Fig. 1은 기존 전해액(Chemical B)과 평가 전해액(Chemical A)을 사용하여 전기 도금을 진행 한 후 자기 열처리 시간에 따른 면저항 변화 추이를 도식화 한 것이다. 초기 자기 열처리 시간에는 면저항 값의 변화가 없다가 일정한 시간 경과 후 면저항 값의 급격한 감소가 이루어 지는데 평가 전해액(Chemical A)의 경우 안정기로 접어들면 대략 초기 값 대비 20% 정도 떨어짐을 발견

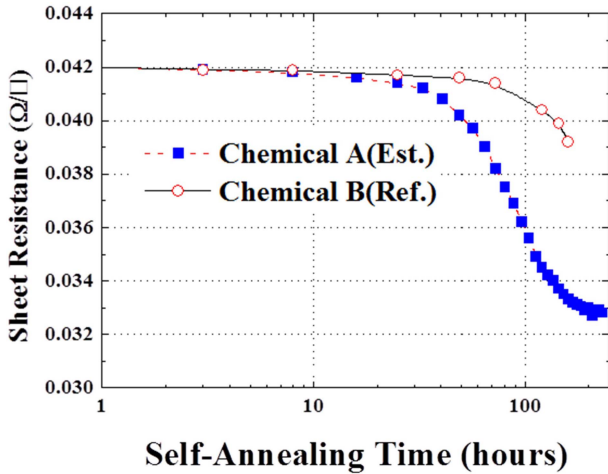


Fig. 1. Sheet resistance evolution during self-annealing of the 0.5 μm Cu film deposited by electroplating method using the chemical 'A' and 'B' with different organic additives respectively.

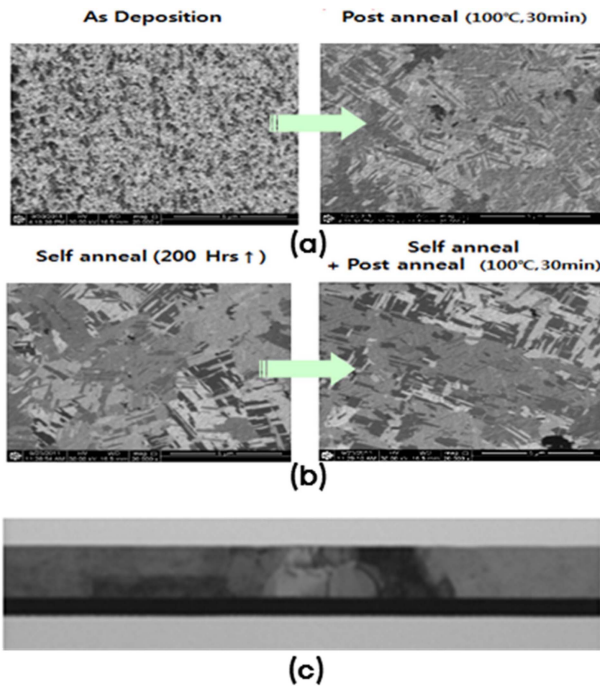


Fig. 2. TEM pictures show the microstructure of samples with/without self-annealing processing during 200hours and all samples are post-annealed at 100°C during 30minutes. a) Plan view of no self-annealed sample, b) Plan view of self-annealed sample, c) Cross section view of self-annealed sample.

할 수 있다. 면 저항 변화율은 더 짧은 시간 경과에 대해 기준 전해액 보다 평가 전해액의 변화가 크다. 이는 전해액에 첨가되는 유기 첨가물(organic additives)의 차이로 발생된다. 유기 첨가물의 역할은 재결정화의 초기를 결정하고 이를 가속화 하는 역할을 하고 농도가 적을 시 재결정화 지연 현상을 초래 한다.¹¹⁾ 그러나 유기 첨가물의 농도는 각 설정된 실험환경에 따라 최적 조건이 존재 한

다. 재결정화 시간을 충분히 주면 기준 전해액의 평가 면 저항 값도 안정적 값을 보일 것으로 예상되나, 추가 경과 시간은 생산성을 떨어지게 만드는 단점이 있다. 또한 재결정화 변화를 유발시키는 다른 공정 변수로 박막 두께가 두꺼울수록, 구리전기 도금 전류 밀도가 증가할수록 재결정화율은 증가한다고 알려졌으나 본 실험에서는 설정된 공정 target과 조건에 대해 평가 하였다. 면 저항 값의 변화는 두 개의 구간으로 확연하게 구별되어 지는데 첫 번째 구간은 초기 회복 단계(initial recovery stage)이고 두 번째 단계는 재결정화(recrystallization) 단계이다.¹²⁾ 초기 회복단계는 자기열처리 과정에서 성장한 초기 결정체 크기가 임계 값을 갖지 못한 상태이다. 임계 값을 넘어서면 결정체 재결정화 과정이 이루어지고 이에 따라 저항 값이 감소하게 된다.

Fig. 2(a), (b)는 각각 자기 열처리를 진행하지 않은 시료와 진행한 시료의 구리 미세 구조 변화를 살펴보기 위해 평면 TEM을 이용하여 표면 분석을 진행한 결과이다. 자기 열처리 진행한 시료는 평가 전해액(Chemical A)에 대해 200시간 자기 열처리 진행하여 면 저항 값이 충분히 떨어져 값이 포화된 상태인 시료 이다. 각각의 시료는 후속 열처리로 100°C, 30분 동안 추가 진행 하였는데, 이는 구리 박막의 안정화를 위한 열처리 공정이다. 표면 분석 결과로부터 실온에서 200시간 자기 열처리 진행 한 시료의 경우 결정체 성장이 이루어 진 것을 관찰 할 수 있고, 최종 후속 열처리 후 두 종류 시료의 결정체 크기는 자기 열처리 진행 한 시료가 하지 않은 시료에 비해 매우 큼을 알 수 있다. 이는 표면 분석과 전기적 측정 결과가 상응하는 결과이다. 구리의 재결정화 과정은 저항의 감소가 안정화 즉 포화 될 때까지 작은 결정체들의 융합 및 재배열에 의해 발생된다. 따라서 초기 결정체 크기가 결정화 후 최종 결정체 크기에 큰 영향을 미치는데 이는 구리 박막 증착 방법에 따라서도 차이가 있다. 예를 들면 스퍼터링(Sputtering)에 의한 구리 증착의 경우는 스퍼터링 자체의 온도가 실온보다 높은 100~200°C이고, 실온 스퍼터링 기술도 에너지를 가진 입자의 충돌에 의한 증착 기술이므로 실제 공정 온도는 실온보다 높고 이 때문에 증착 시 결정체 성장이 이루어 진다. 반면에 구리 도금 방식은 실온에서 증착하므로 증착이 완료 된 시점에서 박막은 준 안정화 상태라고 할 수 있다. 통상적으로 구리 도금 방식으로 증착한 박막의 초기 결정체 크기는 0.05~0.2 μm의 크기를 갖는다. 재결정화에 의한 결정체 성장은 박막에서 초기 결정체 중 소수의 결정체가 다른 대다수의 결정체 보다 빠른 성장을 이룰 때 급격하게 성장하게 된다. 다양한 성장 모델이 있지만 이중에 가장 널리 받아들여지는 모델은 결정체 경계면(grain boundary)을 고착화 하고 있는 입자(particle)가 재결정화 과정에서 굽어지고 이에 따라 입자의 평균 거리가 점점 멀어지고 결정체 경계면을 붙잡고 있던 힘이 감소하며, 최종적으로 결정체 경계면이 분리되면서 결정체 성장이 이루어 진다는 것이

다.⁷⁾ 결정체 경계면의 분리 후 소멸되면서 박막은 수축되며 밀도가 높아진다. 그리고 박막은 인장력 방향으로 스트레스 특성을 지닌다.⁷⁾ 입자의 결정체 경계면 고착화 특성은 입자의 크기와 부피율에 의해 결정되는데 이는 구리 증착 조건 및 유기 첨가물의 종류에도 매우 밀접한 관계가 있다. 예를 들어 구리 증착 시 높은 전기 밀도로 구리 도금을 한 경우 더 빠른 시간 안에 재결정화를 관측할 수 있는데 이는 더 빠른 박막 증착이 이루어 지고 따라서 많은 결정 결함이 발생하기 때문이다. 구리 박막 두께에 변화에 따른 결정체 성장 특성은 박막 두께가 두꺼울수록 더 짧은 시간 안에 결정체 성장이 이루어 지는데 이는 핵 형성 위치 밀도(nucleation site density)가 두께에 비례해서 증가 하기 때문이다. Fig. 2(c)는 자기 열처리 실온에서 200시간 진행하고 후속 열처리 100°C 30분 진행한 시료의 단면 TEM 측정 결과이다. 결정체의 크기가 매우 크고 bamboo 구조를 보임을 알 수 있다. Bamboo 구조 형태는 전류 흐름 방향에 대해 결정체 경계면 숫자가 작아 신뢰성에 매우 유리하다. 구리 박막 형태(texture)와 구조는 증착 시 사용하는 장벽(barrier) 금속과 종자(seed) 물질, 증착 기술을 화학 기상 증착(Chemical Vapor Deposition), 스퍼터링, 구리 도금 등 어떤 것을 채용했느냐에 따라 달라지고 완성된 박막의 형태와 구조는 전기적 신뢰성 결과에도 영향을 미친다.

Fig. 3(a), (b)는 평가 전해액(Chemical A)에 대해 각각 자기 열처리를 진행하지 않은 시료와 진행한 시료의 열적 열화 특성(thermal excursion characteristics)을 평가한 결과이다. 조건은 400°C 30분 3번 반복 열적 스트레스를 인가 하였고 이는 DRAM 집적 공정의 후속 열 공정(thermal budget)을 염두에 두고 평가 한 것이다. 자기 열처리를 진행 하지 않은 시료의 경우에는 hillock이 발견되지만 열처리를 진행 한 시료의 경우에는 hillock이 발견되지 않았다. 열적 스트레스에 의한 hillock은 구리 원자가 이동 하여 박막의 부분적 위치에 과밀하게 모여 형성된 것이다. 결정체 경계면의 원자의 배열은 좀 더 무질서 하고 결합된 형태도 느슨하기 때문에 원자 확산이 더 용이한데 온도에 따른 구리 확산 정도를 나타내는 활성화 에너지(activation energy)를 비교해 보면 구리 박막 내에서는 2.3eV, 결정체 경계면에서는 1.2eV로 결정체 경계면에서의 구리 확산이 잘 일어나고 hillock 형성 원인 제공이 될 가능성이 많다. 자기 열처리 진행 하지 않은 시료의 경우 열처리 진행한 시료에 비해 결정체 크기도 작고 이에 따라 결정체 경계면의 밀도는 높아지며 따라서 hillock 발생 가능성이 증대된다. hillock 형성은 구리 박막의 다른 부분에서 구리 원자의 소실에 의한 것이므로 소실된 곳이 부분적으로 밀집되어 있으면 그 부분은 void가 발생할 가능성이 매우 높다. 추가적인 전기적 스트레스(electro-migration test) 인가 시 저항 및 전류 밀도의 부분적 증가로 신뢰성이 저하되는 특성을 보인다. CVD와 전기도금법으로 각각 증착한 구리의 열처리 후 전기 스

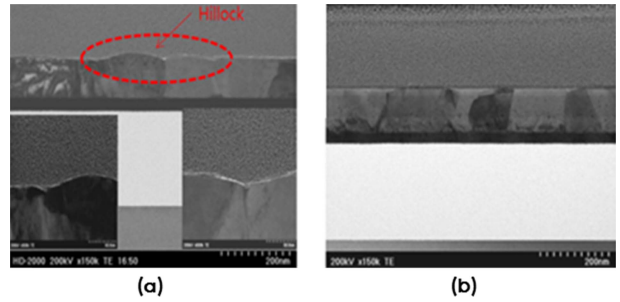


Fig. 3. The surface profile of Cu film after 3 times thermal excursion test at 400°C 30min. a) without self-annealing, b) with self-annealing during 200hours.

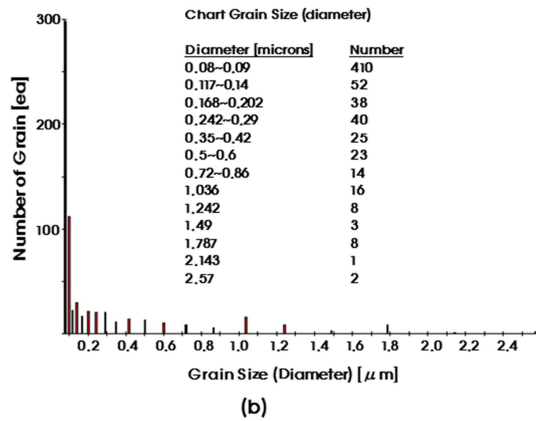
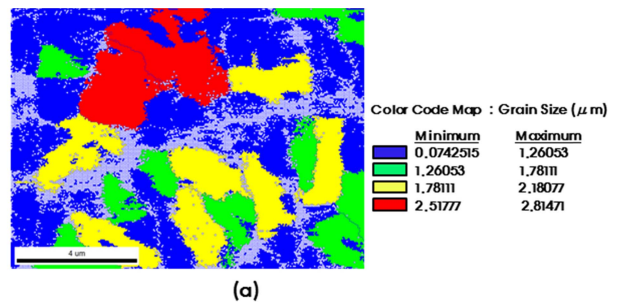


Fig. 4. The distribution of grain size using EBSD analysis. Sample are fabricated by using the chemical A and self-annealed during 200hours, and then post-annealed at 100°C during 30min. a) color map of Cu grain size, b) the distribution of grain size.

트레스 측정 결과 결정체 크기가 큰 즉 결정체 경계면 밀도가 작은 전기도금법의 경우가 더 좋은 신뢰성 특성을 보이는 연구 결과와¹³⁾ 상응하는 결과를 보인다. 또한 hillock이 발생한 부분의 구리 배선은 최소 설계 규칙(minimum design rule)으로 만들어진 주위 배선과 전기적 단락을 발생시켜 소자가 오 동작 하게 만드는 원인을 제거한다. 열적, 전기적 스트레스에 대해 신뢰성 있는 구리 배선을 달성 하려면 제한된 설계 규칙에서 최적화된 공정 배선 공정을 채택하여 공정에 의해 발생하는 결함을 줄이고 박막의 균일성을 개선하는 구리 배선 공정을 사용해야 한다.

Fig. 4는 평가 전해액(Chemical A)에 대해 자기 열처리 200시간을 진행하고 후속 열처리 100°C 30분 처리 해준 시료를 electron backscattered diffraction (EBSD) 기술을¹⁴⁾ 이용하여 측정된 결과이다. EBSD 기술을 이용하면 구리 박막 결정체 크기 분포 및 결정 방향 등을 측정할 수 있다. EBSD 측정 결과로부터 매우 작은 결정체부터 2 μm 까지 성장된 매우 큰 결정체까지 크고 작은 결정체들이 섞여 분포되어 있고, 쌍둥이 경계면(twin boundary)들이 관측된다. 증착 시 초기에 형성된 쌍둥이 경계면은 자기 열처리가 진행됨에 따라 (111) 면의 비중이 줄면서 (100) 면의 결정체 비중이 점차 증가하면서 결정체 성장이 일어난다. 측정 시료의 경우 자기 열처리 후 (100) 면 결정체 비중은 32%이다. 신뢰성 특성에 영향을 미치는 구리 박막의 void는 박막이 스트레스를 받아 발생하는 것으로 알려져 있는데 (100)면의 스트레스가 (111)보다 작기 때문에 자기 열처리 공정에 의한 결정체 성장은 스트레스 경감에 의한 void의 발생 빈도를 줄이고 최종적으로 신뢰성 특성을 향상시킨다. EBSD 측정 결과로부터 자기 열처리 공정은 효과적으로 매우 큰 구리 박막 결정체 성장이 가능하게 하고 그로 인해 구리 박막의 전기 전도도를 개선하고 추가적으로 결정 방향 또한 스트레스를 줄여 주는 방향으로의 결정 성장을 이루게 하여 신뢰성 특성을 개선하여 고집적 반도체 제조에 필요로 하는 미세 금속 배선 기술에 매우 유용하게 쓰일 수 있는 기술이다.

4. 결 론

본 연구는 DRAM 집적 공정에 사용할 목적으로 구리 박막의 자기 열처리 공정에 대한 평가를 진행하였다. 구리를 전기 도금법으로 증착하고 상온에서 자기 열처리를 진행하면 구리 박막의 결정체 성장이 이루어진다. 초기 자기 열처리 시간에는 면 저항 값의 변화가 없다가 일정한 시간 경과 후 면 저항 값의 급격한 감소가 이루어지는데 평가 전해액(Chemical A)의 경우 안정기로 접어들면 대략 초기 값 대비 20% 정도 떨어짐을 발견할 수 있다. 면 저항 변화율은 더 짧은 시간 경과에 대해 기준 전해액보다 평가 전해액의 변화가 크다. 이는 전해액에 첨가되는 유기 첨가물(organic additives)의 차이로 발생된다. 평가 전해액의 경우 대략 200시간 경과 후 포화 저항 값을 보인다. 또한 자기 열처리 후 성장된 결정체의 TEM 평면 측정 결과 결정체들은 bamboo 구조를 갖고 이는 전류 흐름에 대해 결정체 경계면의 밀도가 낮은 구조로 전기적 저항도 변화 개선을 설명할 수 있다. 자기 열처리 진행 하지 않은 시료와 진행 한 시료의 반복 열적 스트레스 인가 후 단면 촬영 결과 충분히 안정적 모습으로 결정체 성장이 이루어진 자기 열처리 시료의 경우 hillock이 발생하지 않은 안정적 박막 성장이 이루어졌음을 발견할 수 있었다. EBSD 측정 기술로 자기 열처리 진행 한 시료에 대한 평가 결과 매우 큰 결정체를 갖는 구리 박막을

얻을 수 있었고 결정 방향도 (100) 면의 비중이 증가하는 방향으로의 박막이 성장함을 관측할 수 있었다. 결과적으로 자기 열처리 공정은 전기 전도도 향상 및 스트레스에 의한 void 형성 억제에 매우 효과적인 방법이다.

감사의 글

본 논문을 위해 실험과 샘플 제작 그리고 결과에 대해 깊은 관심과 토의에 참여 하여 도움을 주신 박형진 박사님께 감사를 드립니다.

References

1. H. Bakoglu, and J. D. Meindl, "Optimal interconnection circuits for VLSI", IEEE Transactions on Electron Devices, 32(5), 903 (1985).
2. N. Shinoda, T. Shimizu, T. F. Chang, and A. Shibata, and M. Sone, "Filling of nanoscale holes with high aspect ratio by Cu electroplating using suspension of supercritical carbon dioxide in electrolyte with Cu particles", Microelectronic Engineering, 97, 126 (2012).
3. P. Vereecken, P. Binstead, H. Deligianni, and P. Andricacos, "The chemistry of additives in damascene copper plating", IBM Journal of Research and Development, 49(1), 3 (2005).
4. E. M. Zielinski, S. W. Russell, and R. S. List, A. M. Wilson, C. Jin, K. J. Newton, J. P. Lu, T. Hurd, W. Y. Hsu, V. Cordasco, M. Gopikanth, V. Korthuis, W. Lee, G. Cerny, N. M. Russell, P. B. Smith, S. O'Brien, and R. H. Havemann, "Damascene integration of copper and ultra-low-k xerogel for high performance interconnects", IEEE Electron Devices Meeting, 936 (1997).
5. K. Ueno, T. Ritzdorf, and S. Grace, "Seed layer dependence of room-temperature recrystallization in electroplated copper films", Journal of applied physics, 86(9), 4930 (1999).
6. K. Ritzdorf, L. Graham, and S. Jin, et al., "Self-annealing of electrochemically deposited copper films in advanced interconnect applications", Proc. International Interconnect Technology, 166 (1998).
7. J. M. E. Harper, C. Cabral, and Jr., P. C. Andricacos, L. Gignac, I. C. Noyan, K. P. Rodbell, and C. K. Hu, "Mechanisms for microstructure evolution in electroplated copper thin films near room temperature", Journal of applied physics, 86(5), 2516 (1999).
8. H. Lee, S. S. Wong, and S. D. Lopatin, "Correlation of stress and texture evolution during self- and thermal annealing of electroplated Cu films", Journal of applied physics, 93(7), 3796 (2003).
9. H. Lee, W. D. Nix, and S. S. Wong, "Studies of the driving force for room-temperature microstructure evolution in electroplated copper films", Journal of vacuum science & technology, 22(5), 2369 (2004).
10. M. Stangl, J. Acker, V. Dittel, W. Gruner, V. Hoffmann, and K. Wetzig "Characterization of electroplated copper self-annealing with investigations focused on incorporated impurities," Microelectronic Engineering, 82, 189 (2005).
11. S. Lagrange, S. Brongersma, M. Judelewicz, A. Saelens, I. Vervoort, E. Richard, R. Palmans, and K. Maex "Self-anneal-

- ing characterization of electroplated copper films”, *Micro-electronic Engineering*, 50, 449 (2000).
12. M. Stangl, and M. Militzer “Modeling self-annealing kinetics in electroplated Cu thin films,” *Journal of applied physics*, 103(113521), 1 (2008).
 13. C. Ryu, K. W. Kwon, A. L. S. Loke, H. Lee, T. Nogami, V. M. Dubin, R. A. Kavari, G. W. Ray, and S. S. Wong, “Micro-structure and reliability of copper interconnects”, *IEEE Trans. Electron Devices*, 46(6), 1113 (1999).
 14. J. Y. Cho, H. J. Lee, H. Kim, and J. A. Szpunar, “Textural and microstructural transformation of Cu damascene interconnects after annealing”, *Journal of Electronic materials*, 34(5), 506 (2005).