

초고속 PCB 설계 기법

Ultra-High-Speed PCB Design Methods

김창균*, 이성수*

Chang-Gyun Kim*, Seongsoo Lee*

Abstract

Recently, signal integrity on PCB (printed circuit board) becomes very important as the system operation speed increases. So far, PCB is customarily designed to minimize area and cost. However, ultra-high-speed PCB often fail to operate properly, unless it is precisely and carefully designed considering dielectric characteristics, line width, line spacing, and impedance matching. This paper surveys many problems in ultra-high-speed PCB and various design methods to mitigate them.

요약

시스템의 동작 속도가 빨라짐에 따라 인쇄 회로 기판(PCB: printed circuit board)에서 신호 무결성 문제가 매우 중요해지고 있다. 지금까지는 관습적으로 PCB 면적을 줄이고 가격을 낮추도록 설계하는데 치중해왔다. 그러나 초고속으로 동작하는 PCB에서는 유전체 특성, 배선 폭, 배선 간격, 임피던스 정합 등을 고려하여 정밀하고 세심하게 설계하지 않으면 제대로 동작하기 어렵다. 본 논문에서는 초고속 PCB에서 생기는 여러 가지 문제점과 이를 완화할 수 있는 다양한 설계 기법에 대해 살펴본다.

Key words : Signal Integrity, Printed Circuit Board, Dielectric, Line Width, Line Spacing, Impedance Matching

I. 서론

반도체 기술의 발달에 따라 반도체 칩의 동작 속도도 급격하게 높아지고 있다. 그러나 반도체 칩과 다양한 전자 부품을 집적하고 이들을 연결하는 인쇄 회로 기판(PCB: printed circuit board)의 동작 속도가 반도체 칩을 따라가지 못하기 때문에 PCB가 시스템의 전체 동작 속도에서 병목 현상을 일으키는 경우가 많다.

많은 경우, PCB의 동작 속도를 크게 높이지 못하는 이유는 신호 무결성(signal integrity)[1] 문제이다. 고속 신호가 배선을 통해 전달되는 과정에서 왜곡되어 디지털 값이 달라지면 시스템의 동작에 문제가 발생하게 된다.

PCB에서 유전체(dielectric)의 특성, 배선 폭, 배선 간격, 임피던스 정합 등은 신호 무결성에 큰 영향을 미친다. PCB 설계자는 이러한 문제를 정확히 이해하고 신호 무결성을 높이도록 정밀하고 세심

* School of Electronic Engineering, Soongsil University

★ Corresponding author

E-mail : sslee@ssu.ac.kr, Tel : 82-2-820-0692

※ Acknowledgment

“This work was supported by the Korea Institute for Advancement of Technology (KIAT) grant funded by the Korean government (Motie: Ministry of Trade, Industry & Energy, HRD Program for Software-SoC convergence) (No. N0001883).”

Manuscript received Sep. 21, 2018; revised Sep. 27, 2018; accepted Sep. 27, 2018

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

하게 PCB를 설계하여야 한다. 그러나 현실적으로 설계자는 주로 PCB의 면적을 줄이고 가격을 낮추는데 대부분의 노력을 기울이고 있으며, 체계적인 이론으로 신호 무결성을 분석하여 PCB를 설계하여 동작 속도를 높이는 대신에 경험적, 관습적으로 설계하고 있다. 본 논문에서는 초고속 PCB에서 생기는 여러 가지 문제점과 이를 완화할 수 있는 다양한 설계 기법에 대해 살펴본다.

II. 유전체 선택

PCB를 구성하는 유전체는 신호 전송 측면에서 크게 두 가지 전기적 특성이 영향을 미친다. 먼저 유전체에서는 입력 신호와 반대 방향으로 유전 분극(dielectric polarization)이 발생하여 신호 전달이 진행할수록 전기장의 크기가 감소된다. 비유전률(Dk: relative dielectric constant)은 이 정도를 나타내는 유전체의 고유 상수이며, 식 (1)과 같이 Dk가 클수록 신호 전달 속도가 감소한다[2].

$$V = K \times \frac{C}{Dk} \tag{1}$$

- V : signal transmission speed (m/s)
- K : constant
- C : speed of light in vacuum (m/s)
- Dk : relative dielectric constant

또한 유전체에서는 원자 주변 전자의 진동으로 인해 입력 신호가 가진 에너지가 손실되어 입력 신호의 크기가 감소하고 열이 발생한다. 유전 정접(Df : dissipation factor)은 이 정도를 나타내는 유전체의 고유 상수이며, 입력 신호의 주파수가 매우 크면 식 (2)와 같이 Df 및 Dk가 클수록 신호 전압 크기가 감소한다[2].

$$A = f \times Df \times Dk \tag{2}$$

- A : signal propagation attenuation (dB/m)
- f : signal frequency (Hz)
- Df : dissipation factor
- Dk : relative dielectric constant

또한 Df가 클수록 발열이 커지는데, 발열로 인해 PCB의 온도가 높아지면 Df가 커지게 된다[3]. 이에 따라 Df 증가→열 발생→온도 증가→Df 증가의

악순환으로 Df가 매우 커지고 신호 전압 크기가 매우 작아지게 된다.

Dk 및 Df가 커질수록 신호를 고속으로 전송하기 어려우므로 Dk 및 Df가 작은 유전체를 선택하는 것이 바람직하다. 그러나 각각의 유전체는 가격에서도 차이가 날 뿐만 아니라 유리 전이 온도, 수직 팽창율, 수분 흡수율과 같은 기계적 특성에서도 차이가 나며 Dk와 Df 중 어느 하나만 좋은 유전체도 많다. 따라서 초고속 PCB를 설계할 때에는 먼저 기계적 특성과 가격이 주어진 제약 조건을 만족하는 유전체 후보들을 골라낸 후, 이들에 대해 식 (1), (2)에 따라 신호 전달 속도와 신호 감소 크기를 계산하여 이를 바탕으로 유전체를 결정하여야 한다.

III. 임피던스 정합과 3-W 규칙

대부분의 PCB 설계자는 PCB 면적을 줄이고 가

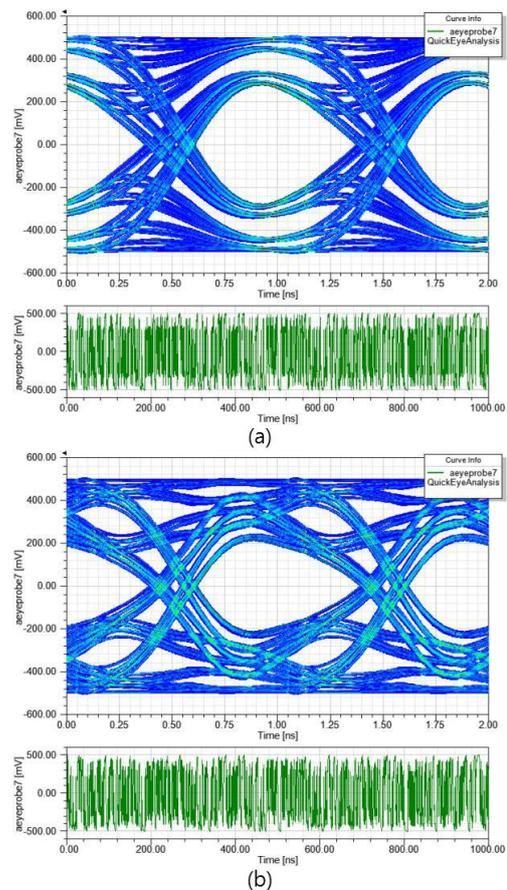


Fig. 1. Eye diagrams with impedance matching between differential-pair lines (a) 100 Ω (matching) (b) 76 Ω (mismatching).

그림 1. 차동 배선 사이의 임피던스 정합에 따른 아이 다이어그램 (a) 100 Ω (정합) (b) 76 Ω (미정합)

격을 낮추기 위해 관습적으로 배선 간격을 최소화하여 설계하고 있다. 그러나 실제로는 배선의 성격에 따라 각 배선마다 서로 다른 간격을 가져야 하며, 특히 전송 속도가 높을수록 배선 간격을 정밀하게 결정하지 않으면 PCB가 제대로 동작하지 않는 경우가 많다.

배선의 임피던스 정합은 단선(single-ended)이든 차동(differential-pair)이든 신호 무결성에 큰 영향을 미친다[4]. 그림 1은 차동 배선에서 배선 사이의 임피던스 정합이 이루어진 경우와 이루어지지 않은 경우의 아이 다이어그램(eye diagram)인데, 그림 1 (a)와 같이 100 Ω으로 임피던스 정합이 이루어진 경우에 비해 그림 1 (b)와 같이 76 Ω으로 임피던스 정합이 이루어지지 않은 경우가 신호 무결성이 악화된 것을 알 수 있다.

배선 자체의 임피던스는 식 (3), (4)과 같이 계산

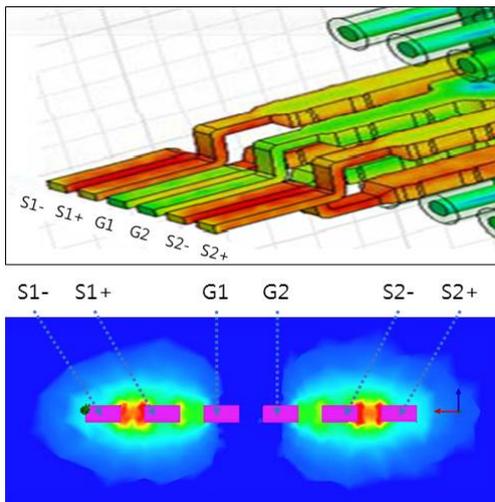


Fig. 2. PCB structure with 6 lines and its electromagnetic field simulation results.

그림 2. 6개 배선을 가진 PCB의 구조와 전자기장 시뮬레이션 결과

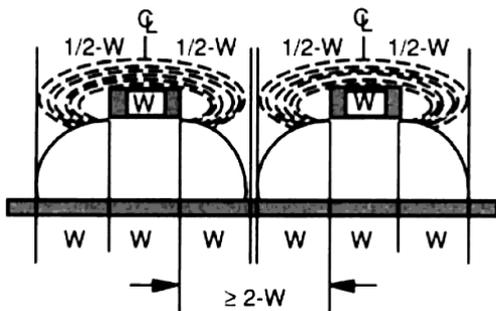


Fig. 3. 3-W rule [6].
그림 3. 3-W 규칙 [6]

되며[5] 이를 이용하여 배선 자체의 임피던스가 50 Ω 등의 목표 임피던스에 정합되도록 배선 폭을 결정하면 된다. 쌍을 이루는 차동 배선의 경우 배선 사이의 임피던스도 중요한데 훨씬 복잡한 방법으로 계산하기 때문에 본 논문에서 계산 방법을 소개하지는 않았다. 그러나 이 경우도 컴퓨터 프로그램을 사용하면 쉽게 계산할 수 있으며 이를 이용하여 쌍을 이루는 차동 배선 사이의 임피던스가 100 Ω 등의 목표 임피던스에 정합되도록 차동 배선 사이의 간격을 결정하면 된다.

$$\begin{aligned} \text{If } \frac{W}{h} < 1 \quad Z_o &= \frac{60}{\sqrt{\epsilon_{eff}}} \times \ln\left(\frac{8h}{W} + \frac{W}{4h}\right) \\ \text{else} \quad Z_o &= \frac{120}{\sqrt{\epsilon_{eff}}} \times \frac{1}{\left(\frac{W}{h} + 1.393 + 0.677 \times \ln\left(\frac{W}{h} + 1.444\right)\right)} \end{aligned} \quad (3)$$

$$\begin{aligned} \text{If } \frac{W}{h} < 1 \quad \epsilon_{eff} &= \frac{Dk+1}{2} + \frac{Dk-1}{2} \left(\frac{1}{\sqrt{1 + \frac{12h}{W}}} + 0.04 \left(1 - \frac{W}{h}\right)^2 \right) \\ \text{else} \quad \epsilon_{eff} &= \frac{Dk+1}{2} + \frac{Dk-1}{2} \left(\frac{1}{\sqrt{1 + \frac{12h}{W}}} \right) \end{aligned} \quad (4)$$

Z_o : line impedance (Ω)

W : line width (mm)

h : dielectric thickness (mm)

Dk : relative dielectric constant

그림 2는 차동 배선인 S1+/S1-, S2+/S2-와 단선 배선인 G1, G2의 6개 배선을 가진 PCB의 구조와 이 PCB의 전자기장 시뮬레이션 결과를 나타낸 것이다. 그림 2에서 배선에서 발생하는 전자기장이 다른 배선에 영향을 미치는 것을 알 수 있으며, 이는 신호 무결성을 악화시킨다.

그림 3은 이를 고려한 배선 간격 결정 기법인 3-W 규칙이다[6]. 선폭이 W인 배선에서 발생하는 전자기장이 다른 배선에 미치는 영향을 최소화하려면 각각의 배선이 W의 3배에 달하는 영역을 확보해야 하며 배선 사이의 간격은 W의 최소 2배 이상이어야 한다. 단, 쌍을 이루는 차동 배선 사이의 간격은 앞에서 설명한 바와 같이 3-W 규칙이 아닌 임피던스 정합에 의해서 결정된다.

IV. 배선 폭 및 간격 결정

임피던스 정합과 3-W 규칙을 잘 사용하면 배선의 폭과 간격을 최적화할 수 있으며 일반적으로 다음과 같은 순서로 진행한다.

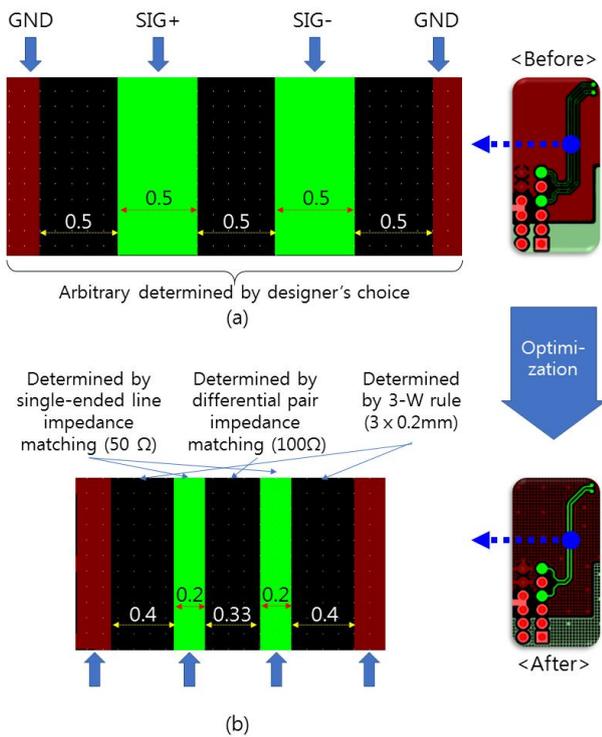


Fig. 4. Optimization of line width and spacing.
 그림 4. 임피던스 정합과 3-W 규칙에 기반한 배선 폭 및 간격의 최적화

(1) 배선 폭 결정: 배선 자체의 임피던스가 목표 임피던스에 정합하도록 식 (3),(4)에 따라 배선 폭을 결정한다.

(2) 차동 배선 간격 결정: 차동 배선 사이의 임피던스가 목표 임피던스에 정합하도록 컴퓨터 프로그램 등을 통해 배선 간격을 결정한다.

(3) 단선 배선 간격 결정: 차동 배선이 아닌 단선 배선 사이의 간격은 3-W 규칙에 의해서 배선 폭의 2배 이상이 되도록 결정한다.

그림 4는 이 기법을 실제로 사용한 예이다. PCB 설계자가 그림 4 (a)와 같이 배선의 폭과 간격을 임의로 결정하여 회로를 측정했을 때 제대로 동작하지 않았으나 그림 4 (b)와 같이 임피던스 정합과 3-W 규칙을 기반으로 배선의 폭과 간격을 다시 최적화 했을 때는 회로가 정상 동작하는 것을 확인할 수 있었다.

V. 결론

본 논문에서는 초고속 PCB에서 생기는 여러 가지 문제점을 살펴보았다. 유전체의 전기적 특성, 배

선의 폭과 간격 등은 PCB의 신호 무결성과 이에 따른 동작 속도에 큰 영향을 미치기 때문에 이들 요소를 정밀하고 세심하게 결정해서 설계해야 한다. 본 논문에서는 이들 요소를 정량적으로 분석하여 최적의 값을 결정할 수 있는 다양한 기법과 실제 적용 사례를 소개하였다. 이러한 기법은 초고속 PCB를 설계하기 위해 필수적이며, 특히 X-밴드, Ku-밴드와 같이 동작 주파수가 매우 높은 영역에서 유용하게 쓰일 수 있을 것으로 생각된다.

References

[1] F. Caignet, S. Delmas-Bendhia, and E. Sicard, "The challenge of signal integrity in deep-submicrometer CMOS technology," *Proceedings of the IEEE*, vol.89, no.4, pp.556-573, Apr. 2001. DOI:10.1109/5.920583

[2] http://www.bicheng-enterprise.com/High_Frequency_PCB.asp

[3] S. Hinaga, M. Koledintseva, J. Drewniak, A. Koul, and F. Zhou, "Thermal effects on PCB laminate material dielectric constant and dissipation factor," *Proceedings of IPC APEX EXPO Technical Conference*, pp. 1140-1167, 2010.

[4] M. Choi, C. Kim, and S. Lee, "Analysis of the signal transmission characteristics with curvature of PCB pads," *j.inst.Korean.electr.electron.eng*, vol.20, no.4, pp.416-419, Dec. 2016. DOI:10.7471/ikeee.2016.20.4.416

[5] <https://chemandy.com/calculators/microstrip-transmission-line-calculator-hartley27.htm>

[6] M. Montrose, *EMC and the printed circuit board: design, theory, and layout made simple*, IEEE Press, 1999.