

LVTSCR 기반의 2-Stack 구조 설계를 위한 ESD 보호회로에 관한 연구 A Study on ESD Protection Circuit for 2-Stack Structure Design Based on LVTSCR

서정윤*, 도경일*, 채희국*, 서정주*, 구용서*

Jeong-Yun Seo*, Kyoung-Il Do*, Hee-Guk Chae*, Jeong-Ju Seo*, Yong-Seo Koo*

Abstract

In this paper, This paper is based on the conventional ESD protection circuits SCR and LVTSCR. Also, the SCR-based ESD protection circuit, which is different from the conventional structure, is presented and tested for variations in the trigger voltage and holding voltage. Due to the insertion of additional N +, P + regions, the newly added SCR-based protection circuit have improved electrical characteristics. To discuss the electrical characteristics of the proposed circuit, Synopsys T-CAD simulation data was shown.

요 약

본 논문에서는 대표적인 ESD 보호회로인 SCR, LVTSCR을 기반으로 하여 특정한 어플리케이션의 요구 전압에 맞추어 설계하기 위한 Stack 기술에 대하여 서술한다. 또한 기존 구조와는 다른 SCR 기반의 ESD 보호회로를 제시하여 Stack기술에 적용함으로써, 주요 파라미터인 트리거 전압과 홀딩 전압의 변동에 대하여 검증한다. 새로이 추가되는 SCR 기반의 보호회로의 경우 추가적인 N+, P+ 영역의 삽입으로 인해 보다 높은 홀딩 전압을 갖는 ESD 보호회로이다. 또한 시뮬레이션의 T-CAD 시뮬레이터를 이용하여 제안된 ESD 보호회로의 전기적 특성을 검증을 실시하였다.

Key words : ESD, LVTSCR, Trigger Voltage, Holding Voltage, SCR

* Dept. of Electronics Engineering, DanKook University

★ Corresponding author

E-mail : gerard2725@gmail.com, Tel : +82-31-8005-3625

※ Acknowledgment

This work was supported by the National Research Foundation of Korea(NRF) grant funded by the Korea government Ministry of Education (No. 2018R1D1A1B07049047).

Manuscript received Sep. 11, 2018; revised Sep. 17, 2018; accepted Sep. 18, 2018

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited

1. 서론

ESD(ElectroStatic Discharge)란 회로나 소자의 외부적 또는 내부적 요인으로 인하여 정전하가 순간적으로 방전되어 탑재된 집적회로에 전기적, 열적 손상을 주어 파괴되는 현상을 일컫으며 이는 전자제품이나 작게는 전자부품 등의 생산 및 조립과정에서 발생한다[1].

지속적인 반도체 산업의 진보에 따라 다양한 전자제품들은 소형화를 이루었으며, 보다 효율적으로 발전되기 위하여 고집적화를 이루어내어 보다 집약되고 정밀한 형태로 만들어지고 있다. 이러한 반도체 기술의 발달로 인하여 집적회로는 전보다도 높은 집적도를 갖게 되었다. 하지만 그에 따라 계

이트 산화막의 두께는 필연적으로 얇아졌으며, 접합 깊이가 또한 마찬가지로 매우 감소되었다. 이러한 이유로 ESD 현상에 의한 집적회로의 파괴는 전보다 점점 증가하고 있다. 여러 통계에 따르면 EOS (Electrical OverStress) 또는 ESD에 의한 내부 집적회로의 파괴는 전체적인 손상원인 중 약 30% 정도의 비율을 차지하고 있다. 또한 이러한 현상에 의한 공정상의 비용손실 등은 매 해마다 수백만 달러에 이르기까지 한다[2][3].

이러한 ESD 현상으로 인한 피해와 손실을 감소시키기 위해서 내부 Core IC를 보호하는 것을 목적으로 ESD 보호회로에 대한 연구가 여러 방면으로 지속적으로 진행되고 있다.

ESD 보호를 위하여 사용하는 대표적인 소자로는 GGNMOS(Gate-Grounded NMOS)와 SCR(Silicon-Controlled-Rectifier), LVTSCR(Low Voltage Triggering SCR) 등이 있다. GGNMOS의 경우 CMOS 공정과의 호환성이 장점으로 꼽히며 동시에 ESD 보호회로 중 가장 대표적인 형태로서 널리 쓰인다. 하지만 드레인에 전계 집중되는 효과에 따라 비교적 낮은 ESD 감내 특성을 지니므로 ESD 보호에 대하여 충족할만한 감내특성을 지니기 위해서는 면적 측면에서 단점을 지닌다고 할 수 있다[4]. 반면 SCR의 경우, 구조 내부에 생성되어지는 NPN/PNP의 기생형 바이폴라 트랜지스터들이 서로 정궤환(Positive Feedback)으로 인하여 동작하기 때문에 앞서 언급된 GGNMOS와 비교할 경우에 월등히 높은 전류 구동 능력의 장점을 지닌다. 또한 각각의 웰(Well) 사이에서 애벌런치 항복(Avalanche Breakdown)으로 인하여 트리거 동작이 발생하기 때문에 높은 감내 특성을 갖는다. 하지만 저농도 항복에 의하여 동작하게 되는 경우 약 18V가량의 높은 트리거 전압을 지니게 되는 단점을 갖는다[5]. ESD로부터 보호되어야 할 내부의 Core IC의 산화물 항복 전압보다 트리거 전압이 높게 되면 Core IC를 유입되는 ESD로부터 보호할 수 없게 된다. 또한 SCR 구조의 경우 Double Avalanche Injection에 따라 1.5V 정도로 낮은 홀딩 전압 특성 갖기 때문에 이는 곧 Latch-up 문제가 발생할 수 있는 문제로 이어지게 된다. 이처럼 트리거 전압이 높고 홀딩전압이 상당히 낮기 때문에 기존의 SCR만으로는 내부 Core IC를 보호하기 위한 ESD 보호회로로서 매우 부적합하다[6]. 기존의 SCR에서 보다 트리거 전압을 향

상시킨 소자인 LVTSCR은 기존 SCR 구조에 N타입의 MOSFET을 삽입한 구조이다. Avalanche Breakdown이 웰 사이에서 발생하게 하지 않고 N+ 영역과 P웰 사이에서 Avalanche Breakdown을 유도하는 트리거 동작으로 인해 기존의 SCR보다 낮은 트리거 전압을 갖는다.

따라서 본 논문에서는 특정 어플리케이션의 요구 전압이 주어질 때, 트리거 전압과 홀딩전압을 최적화시키기 위해 사용되는 기술 중 하나인 Stack 기술을 LVTSCR기반으로 하여 제시한다. Stack 기술은 상기 서술한 바와 같이 두 개 이상의 소자를 연결하여 트리거 전압과 홀딩 전압을 요구 전압에 맞게 피팅시키는 방법으로써 각 배치되는 소자에 따라 그 효용성이 다를 수 있기 때문에 실제적인 검증이 필요한 기술이다. 검증을 실시하기 위하여 Synopsys사의 T-CAD Simulator를 통해 전기적 특성을 분석하여 도시하였다. 또한 종래의 구조와 I-V 특성을 비교하여 제안된 보호회로가 기존 SCR보다 개선된 전기적 특성을 갖는 것을 확인하였다.

II. 본론

1. 기존 ESD 보호회로

가장 간단한 구조의 ESD보호회로의 설명을 위하여 SCR구조와 등가회로가 첨부되었다. 따라서 후술되는 LVTSCR과 제안되는 보호회로에 대한 메커니즘은 SCR과 거의 동일하게 설명되며, 구조적인 변경점과 그에 따른 전기적 특성 변화는 후술되는 LVTSCR과 제안되는 보호회로에서 각각 설명된다.

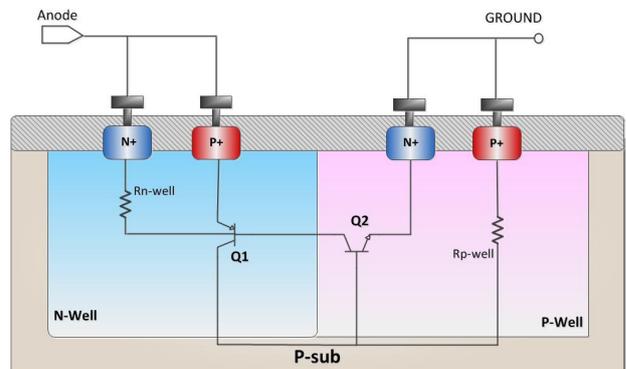


Fig. 1. Cross sectional view of the conventional SCR.
그림 1. 일반적인 SCR의 단면도

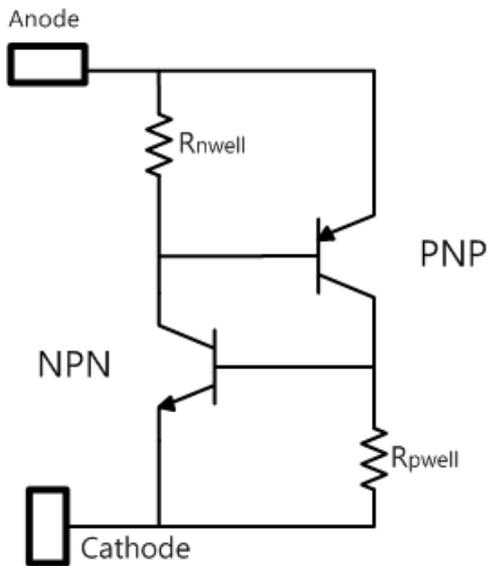


Fig. 2. Equivalent circuit of the conventional SCR.
그림 2. 일반적인 SCR의 등가회로

그림 1은 가장 기본적인 형태를 갖는 SCR구조의 단면도이다. 그림 2는 그림 1의 구조를 등가회로로 나타낸 것이다. SCR은 그림1에 볼 수 있듯이 기생형 NPN/PNP 바이폴라 트랜지스터가 형성되는 구조이다. 이를 그림 2의 등가회로에서 살펴보면, 턴온 시에 상기 두 개의 바이폴라가 정궤환을 형성하여 회로 내부에 방전 경로를 형성하여 ESD 전류를 방전시킨다. SCR의 동작원리는 다음과 같다.

애노드 단을 통하여 ESD 현상이 발생될 때, N웰과 P웰 간의 임계전압 수치를 넘어서게 되면 애벌런치 항복 현상이 발생한다. 이로 인해 공핍층 내부에서 수많은 전자-정공 쌍들이 발생하며 생성된 캐리어들에 의해 전류가 생성된다. 정공(hole)의 경우를 먼저 살펴보면 전류가 P웰의 내부저항에 흘러 전압강하를 일으키게 된다. 이때 P웰의 전압이 P웰에 위치하는 N+영역과 이루고 있는 다이오드 턴온 전압보다 높아지면 기생 NPN 바이폴라가 턴온 된다. 마찬가지로 전자의 경우, 생성된 전자는 N웰의 내부저항에 흐르며 전압을 강하시킨다. 이때 N웰의 전압이 N웰 상부에 위치하는 P+영역과 이루는 다이오드 턴온 전압보다 높아지게 되면 기생 PNP 바이폴라가 턴온 된다. 이렇게 형성된 두 종류의 기생 NPN/PNP 바이폴라는 각각이 다른 종류의 기생 바이폴라에게 베이스 전류를 제공하면서 정궤환 동작 상태를 유지시킨다. 이러한 동작 모드는 래치모드라 한다. SCR은 이러한 정궤환 동

작으로 방전 경로를 형성한 후 ESD 전류를 방전시킨다. SCR의 특성 상 래치 동작으로 인하여 높은 전류 구동능력을 갖지만, 웰 간에서 발생하는 항복 현상으로 턴온되기 때문에 약 19V 정도의 높은 트리거 전압을 갖는다.

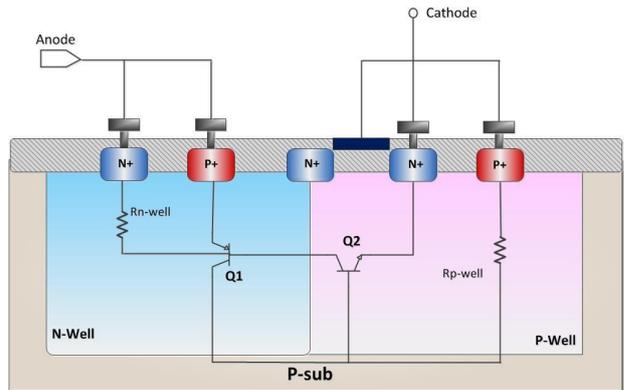


Fig. 3. Cross sectional view of the LVTSCR.
그림 3. LVTSCR의 단면도

그림 3은 LVTSCR의 단면도를 나타낸다. 이는 SCR의 높은 트리거 전압을 낮추기 위해 GGNMOS 구조가 삽입된 형태이다. GGNMOS의 N+영역을 N웰과 P웰의 사이에 위치시킴으로써 Avalanche Breakdown이 저농도인 웰 간에서 일어나는 것이 아닌 N+영역과 P웰 사이에서 일어나게 유도하는 것이 LVTSCR 구조이다. 상대적으로 고농도의 N+영역으로 인하여 애벌런치 항복의 임계전압이 낮아지게 되고 이로 인하여 더 낮은 전압에서 트리거링 하게 된다[7][8].

하지만 MOSFET 구조가 삽입되므로 Gate oxide 영역이 존재하게 됨에 따라 낮은 감내특성을 갖게 된다.

2. 제안된 ESD 보호회로

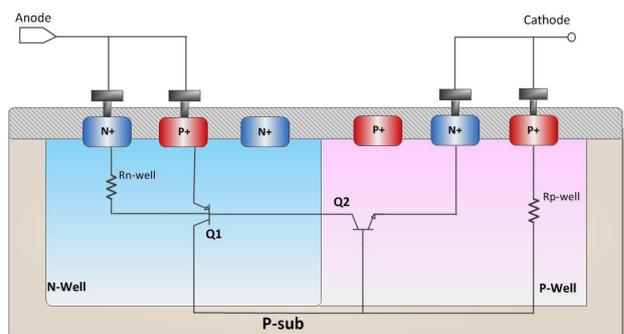


Fig. 4. Cross sectional view of the proposed circuit.
그림 4. 제안된 소자의 단면도

그림 4는 제안되는 보호회로를 나타낸다. 각 웰에 추가적으로 형성되는 N+, P+ 영역이 존재하는 것이 기존의 SCR 구조와 구별되는 특징이다. 제안된 회로의 경우에는 트리거 전압을 감소시킨 LVTSCR과는 달리 홀딩 전압을 증가시키는 역할을 수행한다. 각 웰에 삽입된 N+, P+ 영역은 기생 바이폴라 트랜지스터의 베이스 농도가 상승하는 효과를 얻게 된다. 베이스 농도의 상승으로 인하여 전류 이득은 감소하게 되며 베이스 전류가 증가한다. 이로 인해 기생 바이폴라 트랜지스터가 턴온하는 최소 전압인 홀딩 전압은 기존의 SCR 또는 LVTSCR보다 높은 수치를 갖는다.

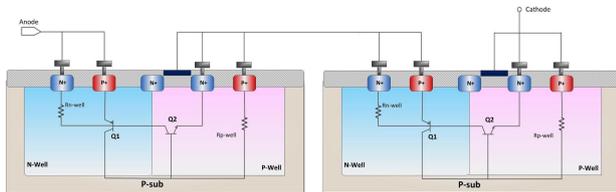


Fig. 5. Cross sectional view of the 2-Stack LVTSCR.
그림 5. 2-Stack되어진 LVTSCR의 단면도

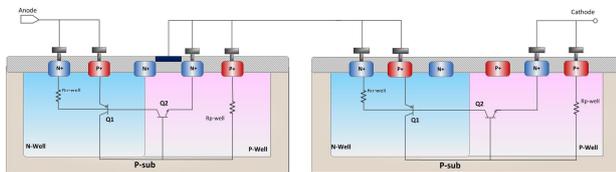


Fig. 6. Cross sectional view of the 2-Stack LVTSCR and proposed circuit.
그림 6. 2-Stack되어진 LVTSCR과 제안된 보호회로의 단면도

그림 5와 그림 6의 경우 전압별 적용요구를 충족시키기 위해 각각 LVTSCR을 2-Stack, LVTSCR과 제안된 보호회로를 2-Stack 한 구조를 나타낸다. Stack 구조의 경우 첫 스테이지의 캐소드단과 다음 스테이지의 애노드 단을 연결하며 전류가 유입될 경우 첫 스테이지에서 먼저 상기 서술된 SCR의 메커니즘이 동작하며 다음 스테이지로 넘어가게 된다.

본 논문에서 서술하는 Stack된 구조에 대한 서술은 ESD 보호를 위한 전압별 보호회로 개발에 있어서 보호하려는 내부 회로의 동작전압에 대하여 트리거 전압과 홀딩 전압을 최적화시키는데 사용되는 방법의 검증으로써 첫째로 LVTSCR에 비중을 두어 트리거 전압을 감소시키거나, 둘째로 제안된 보호회로에 비중을 두어 홀딩 전압을 증가시킬 수

있다. 따라서 트리거 전압과 홀딩 전압의 조절을 통해 요구 전압에 대한 ESD 보호를 수행할 수 있게 한다. 트리거 전압의 경우 일정 수치까지 감소 시킴으로써 내부 회로의 산화막 파괴를 방지하는 수치를 가져야하며, 홀딩 전압의 경우 정상 동작일 때 내부회로에 영향을 주지 않기 위한 수치에 맞추어져야만 한다.

3. 시뮬레이션 결과

본 연구에서는 각각 ESD 보호회로의 전기적인 특성을 검증하기 위하여 시놉시스사의 T-CAD Simulator를 이용하였다. 그림 6과 표 1은 제안된 보호회로와 종래의 SCR 및 LVTSCR 과의 I-V 특성을 시뮬레이션하여 도시한 결과이다.

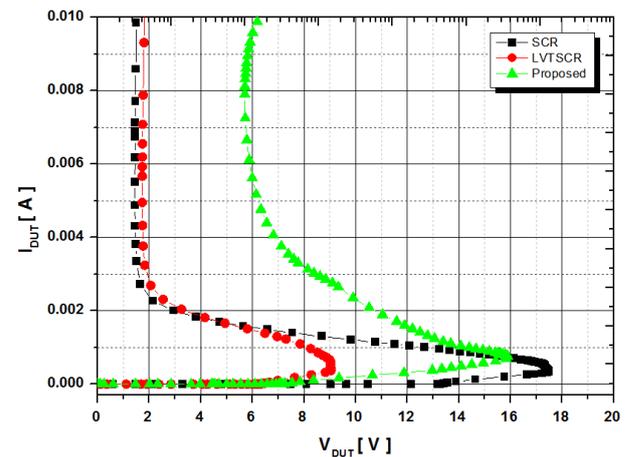


Fig. 6. I-V characteristic simulation result.
그림 6. I-V 특성 시뮬레이션 결과

Table 1. I-V characteristic simulation result.

표 1. I-V 특성 시뮬레이션 결과

	Trigger Voltage[V]	Holding Voltage[V]
SCR	17.65	1.78
LVTSCR	9.04	1.82
Proposed Circuit	15.95	5.62

그림 6의 경우 SCR 기반의 ESD 보호회로의 단일구조 시뮬레이션 결과를 나타낸다. 일반적인 SCR의 트리거 전압은 18.95V 로 높았다. LVTSCR의 경우 SCR보다는 확실히 낮은 트리거 전압을 갖는 것을 확인할 수 있었다. 반면에 제안된 ESD 보호회로의 경우, 플로팅되어 삽입된 N+, P+영역으로 비교적 높은 홀딩 전압을 가진다.

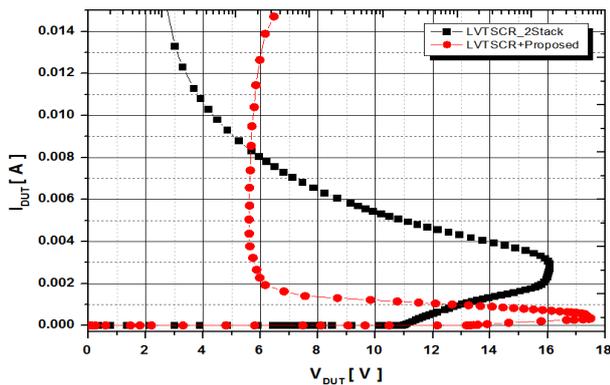


Fig. 7. Simulation result of I-V characteristics of 2-Stack protection circuit.

그림 7. 2-Stack이 적용된 보호회로의 I-V 특성 시뮬레이션 결과

Table 2. Simulation result of I-V characteristics of 2-Stack protection circuit.

표 2. 2-Stack이 적용된 보호회로의 I-V 특성 시뮬레이션 결과

	Trigger Voltage[V]	Holding Voltage[V]
2-Stacked LVTSCR	16.07	2.83
2-Stacked LVTSCR and Proposed	17.65	5.38

그림 7과 표 2는 2-Stack이 이루어진 보호회로의 시뮬레이션 결과를 나타낸다. LVTSCR의 경우 단일 소자와 비교하였을 때, 트리거 전압과 홀딩 전압이 각각 1.8배 1.6배 증가하였으며, 제안된 보호회로가 Stack 되어진 경우, LVTSCR의 트리거 전압보다 제안된 보호회로가 트리거 전압이 높기 때문에 다소 증가된 트리거 전압을 갖는다. 또한 내부 기생 바이폴라 트랜지스터의 베이스 부분의 구조적인 변경점으로 인하여 비교적 높은 수치인 5.38V의 높은 홀딩 전압을 갖는다. 이는 2-Stack되어진 LVTSCR 구조와 비교하였을 때, Stack 구조의 형성 시 제안된 보호회로가 홀딩전압 상승에 기여하는 것을 검증한다. 단, Stack되어지는 구조들 모두 단일소자가 연결되어진다는 점에서 면적이 커지게 되며 불가피하게 트리거 전압이 상승하는 것 또한 그림 7에서 볼 수 있다.

III. 결론

논문에서는 기존의 SCR을 기반으로 하는 LVTSCR

과 제안된 보호회로를 제시하였으며, 트리거 전압과 홀딩 전압을 최적화시키기 위한 Stack기술에 대하여 검증하였다. Stack기술의 경우 첫 스테이지와 후에 추가되는 스테이지에 따라 전기적 특성이 달라지는데, 두 종류의 Stack 구조를 검토한 결과, LVTSCR로 인하여 트리거 전압을 감소시키는 방법과 제안된 보호회로를 이용하여 홀딩 전압을 증가시키는 방법은 Stack구조를 형성함에 있어 유효하다는 것을 시뮬레이션 결과를 통하여 입증하였다. 따라서 특정 어플리케이션에 대한 요구전압이 존재할 때, 이에 맞추어 ESD 보호회로의 주요 파라미터인 트리거 전압과 홀딩 전압을 최적화시키는데 적절하게 사용될 수 있다. 하지만 본 논문에서 제시한 Stack 기술에 대한 한계는 여전히 사이즈 대비 I-V 특성에 있으며 Device level이 아닌 상위 System level 측면에서 고찰할 경우, 주요 전압 파라미터를 최적화시키기 위하여 면적효율을 떨어뜨린다는 점이 본 기술을 적용시키는 점에 있어 주요 단점으로 고려되어진다.

References

- [1] Hyun-Young Kim, "A Study on the Electrical Characteristic of SCR-based Dual-Directional ESD Protection Circuit According to Change of Design Parameters," *j.inst.Korean.electr.electron.eng*, pp. 265-270, 2015. DOI:10.7471/ikeee.2015.19.2.265
- [2] Albert Z. H. Wang, "On-Chip ESD Protection for Integrated Circuits 2nd ed," *Springer*, US, 2002.
- [3] M.D. Ker and C.C. Yen, "Investigation and Design of On-Chip Power-Rail ESD Clamp Circuits Without Suffering Latch up-Like Failure During System-Level ESD Test," *IEEE J. Solid-State Circuits*, vol.43, no.11, pp.2533-2545, 2008. DOI:10.1109/JSSC.2008.2005451
- [4] C. Russ, K. Bock, M. Rasras, I. D. Wolf, G. Groeseneken, and H. E. Maes, "Non-uniform triggering of gg-nMOSs investigated by combined emission microscopy and transmission line pulsing," in *Proc. EOS/ESD Symp.*, pp.177-186, 1998. DOI:10.1109/EOESD.1998.737037

[5] J. Y. Lee "Analysis of SCR, MVSCR, LVTSCR With I-V Characteristic and Turn-On-Time," *j.inst.Korean.electr.electron.eng*, vol.20, no.3, pp. 295-398, 2016.DOI:10.7471/ikeyee.2016.20.3.295

[6] O. Quittard, Z. Mrcarica, F. Blanc, G. Notermans, T. Smedes, and H.van Zwol, "ESD protection for high-voltage CMOS technologies," *EOS/ESD Symp*, pp. 77-86, 2006, DOI:10.1109/EOSESD.2006.5256797

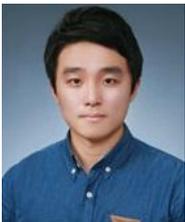
[7] V. Vashchenko, A. Concannon, M. ter Beek, P. Hopper, High holding voltage cascoded LVTSCR structures for 5.5-V tolerant ESD protection clamps, *IEEE Trans. on Devices. and Materials Reliability*, vol.4, pp.273-280, 2004.

[8] A Chatterjee and T. Polgreen, "A low-voltage triggering SCR for on-chip ESD protection at output and input pads," *IEEE Electron Device Lett.*, vol.12, pp.21-22, 1991.

DOI:10.1109/VLSIT.1990.111015

BIOGRAPHY

Jeong-Yun Seo (Student Member)



2017 : BS degree in Electrical Engineering, DanKook University.
2017~ : MS degree in Electronics and Engineering, DanKook University.

Kyoung-II Do (Student Member)



2016 : BS degree in Electrical Engineering, SeoKyeong University.
2016~ : Unified course of the master's and the doctor's in Electronics and Engineering, DanKook University.

Hee-Guk Chae (Student Member)



2017 : BS degree in Electrical Engineering, DanKook University.
2017~ : MS degree in Electronics and Engineering, DanKook University.

Sang-Wook Kwon (Student Member)



2018 : BS degree in Electrical Engineering, SeoKyoung University.
2018~ : MS degree in Electronics and Engineering, DanKook University.

Yong-Seo Koo (Member)



1981 : BS degree in Electronics Engineering, Sogang University.
1983 : MS degree in Electronics Engineering, Sogang University.
1992 : Ph.D degree in Electronics Engineering, Sogang University.

Current research interest : integrated circuit, micro processor