

저전력 센서 인터페이스를 위한 1.2V 90dB CIFB 시그마-델타 아날로그 모듈레이터

A 1.2V 90dB CIFB Sigma-Delta Analog Modulator for Low-power Sensor Interface

박진우*, 장영찬*

Jin-Woo Park*, Young-Chan Jang*

Abstract

A third-order sigma-delta modulator with the architecture of cascade of integrator feedback (CIFB) is proposed for an analog-digital converter used in low-power sensor interfaces. It consists of three switched-capacitor integrators using a gain-enhanced current-mirror-based amplifier, a single-bit comparator, and a non-overlapped clock generator. The proposed sigma-delta analog modulator with over-sampling ratio of 160 and maximum SNR of 90.45 dB is implemented using 0.11- μm CMOS process with 1.2-V supply voltage. The area and power consumption of the sigma-delta analog modulator are 0.145 mm² and 341 μW , respectively.

요약

본 논문에서는 저전력 센서용 아날로그-디지털 변환기를 위한 cascade of integrator feedback (CIFB) 구조의 3차 시그마-델타 아날로그 모듈레이터가 제안된다. 제안된 시그마-델타 아날로그 모듈레이터는 gain-enhanced current-mirror 기반 증폭기를 사용하는 3개의 스위치 커패시터 적분기, 단일 비트 비교기, 그리고 비중첩 클럭 발생기로 구성된다. 160의 오버 샘플링 비율과 90.45dB의 신호 대 잡음비를 가지는 시그마-델타 아날로그 모듈레이터는 1.2V 공급 전압의 0.11 μm CMOS 공정으로 설계되며, 0.145mm²의 면적과 341 μW 의 전력을 소모한다.

Key words : sigma-delta modulator, cascade of integrator feedback, gain-enhanced current-mirror-based amplifier, analog-to-digital converter, comparator

* Department of Electronics Engineering, Kumoh National Institute of Technology

★ Corresponding author

Email : ycjang@kumoh.ac.kr, Tel. : +82-54-478-7434

※ Acknowledgment

- This research was supported by the KIAT grant funded by the MOTIE of the Korea Government (No. N0001883) and the Basic Science Research Program through the NRF funded by the Ministry of Education (2016R1D1A3B03934487).
- Authors are thankful to IDEC for supporting EDA software.

Manuscript received Sep. 7, 2018; revised Sep. 14, 2018; accepted Sep. 18, 2018

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

최근 사물인터넷(IoT: Internet of Things) 기반의 스마트 기기와 스마트 자동차 등의 첨단 기기에 각종 센서를 사용하는 모니터링 시스템에 대한 수요가 증가하고 있다. 특히, 스마트 자동차의 응용 분야에는 대표적으로 배터리 모니터링 센서, 가속도 센서, 그리고 온도 센서 등이 이용된다. 이러한 센서로부터 획득된 아날로그 신호는 디지털 신호 처리를 위해 디지털 신호로의 변환이 요구된다. 이를 위해 아날로그 신호를 디지털 신호로 변환하는 아날로그-디지털 컨버터(ADC: analog-to-digital converter)의 연구가 지속적으로 진행되고 있다 [1]-[4]. 상술한 각종 센서에서는 수 kHz의 저주파 대역의 신호를 정밀하게 데이터 변환을 수행한다.

이를 위해 고해상도의 ADC가 요구되는데, 시그마-델타 ADC가 주로 사용된다. 시그마-델타 ADC는 오버 샘플링(oversampling) 기술과 잡음 변형(Noise shaping) 기술을 사용하여 양자화 잡음(Quantization noise)을 효과적으로 억제함으로써 신호 대역 내에서 높은 신호 대 잡음비(SNR: Signal-to-noise ratio)를 구현할 수 있다. 본 논문에서는 모바일 센서 인터페이스에 적용될 수 있는 저전력 시그마-델타 아날로그 모듈레이터를 제안한다. 특히, 센서를 통해 입력된 아날로그 신호를 높은 해상도의 디지털 신호로 변환하되, 저면적 및 저전력으로 구현할 수 있는 설계를 제안한다.

II. 단일 비트 3차 시그마-델타 아날로그 모듈레이터

1. 시그마-델타 아날로그 모듈레이터의 구조

시그마-델타 모듈레이터 구조 중 단일 비트 구조는 다중 비트 구조보다 구조가 간단하여 전체 회로의 설계 부담을 줄일 수 있다. 또한 단일 비트 구조는 적분기에 사용되는 완전 차동 증폭기와 스위치의 턴-온 저항, 그리고 커패시터에 의한 비이상적인 특성을 최소화하는 장점을 가진다[5][6]. 그림 1은 cascade of integrator feedback(CIFB) 구조를 가지는 3차 시그마-델타 모듈레이터의 behavioral simulation을 위한 블록도이다. 시그마-델타 아날로그 모듈레이터의 안정성과 높은 신호 대 잡음과 왜곡비(SNDR: Signal-to-noise and distortion ratio)를 얻기 위해 적분기의 신호 계수 g_{1s} , g_{1s} , g_{3s} 는 각각 0.2, 0.3, 0.4로 설계되었으며, 피드백 계수 g_{1f} ,

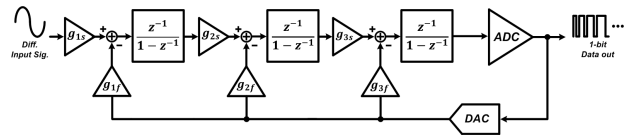


Fig. 1. Block diagram of third-order sigma-delta modulator.
그림 1. 3차 시그마-델타 모듈레이터 블록도

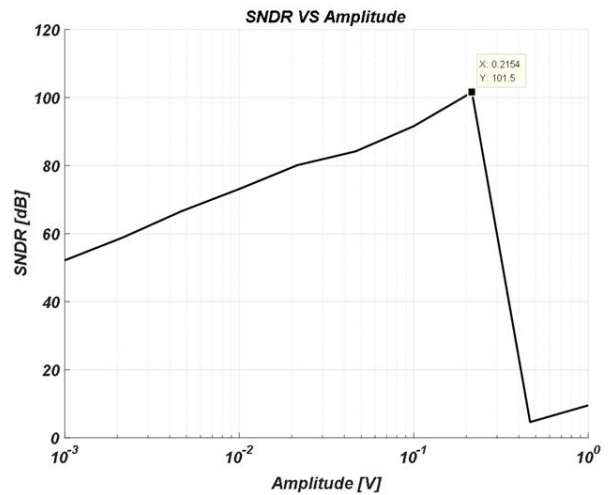


Fig. 2. SNDR according to Input magnitude of third-order sigma-delta modulator.
그림 2. 3차 시그마-델타 모듈레이터의 입력 신호 진폭에 따른 SNDR

g_{2f} , g_{3f} 의 값도 각각 0.2, 0.3, 0.4로 설계되었다.

그림 2는 그림 1에 나타낸 CIFB 구조를 가지는 3차 시그마-델타 모듈레이터에 대한 MATLAB simulink를 사용한 behavioral simulation의 결과이다. 아날로그 입력 신호의 진폭을 변수로 두고 1mV부터 1V까지 가변하면서 시뮬레이션을 수행하여 얻은 시그마-델타 아날로그 모듈레이터의 SNDR을 나타냈다. 입력 신호의 진폭에 따라 SNDR이 선형적으로

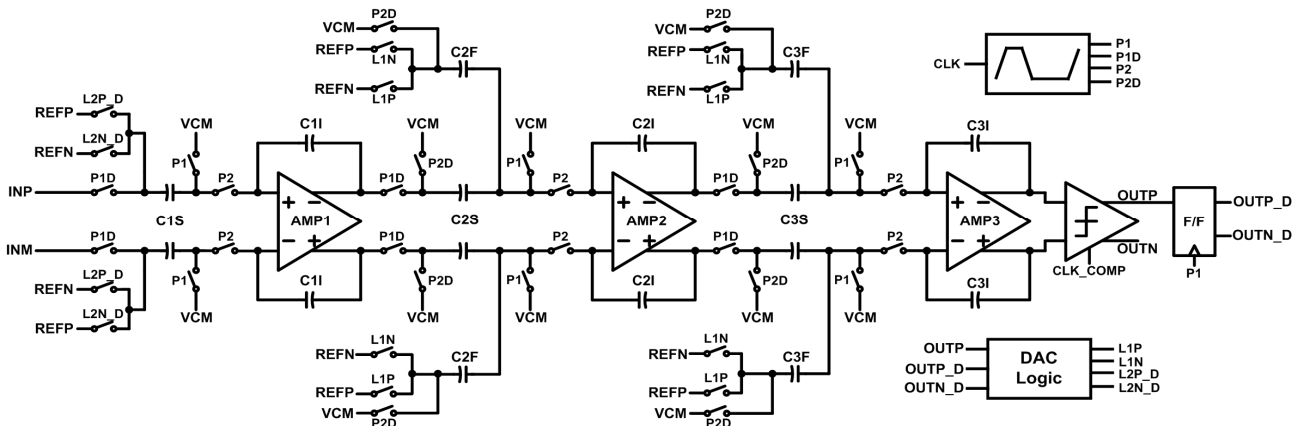


Fig. 3. Circuit diagram of third-order sigma-delta modulator with CIFB architecture.
그림 3. CIFB 구조를 가지는 3차 시그마-델타 모듈레이터 회로도

상승하다가 급격히 감소한다. 제안하는 시스템에 허용되는 최대 입력 신호의 진폭은 0.2154V이며, 이를 바탕으로 본 설계에서는 입력 신호의 진폭을 공급 전압 대비 -15.56 dB에 해당하는 0.2V로 설계한다. 이 behavioral simulation을 통해 각 적분기에 사용되는 연산증폭기의 DC 전압이득을 알 수 있다. 표 1에 따르면 모든 단의 적분기가 40 dB 이상의 DC 전압이득을 가질 때 95 dB 이상의 SNDR이 구현된다. 본 연구에서는 시그마-델타 아날로그 모듈레이터의 입력 아날로그 노이즈를 줄이고 SNDR을 개선하기 위해 첫 번째 적분기를 위한 연산증폭기의 DC 전압이득을 60 dB 이상으로 구현하며, 두 번째와 세 번째 적분기를 위해서는 40 dB 이상의 DC 전압이득을 가지는 연산증폭기를 설계한다.

Table 1. SNDR according to DC voltage gain of each stage in third-order sigma-delta modulator.

표 1. 3차 시그마-델타 모듈레이터 각 단의 DC 전압이득에 따른 SNDR

Input signal amplitude	Input Signal Frequency	1 st Effective Gain	2 nd Effective Gain	3 rd Effective Gain	SNDR
-15.56 dB	4 kHz	20 dB	20 dB	20 dB	52.90 dB
		40 dB	20 dB	20 dB	67.70 dB
		40 dB	40 dB	20 dB	81.33 dB
		40 dB	40 dB	40 dB	95.04 dB
		60 dB	20 dB	20 dB	77.88 dB
		60 dB	40 dB	20 dB	90.14 dB
		60 dB	40 dB	40 dB	95.89 dB
		60 dB	60 dB	20 dB	81.22 dB
		60 dB	60 dB	40 dB	97.36 dB
		60 dB	60 dB	60 dB	98.05 dB

2. 시그마-델타 아날로그 모듈레이터의 회로

제안하는 시그마-델타 모듈레이터는 높은 해상도를 얻기 위해 그림 3에 나타난 바와 같이 3차 CIFB 구조를 가진다. 연산증폭기를 이용한 세 단의 적분기, 안정된 샘플-홀드(sample and hold) 동작 및 적분 동작을 위해 비중첩 클록을 생성하는 클록 발생기, 단일 비트 비교기, 그리고 제어 및 디지털 신호 출력을 위한 기타 로직으로 구성된다. 클록 발생기는 그림 4에 나타난 바와 같이 샘플-홀드 동작 및 적분 동작을 위해 기본적으로 비중첩 클록인 P1과 P2의 클록 신호를 생성한다. 또한, 샘플-홀드 동작 시 발생하는 스위치 노이즈를 제거하여 정확한 샘플링 동작을 수행하기 위해 bottom plate sampling을 수행하는데, 이를 위해 P1과 P2 클록 대비 지연된 클록인 P1D와 P2D를 생성한다

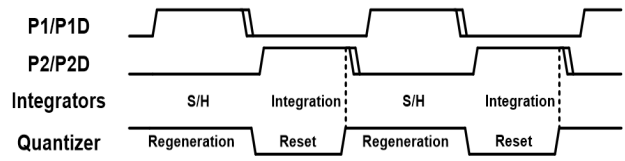


Fig. 4. Timing diagram of third-order sigma-delta modulator. 그림 4. 3차 시그마-델타 모듈레이터의 타이밍도

[7]. 샘플 동작은 P1 신호에 동기되어 입력 신호와 피드백 신호의 차의 전압이 적분기의 샘플링 커패시터(C1S, C2S, C3S)의 하판으로 인가됨으로 수행된다. 이후 샘플링 커패시터에 저장된 전하는 P2 신호에 동기되어 피드백 커패시터(C1I, C2I, C3I)로 전달됨으로 적분 동작이 수행된다. 적분 동작이 수행된 후 클록 발생기에서 생성된 CLK_COMP 신호에 동기되어 비교 동작을 수행함으로 마지막 단의 적분기의 출력을 비교하게 된다.

가. 첫 번째 적분기를 위한 연산증폭기

CIFB 구조의 특성상 적분기의 출력 스윙 범위가 크기 때문에 큰 출력 범위를 가지면서 60 dB 이상의 전압 이득을 얻을 수 있는 2단 구조의 연산증폭기를 이용한다[8]. 그림 5에 나타난 첫 번째 적분기에 사용되는 연산증폭기는 완전 차동 구조이며, 주파수 보상을 위해 밀러 커패시턴스와 보상 저항을 이용하였다. 그림 5(b)는 완전 차동 연산증폭기에

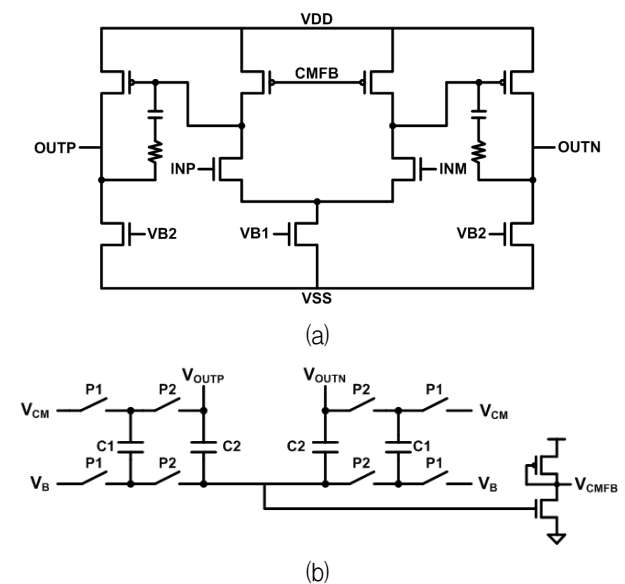


Fig. 5. Operational amplifier for first integrator (a) main amplifier (b) CMFB circuit.

그림 5. 첫 번째 적분기를 위한 연산 증폭기 (a) 주 증폭기 (b)공통모드 피드백 회로

의 출력 공통모드의 안정화를 위해 사용되는 공통 모드 피드백(CMFB: common-mode feedback) 회로이다. 특히, 넓은 출력 범위를 구현하고 전력 소모를 줄이기 위해 스위치드 커패시터를 이용하는 CMFB를 사용한다. 2단 증폭기 회로의 CMFB 출력이 공급되는 노드와 CMFB 회로 사이의 극성이 반대이므로 CMFB 회로는 공통 소스 증폭기를 이용하여 2단 증폭기의 CMFB 회로 출력을 반전시킨다. 첫 번째 적분기를 위한 2단 증폭기의 주파수 응답 시뮬레이션 결과를 그림 6에 나타내었다. 이 시뮬레이션은 첫 번째 적분기의 피드백 커패시터, 다음 단의 샘플링 커패시터 부하, 그리고 CMFB 회로의 부하 영향을 반영하기 위해 4.2pF의 커패시턴스 부하를 반영하여 Hspice를 통해 진행되었다. 정상적인 일반 공정, 온도, 전압의 조건에서 62.28 dB의 전압이득과 77.01°의 위상 마진 특성을 가진다. 또한, 단위 이득 주파수는 46.39 MHz을 가진다.

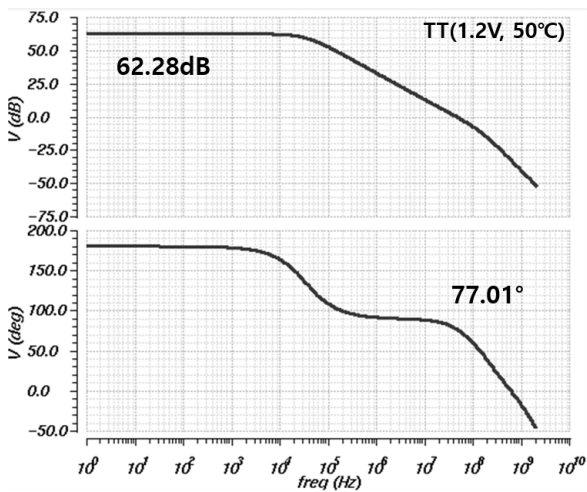


Fig. 6. Frequency response of operational amplifier for first integrator.

그림 6. 첫 번째 적분기 위한 연산 증폭기의 주파수 응답

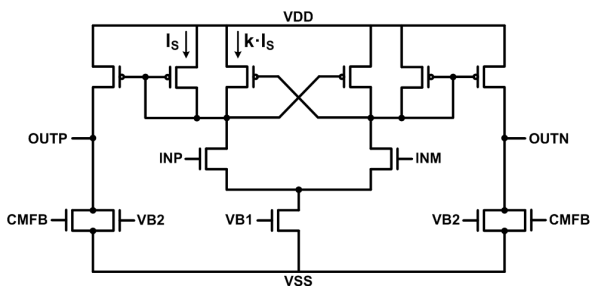


Fig. 7. Operational amplifier for second and third integrators.

그림 7. 두 번째와 세 번째 적분기를 위한 연산 증폭기

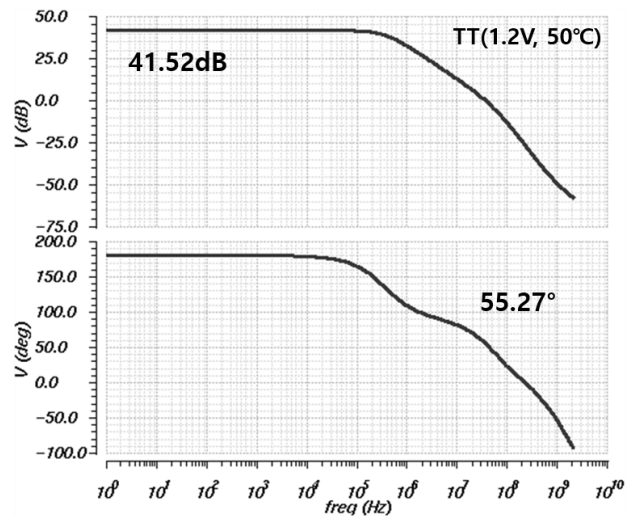


Fig. 8. Frequency response of operational amplifier for second integrator.

그림 8. 두 번째 적분기 위한 연산 증폭기의 주파수 응답

나. 두 번째와 세 번째 적분기를 위한 연산증폭기
 표 1의 behavioral simulation 결과에 따르면, 두 번째와 세 번째 적분기는 첫 번째 적분기보다 작은 전압이득을 가지는 연산증폭기를 이용하는 것이 가능하다. 이 경우 연산증폭기로 인한 전력 소모를 줄이기 위해 주파수 보상을 위한 회로의 제거가 가능하다. 이를 위해서 두 번째와 세 번째 적분기에는 전압이득 보다는 주파수 응답에 좋은 특성을 가지는 전류 거울 기반의 연산증폭기를 사용한다. 그림 7에 나타낸 gain-enhanced 전류 거울 증폭기가 두 번째와 세 번째 적분기를 위해 사용되었다[9]. Gain-enhanced 전류 거울 증폭기의 전압이득(A_{en})은 수식 (1)에 의해 결정된다.

$$A_{en} = \frac{A_0}{1-k} \tag{1}$$

여기서 A_0 은 그림 7의 회로에서 전류원 $k \cdot I_s$ 의 영향이 제거된 경우의 개방 루프 전압이득이며, k 는 전류 거울 부하에 흐르는 전류 (I_s) 대비 전류원 $k \cdot I_s$ 에 흐르는 전류의 비율이다. 두 번째 및 세 번째 적분기를 위한 gain-enhanced 전류 거울 증폭기는 cross-coupled 부하를 사용하고, 이 부하의 트랜지스터 크기의 조절을 통해 k 를 0.75로 설계하였다. 그림 8은 별도의 주파수 보상회로가 없는 gain-enhanced 전류 거울 증폭기의 주파수 응답에 대한 시뮬레이션 결과이다. 정상적인 일반 공정, 온도, 전압의 조건에서 DC 전압이득과 위상마진이

각각 41.52 dB와 55.27°를 가진다.

다. 단일 비트 비교기

시그마-델타 모듈레이터에 사용되는 양자화기는 높은 정확도가 요구되지 않는다. 양자화기에서 발생하는 양자화 잡음은 루프 필터를 거치면서 이루어지는 잡음 정형 기법으로 인해 신호 대역 내에서 크게 감쇄된다. 따라서 양자화기의 비이상적인 노이즈가 발생하더라도 시그마-델타 모듈레이터의 최종 출력에는 대부분 억제되어 나타나지 않기 때문에 양자화기에 대한 설계 부담이 완화된다[4]. 단일 비트 시그마-델타 모듈레이터를 위한 양자화기로 그림 9에 나타난 sense-amplifier [10]와 SR 래치의 두 단으로 구성된 비교기가 사용된다. 한편, 단일 비트 비교기의 첫 번째 래치의 출력인 Sb와 Rb 노드에 존재하는 기생 커패시턴스의 차이는 비

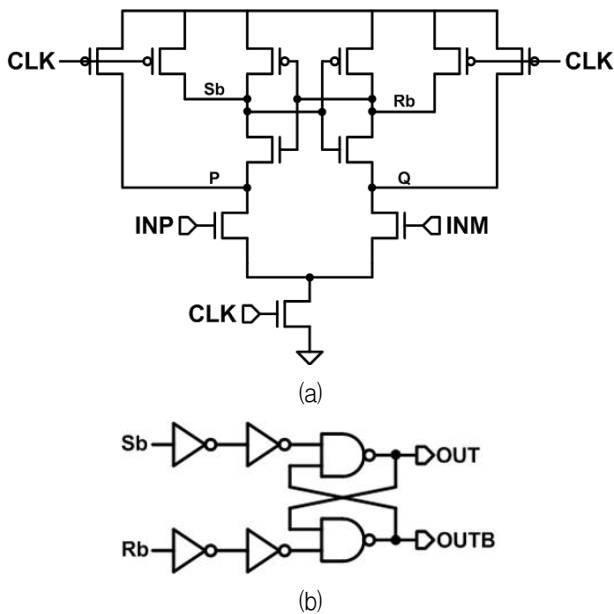


Fig. 9. Comparator (a) first latch (b) second latch. 그림 9. 비교기 (a) 첫 번째 래치 (b) 두 번째 래치

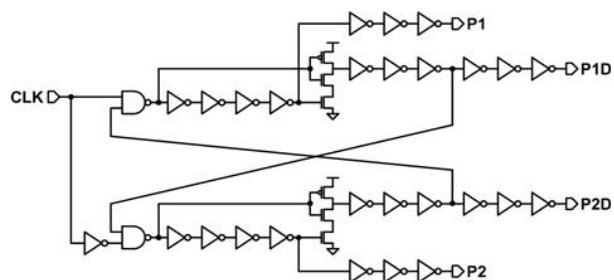


Fig. 10. Circuit diagram of non-overlapped clock generator. 그림 10. 비중첩 클럭 발생기의 회로도

교기의 입력 오프셋에 영향을 미친다. 첫 번째 래치의 출력인 Sb와 Rb 노드와 두 번째 래치인 SR-래치의 출력 OUT와 OUTB 노드 사이에 접합(junction) 커패시턴스가 존재하는데, 이의 값은 비교기의 최종 출력 값에 따라 다르게 결정된다. 이로 인해 비교기의 이전 입력 전압에 종속된 입력 오프셋 전압이 발생될 수 있다. 일반적으로 비교기에 발생하는 일정한 입력 오프셋 전압은 ADC의 동적 특성에 영향을 주지 않지만, 입력 전압에 종속된 비교기의 입력 오프셋 전압은 비교기의 해상도를 저하시키는 요소가 되며 ADC의 선형 특성을 악화시킨다. 이의 영향을 줄이기 위해 sense-amplifier와 SR 래치 사이에 그림 9(b)와 같이 인버터를 추가 삽입하여 접합 커패시터에 따른 영향을 줄였다.

라. 비중첩 클럭 발생기

그림 10은 비중첩 클럭을 생성하기 위한 클럭 발생기이다[8]. 클럭 발생기는 기본적으로 2개의 NAND 게이트를 이용하여 피드백 회로를 구성하며 각 NAND 출력에 다단 인버터로 구성된 지연회로가 연결된다. 루프 내의 인버터를 이용하여 클럭 지연 및 비중첩 구간을 조절할 수 있다. 클럭 발생 회로에서는 입력 클럭(CLK)을 이용하여 클럭 신호 P1와 P2를 생성하며 커패시터의 전하 유입 잡음을 방지하기 위한 하판 샘플링 기법을 구현하기 위해서 이들 신호에서 지연된 신호인 P1D와 P2D를 생성한다.

3. 시그마-델타 아날로그 모듈레이터의 구현 및 측정 결과

그림 11은 제안된 시그마-델타 모듈레이터 칩의 마이크로 사진 및 레이아웃의 그림이다. 제안된 3차 CIFB 시그마-델타 모듈레이터는 1.2V의 공급 전압을 이용하며 1-poly 8-metal 0.11 μ m CMOS 공정에서 제작되었다. 3차 CIFB 시그마-델타 모듈레이터의 core 면적과 전력 소모는 각각 0.145mm²과 341 μ W이다. 레이아웃에서 발생하는 부정합을 최소화하기 위해 적분기의 연산증폭기, 스위치드 커패시터 필터의 구현을 위한 스위치와 커패시터를 대칭적으로 설계하였다. 또한, 동작상에서 발생될 수 있는 구조적 부정합을 줄이기 위해 클럭 신호와 기준 전압을 그림 11에 나타난 바와 같이 U자 구조로 공급하였다.

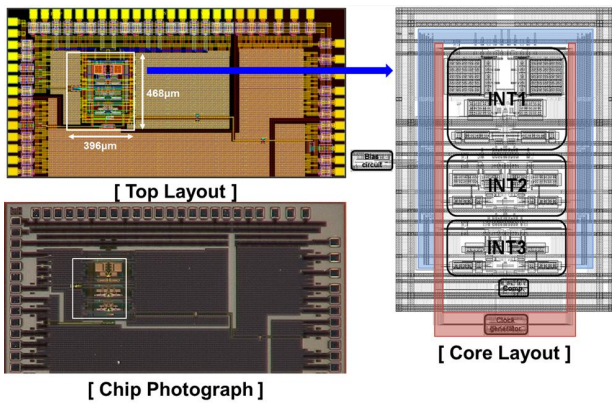


Fig. 11. Photograph and layout of implemented chip.
그림 11. 제작된 칩의 사진과 레이아웃

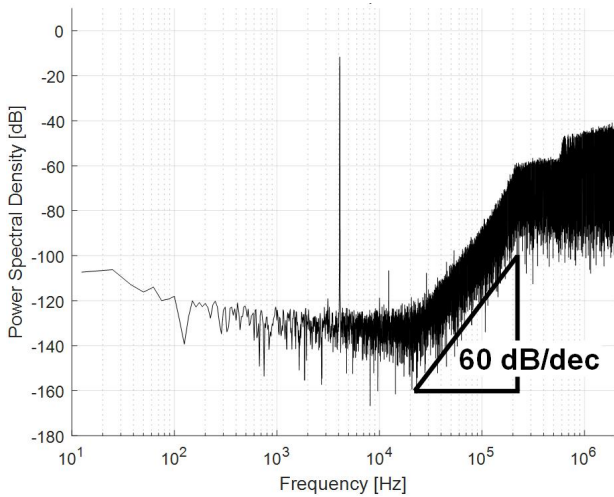


Fig. 12. Power spectral density of output bit stream.
그림 12. 출력 비트 스트림의 전력 스펙트럼

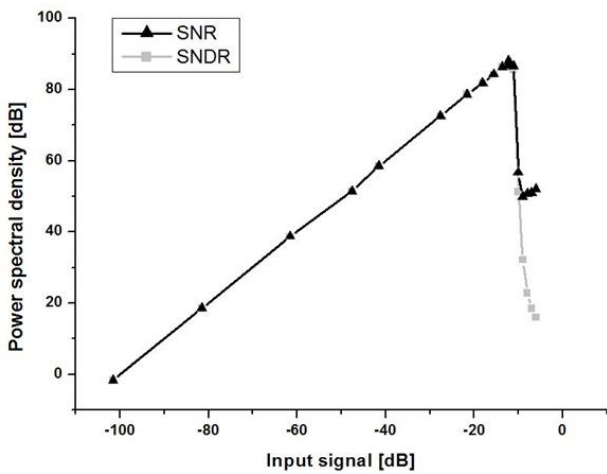


Fig. 13. Measured dynamic performance according to Input magnitude.
그림 13. 측정된 입력 신호 진폭에 따른 동적 특성

그림 12는 측정된 시그마-델타 아날로그 모듈레이터의 출력 신호에 대한 스펙트럼 분석을 보여준다. 3차 시그마-델타 모듈레이터의 측정된 SNR과 SNDR의 특성은 160의 오버 샘플링 비율(OSR : over-sampling ratio)과 4.1kHz의 주파수를 가지는 입력신호에 대해 각각 90.45 dB와 88.08 dB이다. 그림 13은 3차 시그마-델타 모듈레이터의 입력 신호 진폭에 따른 동적 특성을 측정한 결과이며, 표 2는 구현된 CIFB 3차 시그마-델타 아날로그 모듈레이터의 특성을 보여준다.

Table 2. Performance of implemented sigma-delta analog modulator.

표 2. 구현된 시그마-델타 아날로그 모듈레이터의 특성

Item	Contents
Supply voltage	1.2 V
Process	0.11µm CMOS
Sampling frequency	5 MHz
OSR	160
Peak SNDR	88.08 dB
Peak SNR	90.45 dB
Power consumption	341 µW
Active area	0.145 mm ²

III. 결론

저전력 센서용 아날로그-디지털 변환기를 위해 CIFB 구조의 3차 시그마-델타 아날로그 모듈레이터가 구현되었다. 제안된 시그마-델타 아날로그 모듈레이터는 전력 소모 및 칩 면적을 줄이기 위해 두 번째 및 세 번째 적분기에 gain-enhanced 전류 거울 기반 증폭기를 사용하였다. 또한, 아날로그 노이즈를 줄이기 위해 단일 비트 비교기와 비중첩 클럭 발생기가 사용되었다. 제안된 CIFB 구조의 3차 시그마-델타 아날로그 모듈레이터는 1.2V 공급 전압의 0.11µm CMOS 공정으로 제작되었다. 0.145mm²의 면적을 가지며 341µW의 전력을 소모한다. 구현된 3차 시그마-델타 아날로그 모듈레이터는 160의 OSR과 4.1kHz의 주파수를 가지는 입력 신호에 대해 90.45 dB의 신호 대 잡음비를 가진다.

References

- [1] A. Nikas, O. Leman, H. Zhou, J. L. Lagos, B. J. Vinchhi, and J. Hauer, "A 83dB SNDR low power readout ASIC for piezoresistive nanogauge based gyroscopes," *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp.2238-2241, 2016. DOI:10.1109/ISCAS.2016.7539028
- [2] H. Xu, X. Liu and L. Yin, "A Closed-Loop $\Delta\Sigma$ Interface for a High-Q Micromechanical Capacitive Accelerometer With 200 ng/ $\sqrt{\text{Hz}}$ Input Noise Density," *IEEE J. Solid-State Circuits*, vol.50, no.9, pp.2101-2112, 2015. DOI:10.1109/JSSC.2015.2428278
- [3] Z. Tan, R. Daamen, A. Humbert, Y. V. Ponomarev, Y. Chae, and M. A. P. Pertijs, "A 1.2-V 8.3-nJ CMOS Humidity Sensor for RFID Applications," *IEEE J. Solid-State Circuits*, vol.48, no.10, pp. 2469-2477, 2013. DOI:10.1109/JSSC.2013.2275661
- [4] M. Honarparvar, M. Safi-Harb, and M. Sawan, "An Amplifier-Shared Inverter-Based MASH Structure $\Delta\Sigma$ Modulator For Smart Sensor Interfaces," *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp.2250-2253, 2016. DOI:10.1109/ISCAS.2016.7539031
- [5] J. M. de la Rosa and R. del Rio, CMOS Sigma-Delta Converters: Practical Design Guide, John Wiley & Sons, Ltd., 2013.
- [6] J. Roh, S. Byun, Y. Choi, H. Roh, Y.-G. Kim and J.-K. Kwon, "A 0.9-V 60- μW 1-Bit Fourth-Order Delta-Sigma Modulator With 83-dB Dynamic Range," *IEEE J. Solid-State Circuits*, vol.43, no.2, pp.361-370, 2008. DOI:10.1109/JSSC.2007.914266
- [7] R. Schereier, J. Silva, J. Steensgaard and Gabor C. Temes, "Design-Oriented Estimation of Thermal Noise in Switched-Capacitor Circuits," *IEEE Trans. Circuits and Systems I, Regular Papers*, vol.52, no.11, pp.2358-2368, 2005. DOI:10.1109/TCSI.2005.853909
- [8] R. J. Baker, *CMOS: Mixed-Signal Circuit Design*, Wiley, 2002.
- [9] L. Yao, M. S. J. Steyaert, and W. Sansen, "A 1-V 140- μW 88-dB Audio Sigma-Delta Modulator in 90-nm CMOS," *IEEE J. Solid-State Circuits*, vol.39, no.11, pp.1809-1818, 2004. DOI:10.1109/JSSC.2004.835825
- [10] B. Nikolic, V. G. Oklobdzija, V. Stojanovic, W. Jia, J. K.-S. Chiu, and M. M.-T. Leung "Improved sense-amplifier-based flip-flop: design and measurements," *IEEE J. Solid-State Circuits*, vol.35, no.6, pp.876-884, 2000. DOI:10.1109/4.845191

BIOGRAPHY

Jin-Woo Park (Member)



2016 : BS degree in School of Electrical Engineering, Kumoh National Institute of Technology.
2018 : MS degree in Department of Electronic Engineering, Kumoh National Institute of Technology.
2018~2018 : Research Engineer, Samsung Electronics.

Young-Chan Jang (Member)



1999 : BS degree in School of Electrical Engineering, Kyungpook National University.
2001 : MS degree in Department of Electronic Engineering, Pohang University of Science and Technology.

2005 : PhD degree in Department of Electronic Engineering, Pohang University of Science and Technology.
2005~2009 : Senior Engineer, Samsung Electronics.
2009~2018 : Assistant and Associate Professor, Kumoh National Institute of Technology